

Politechnika Łódzka

ZESZYTY NAUKOWE Nr 1113

JACEK KOWALSKI

PROJEKTOWANIE ANALOGOWYCH
UKŁADÓW SCALONYCH CMOS
O STRUKTURZE SIECI NEURONOWEJ
DO PRZETWARZANIA OBRAZÓW I SYGNAŁÓW

ŁÓDŹ 2012

POLITECHNIKA ŁÓDZKA

ZESZYTY NAUKOWE Nr 1113

ROZPRAWY NAUKOWE, Z. 420

JACEK KOWALSKI

PROJEKTOWANIE ANALOGOWYCH
UKŁADÓW SCALONYCH CMOS
O STRUKTURZE SIECI NEURONOWEJ
DO PRZETWARZANIA OBRAZÓW I SYGNAŁÓW

ŁÓDŹ 2012

ZESZYTY NAUKOWE POLITECHNIKI ŁÓDZKIEJ
SCIENTIFIC BULLETIN OF THE LODZ UNIVERSITY
OF TECHNOLOGY
BULLETIN SCIENTIFIQUE
DE L'UNIVERSITÉ POLYTECHNIQUE DE LODZ
НАУЧНЫЕ ЗАПИСКИ
ЛОДЗИНСКОГО ПОЛИТЕХНИЧЕСКОГО УНИВЕРСИТЕТА
WISSENSCHAFTLICHE HEFTE
DER TECHNISCHEN UNIVERSITÄT IN LODZ

Redaktor Działu: **prof. dr hab. inż. Piotr Wodziński**

Recenzenci: **dr hab. inż. Michał Strzelecki, prof. PŁ**
dr hab. inż. Ryszard Wojtyna, prof. UTP

©Copyright by Politechnika Łódzka 2012

Adres Redakcji – Адрес Редакции – Editor's Office
Adresse de Redaction – Schriftleitungsadresse:

WYDAWNICTWO POLITECHNIKI ŁÓDZKIEJ
90-924 Łódź, ul. Wólczańska 223
tel./fax 42-684-07-93
e-mail: zamowienia@info.p.lodz.pl
www.wydawnictwa.p.lodz.pl

ISSN 0137-4834

Nakład 300 egz. Ark. druk. 9,0. Papier offset. 80 g, 70 x 100
Druk ukończono w kwietniu 2012 r.
Wykonano w Drukarni Quick-Druk, 90-562 Łódź, ul. Łąkowa 11

Spis treści

Wykaz ważniejszych oznaczeń i skrótów	5
Streszczenie	6
1. Wstęp	7
1.1. Wprowadzenie	7
1.2. Cel pracy	13
1.3. Stan wiedzy	14
1.4. Zawartość pracy	18
2. Realizacja sieci Kohonena w postaci układu scalonego	19
2.1. Wstęp	19
2.2. Wykorzystanie sprzętowo realizowanej sieci Kohonena do identyfikacji parametrów układów dynamicznych	20
2.3. Architektura układu CMOS realizującego sieć Kohonena	22
2.4. Implementacja sieci Kohonena w technologii MIETEC 2,4 μm	23
2.5. Pomiary podstawowych bloków funkcjonalnych sieci Kohonena zrealizowanej w postaci analogowego układu CMOS	32
2.6. Podsumowanie	36
3. Układ scalony CMOS o architekturze sieci neuronowej komórkowej do filtracji ważonych statystyk porządkowych obrazu	38
3.1. Wstęp	38
3.2. Model komórki SNK filtru WSP	39
3.3. Architektura filtru WSP do przetwarzania obrazu	41
3.4. Szczegółowy opis bloków funkcjonalnych filtru WSP	43
3.5. Symulacje i pomiary bloków funkcjonalnych filtru WSP	48
3.6. Symulacja działania filtru WSP	54
3.7. Stanowisko do badań i testowania filtru WSP	55
3.8. Wyniki przetwarzania obrazu z zastosowaniem scalonego filtru WSP ...	58
3.9. Podsumowanie	59
4. Implementowana sprzętowo sieć synchronizowanych oscylatorów do segmentacji obrazów binarnych	61
4.1. Wstęp	61
4.2. Nowy model oscylatora	63
4.3. Architektura SSO zrealizowanej w postaci układu scalonego	65
4.4. Projekt SSO realizowanej w technologii AMIS 0.35 μm C035M-D 5M/1P	68
4.4.1. Projekt scalonego układu oscylatora SSO	68
4.4.2. Projekt komórki SSO	71
4.4.2.1. Układ realizujący ważne połączenia synaptyczne	72
4.4.2.2. Układ wejściowy	73
4.4.2.3. Układ wyjściowy	74

4.4.2.4. Topografia komórki SSO	75
4.4.3. Układ realizujący funkcję globalnego inhibitora	76
4.4.4. Topografie dwóch finalnych układów scalonych realizujących SSO.....	77
4.5. Wyniki badań symulacyjnych SSO	78
4.6. Pomiary podstawowych bloków funkcjonalnych SSO	83
4.7. Platforma do testowania zintegrowanej SSO	89
4.8. Wyniki testów skuteczności działania SSO w zakresie segmentacji obrazów binarnych.....	91
4.9. Idea strojenia oscylatorów.....	96
4.10. Ulepszona platforma do testowania zintegrowanej SSO.....	98
4.11. Rezultaty testów dotyczących segmentacji obrazów przy użyciu ulepszonej platformy testowej	99
4.12. Podsumowanie.....	104
5. Podsumowanie	107
Dodatek A	110
Dodatek B.....	112
Dodatek C	116
C.1. Układ o wymiarach matrycy 8x8	116
C.2. Układ o wymiarach matrycy 32x32	118
Literatura.....	122
Literatura – prace autorskie i współautorskie dotyczące tematyki monografii.....	130
Summary	134
Charakterystyka zawodowa autora	135

Wykaz ważniejszych oznaczeń i skrótów

B – operator sterowania SNK

b_{kl} – element operatora **B** SNK położony w k -tym wierszu i l -tej kolumnie

CNN – ang. Cellular Neural Network – sieć neuronowa komórkowa

DGI – cyfrowy sygnał aktywności globalnego inhibitora SSO

GI – *Global Inhibitor* – globalny układ hamujący SSO

I_A, I_B, I_C, I_D – prądy odpowiadające za parametry każdego oscylatora SSO

I_E – stały prąd polaryzacji każdego oscylatora SSO

I_{ES} – stały prąd polaryzacji dodatkowego oscylatora SSO

I_F – prąd polaryzacji układu wag SSO

I_{GI} – prąd polaryzacji układu globalnego inhibitora

I_p – wspólny prąd polaryzacji komórek SNK

I_T – całkowite zewnętrzne pobudzenie oscylatora

K – macierz współczynników dostrożeń SSO

SNK – sieć neuronowa komórkowa

SSO – sieć synchronizowanych oscylatorów

USNK – uniwersalna sieć neuronowa komórkowa

V_1 – zmienna pobudzająca (napiecie)

V_2 – zmienna hamująca (napiecie)

V_3 – cyfrowy (binarny) odpowiednik napięcia V_1 w komórce SSO (rys. 4.10)

V_{3A} – cyfrowy (binarny) odpowiednik napięcia V_1 w oscylatorze SSO (rys. 4.10)

V3S – sygnał wyjściowy dodatkowego oscylatora SSO

W – macierz wag sieci Kohonena

W_{ij} – połączenia wagowe w sieci neuronowej

WSP – filtr ważonych statystyk porządkowych

WTA – *Winner Takes All* – warstwa konkurencyjna sieci Kohonena

X – wektor sygnałów wejściowych sieci Kohonena

Projektowanie analogowych układów scalonych CMOS o strukturze sieci neuronowej do przetwarzania obrazów i sygnałów

Streszczenie

W monografii przedstawiono wyniki prac autora dotyczące projektowania i testowania prototypowych, analogowych układów scalonych CMOS, odpowiednich do neuronowego przetwarzania obrazów i sygnałów, na przykładzie trzech zaprojektowanych i przetestowanych układów scalonych. Układy zostały wykonane przez konsorcjum Europractice w różnych technologiach CMOS, tj. $2,4\text{ }\mu\text{m}$, $0,8\text{ }\mu\text{m}$ oraz $0,35\text{ }\mu\text{m}$. W zaprojektowanych układach oprócz właściwej sieci neuronowej implementowano specjalne struktury testowe, które umożliwiły wykonanie pomiarów podstawowych bloków funkcjonalnych sieci. Pozwoliło to na porównanie wyników symulacji z pomiarami oraz na uzyskanie informacji wykorzystanych do budowy stanowiska do testowania poprawności działania wykonanych układów scalonych. Dla każdego układu zaprojektowano specjalne stanowisko pomiarowe, które umożliwiło weryfikację doświadczalną działania danej sieci neuronowej.

Pierwszym prezentowanym układem scalonym jest sieć Kohonena, dedykowana do zadań identyfikacji parametrów układów dynamicznych, przetwarzająca dane w sposób analogowy. Przedstawiono architekturę układu realizującego sieć, jego implementację w technologii MIETEC $2,4\text{ }\mu\text{m}$ oraz wyniki pomiarów podstawowych bloków funkcjonalnych sieci.

Drugim zaprezentowanym układem scalonym jest filtr ważonych statystyk porządkowych obrazu o architekturze sieci neuronowej komórkowej, zaprojektowany w technologii AMS $0,8\text{ }\mu\text{m}$ CYE. Omówiono model komórki tego filtru oraz jego architekturę. Podano też szczegółowy opis bloków funkcjonalnych wchodzących w skład filtru oraz wyniki badań eksperymentalnych.

Ostatnią część monografii stanowi projekt sieci neuronowej zbudowanej z synchronizowanych oscylatorów, służącej do segmentacji obrazów binarnych. W pracy zaproponowano nowy model oscylatora oraz architekturę układu scalonego realizującego sieć. Przedstawiono również projekt układu scalonego wykonanego w technologii AMIS $0,35\text{ }\mu\text{m}$ C035M-D 5M/1P i wyniki pomiarów.

1. Wstęp

1.1. Wprowadzenie

Układem scalonym (ang. integrated circuit lub chip) nazywamy zminiaturyzowany układ elektroniczny, potocznie kość, zawierający w swym wnętrzu od kilku milionów do kilku miliardów podstawowych elementów elektronicznych, takich jak tranzystory, diody, rezystory i kondensatory. Wszystkie lub część jego elementów wraz z połączeniami są wykonane w jednym cyklu technologicznym wewnątrz lub na powierzchni jednego podłoża (zwykle to jest płytką krzemową) [Kuźmich 1985]. Stosowanie układów scalonych ułatwia efektywne wykorzystanie powierzchni zajmowanej w krzemie. W porównaniu z aparaturą elektroniczną realizowaną z wykorzystaniem elementów dyskretnych, układ scalony ma mniejsze wymiary i ciężar, przy większej niezawodności, większej szybkości działania oraz mniejszych kosztach produkcji. Rozwój technologii wytwarzania półprzewodnikowych, monolitycznych układów scalonych wielkiej skali integracji (VLSI – Very Large Scale of Integration) umożliwia projektowanie coraz szybszych i bardziej złożonych układów. Dzieje się tak dzięki stale zmniejszającemu się wymiarowi charakterystycznemu technologii VLSI CMOS. Często używanym wskaźnikiem technicznego zaawansowania procesu technologicznego oraz gęstości upakowania elementów układów scalonych jest minimalna długość kanału tranzystora wyrażona w mikrometrach lub nanometrach i nazywana wymiarem charakterystycznym technologii. Im wymiar ten jest mniejszy, tym upakowanie tranzystorów oraz ich szybkość działania są większe. W najnowszych technologiach, w których między innymi produkowane są procesory firm Intel i AMD, minimalna długość kanału wynosi 32 μm . W roku 2005 wdrożono do masowej produkcji układy wykonane w technologii 65 μm , w 2008 r. Intel wyprodukował pierwszy procesor w technologii 45 μm , a w 2009 r. w ofercie Intela pojawiły się procesory w technologii 32 μm . Intel zapowiada przełamanie kolejnych barier miniaturyzacji.

Obserwowany obecnie szybki rozwój elektroniki idzie w parze z rozwojem technologii i metod projektowania układów scalonych. Układy scalone są wykorzystywane w wielu dziedzinach życia, takich jak medycyna, telekomunikacja, informatyka, transport (np. elektronika w samochodzie, samolocie, pociągu), energetyka, automatyka, przemysł (np. sterowanie, kontrola, pomiar), wojsko oraz urządzenia domowego użytku. Prekursorem współczesnych układów scalonych była wyprodukowana w 1926 r. lampa próżniowa Loewe 3NF, zawierająca wewnątrz jednej bańki trzy triody (dwie sygnałowe i jedną głośnikową), dwa kondensatory

i cztery rezystory. Całość była przeznaczona do pracy jako jednoobwodowy radioodbiornik reakcyjny. Pierwszą osobą, która opracowała teoretyczne podstawy układu scalonego, był angielski naukowiec Geoffrey Dummer. Nie udało mu się jednak zbudować pracującego układu. W 1958 r. Jack Kilby z Texas Instruments i Robert Noyce z Fairchild Semiconductor niezależnie od siebie zaprojektowali i zbudowali działające układy scalone [Wilamowski 1989]. Kilby zademonstrował swój wynalazek 12 września 1958 r. (za co otrzymał Nagrodę Nobla z fizyki w 2000 r.), Noyce zbudował swój pierwszy układ scalony około pół roku później.

Układ scalony jest zwykle zamknięty w hermetycznej obudowie szklanej, metalowej, ceramicznej lub wykonanej z tworzywa sztucznego. Ze względu na sposób wykonania układy scalone dzieli się na dwie główne grupy: układy monolityczne i układy hybrydowe. W układzie scalonym monolitycznym wszystkie elementy, zarówno czynne, jak i bierne, wykonane są w monokrystalicznej strukturze półprzewodnika. W układzie scalonym hybrydowym na płytce wykonane z izolatora nanoszone są warstwy przewodnika oraz materiału rezystywnego, które następnie są wytrawiane, tworząc układ połączeń elektrycznych oraz rezystory. Do tak utworzonych połączeń dołącza się indywidualne, miniaturowe elementy elektroniczne (w tym układy monolityczne). Ze względu na grubość warstw rozróżnia się układy cienkowarstwowe (warstwy ok. 2 mikrometrów) oraz grubowarstwowe (warstwy od 5 do 50 mikrometrów). Większość stosowanych obecnie układów scalonych jest wykonana w technologii monolitycznej. Ze względu na stopień scalenia stosuje się, w zasadzie historyczny, podział na układy:

- małej skali integracji (SSI – Small Scale of Integration),
- średniej skali integracji (MSI – Medium Scale of Integration),
- dużej skali integracji (LSI – Large Scale of Integration),
- wielkiej skali integracji (VLSI – Very Large Scale of Integration),
- ultra wielkiej skali integracji (ULSI – Ultra Large Scale of Integration).

W układach monolitycznych praktycznie wszystkie elementy wykonuje się jako tranzystory, odpowiednio łącząc ich końcówki i dlatego często mówi się o gęstości upakowania tranzystorów na powierzchni jednego mm².

Technologia półprzewodnikowa VLSI CMOS pozwala realizować układy scalone o gęstości upakowania sięgającej kilku miliardów tranzystorów MOS w pojedynczej strukturze [Gołda i Kos 2010]. Największy postęp w miniaturyzacji osiągnięto w układach VLSI wykonywanych w technologii CMOS i ta technologia stała się technologią dominującą [Wawryn 1997]. W zależności od przeznaczenia i specyfiki przetwarzanych sygnałów, układy scalone dzielimy na układy cyfrowe i układy analogowe. Technologia CMOS pozwala wykonywać układy analogowe i cyfrowe w standardowym procesie na jednym podłożu układu scalonego. W układzie scalonym część analogowa zajmuje zwykle mniejszą

powierzchnię płytki krzemowej od części cyfrowej, jednak jej projektowanie zajmuje więcej czasu [Wawryn 1997]. Projektowanie analogowych układów scalonych wymaga pokonywania wielu trudności polegających na braku takiej standaryzacji, jak w przypadku zautomatyzowanego projektowania układów cyfrowych. Przetwarzanie sygnałów w większości zastosowań odbywa się za pomocą systemów cyfrowych. Systemy te zawdzięczają swoją popularność odporności na zakłócenia i dużym możliwościom automatyzacji ich projektowania. Nawet modele elementów cyfrowych nie wymagają tak precyzyjnego opisu jak modele elementów analogowych i stąd symulacja komputerowa układów cyfrowych, niezbędna w ich projektowaniu, jest łatwiejsza. Układy analogowe, ze względu na charakter przetwarzanych sygnałów, są bardziej wrażliwe na zmiany i rozrzuty parametrów technologii półprzewodnikowych. Cechuje je mała dokładność w porównaniu do przetwarzania cyfrowego oraz wrażliwość na zakłócenia. Dobrze znane są ograniczenia elektroniki analogowej dotyczące zakresu dynamiki sygnałów, czasów ustalania, dryftu temperaturowego i czasowego czy też konieczności dostrajania [Kameda i Yagi 2003, Kowalski i inni 2006] i okresowej kalibracji. Porównanie cech techniki cyfrowej i analogowej przedstawiono w tabeli 1.1.

Dynamiczny rozwój badań w latach 90. nad różnymi architekturami sztucznych sieci neuronowych oraz metodami ich uczenia spowodował opracowanie szeregu algorytmów wykorzystujących te sieci i mających zastosowanie w różnorodnych problemach klasyfikacji i aproksymacji [Tadeusiewicz 1993, Osowski 1996, Hu i Hwang 2002]. Szczególnie powszechnie sieci neuronowe są wykorzystywane w zagadnieniach przetwarzania obrazów, w tym do analizy tekstury obrazu [Strzelecki 2004]. Wynika to z możliwości nieliniowego podziału przestrzeni cech charakteryzujących analizowane fragmenty obrazu, co zapewnia uzyskanie dobrych wyników, np. segmentacji tekstur naturalnych oraz biomedycznych. Duża liczba architektur sieci oraz różne sposoby ich uczenia – nadzorowane, stosowane w przypadku znanej liczby klas analizowanych obiektów lub obszarów (np. tekstur) i nienadzorowane (w przeciwnym razie) – pozwala na dopasowanie metody segmentacji w zależności od określonego zadania zdefiniowanego dla systemu analizy obrazu.

Poniżej przedstawiono krótką historię rozwoju sztucznych sieci neuronowych [<http://www.kik.pcz.czest.pl/nn/historia.php>, Osowski 1996].

- 1943 Warren McCulloch, Walter Pitts – pierwszy formalny matematyczny opis komórki nerwowej i powiązanie tego opisu z zagadnieniem przetwarzania danych.
- 1949 Donald Hebb – propozycja przechowywania informacji w strukturze połączeń między neuronami (połączenia wagowe), opracowanie metody uczenia sieci polegającej na modyfikacji wartości wag (reguła Hebba).

Tabela 1.1. Porównanie cech techniki cyfrowej i analogowej

	Układy cyfrowe	Układy analogowe
Zalety	– duża odporność na zakłócenia – duża dokładność przetwarzania – szerokie możliwości automatyzacji projektowania – proste modele elementów – łatwiejsza symulacja komputerowa – dominacja w zakresie przetwarzania sygnałów	– mała powierzchnia płytki krzemowej – mniejsza pobierana moc – większa szybkość przetwarzania informacji – możliwość implementacji układów o właściwościach zbliżonych do systemów biologicznych – równoległe architektury sieci neuronowych – duże szybkości
Wady	– duża powierzchnia płytki krzemowej – większa pobierana moc – mniejsza szybkość przetwarzania informacji	– wrażliwość na rozrzuty parametrów technologii – mniejsza dokładność – większa wrażliwość na zakłócenia – ograniczenia – zakres dynamiki sygnałów, czas ustalania, dryft temperaturowy i czasowy, konieczność dostrajania – projektowanie zajmuje więcej czasu – brak standaryzacji i mniejsze możliwości zautomatyzowanego projektowania – potrzeba rozwoju metod projektowania układów analogowych

- 1958 Franc Rosenblatt, Charles Wightman – budowa perceptronu, sieci do rozpoznawania znaków alfanumerycznych w postaci układu elektromechanicznego i elektronicznego, późniejsze liczne naśladownictwa i modyfikacje tego układu.
- 1960 Bernard Widrow – budowa sieci MAdaLinE (Many Adaptive Linear Elements) z nową regułą uczenia (reguła Widrowa-Hoffa), służącej do adaptacyjnego przetwarzania sygnałów. Był to pierwszy komercyjny neurokomputer, który był wykorzystywany m.in. w radarach, sonarach, modemach i liniach telefonicznych.
- 1969 Marvin Minsky, Seymour Pappert – wydanie książki “Perceptrons” [Perceptrons, MIT Press, 1969], co zahamowało na wiele lat rozwój sieci neuronowych ze względu na publikację formalnego dowodu, że sieci jednowarstwowe mają bardzo ograniczony zakres zastosowań. Dopiero około 15 lat później ukazało się szereg publikacji, gdzie wykazano brak takich ograniczeń w przypadku sieci nieliniowych. Przedstawiono również nowe

metody uczenia sieci wielowarstwowych, których zakres zastosowań okazał się bardzo szeroki (m.in. zagadnienia klasyfikacji i aproksymacji).

- 1970 Stephen Grossberg – budowa sieci Avalanche służącej do rozpoznawania mowy oraz sterowania ruchami ramienia robota.
- 1974 Paul Werbos, David Parker, David Rumelhart – opracowanie algorytmu uczenia „back propagation“, w późniejszych latach szeroko wykorzystywanego do uczenia sieci perceptronowych wielowarstwowych.
- 1982 John Hopfield – koncepcja sieci ze sprzężeniem zwrotnym, gdzie sieć poszukuje stanu równowagi w iteracyjnym procesie dynamicznym. Sieci takie wykorzystano m.in. do odtwarzania obrazu na podstawie jego fragmentów oraz do rozwiązywania zadań optymalizacyjnych (np. problem komiwojażera).
- 1982 Teuvo Kohonen – powstanie koncepcji samoorganizujących się sieci do wydobywania cech, opracowanie reguły uczenia nienadzorowanego.
- 1986 David McClelland i James Rumelhart [D. Rumelhart, J. McClelland and the PDP Research Group, *Parallel Distributed Processing – Vol. 1, Foundations*, MIT Press, 1986] – monografia na temat równoległego przetwarzania rozproszonego. Publikacja ta wykazała nowe możliwości zastosowań sieci wielowarstwowych i stała się źródłem inspiracji wielu badaczy na całym świecie do intensywnego rozwoju teorii i aplikacji takich sieci.
- 1988 L.O. Chua, L. Yang – powstanie koncepcji sieci neuronowych komórkowych [Chua i Yang 1988ab] w zastosowaniu do równoległego przetwarzania obrazów.
- 1992 układ scalony 80170NX (ETANN) firmy Intel implementujący architekturę wielowarstwowej sieci perceptronowej. Układ ten zrealizowano w technice cyfrowej i był on dostępny do kupna na rynku układów scalonych.
- Koniec lat 90. i lata późniejsze, D. Wang – opracowanie koncepcji sieci oscylacyjnych, opisanie ich własności, wykazanie ich przydatności do przetwarzania i analizy sygnałów oraz obrazów.

Jedną z zalet sieci neuronowych jest możliwość ich realizacji w postaci układów scalonych VLSI [Wojtyna 2010]. Układy takie pozwalają na dużo szybsze przetwarzanie sygnałów w porównaniu do metod symulacji komputerowej ze względu na implementację sprzętowych mechanizmów równoległego przetwarzania informacji przez sieć. Duża szybkość przetwarzania często jest bardzo istotna np. we wspomaganiu diagnostyki medycznej ze względu na konieczność analizy dużej liczby obrazów w ograniczonym czasie.

Układy analogowe mogą pracować w trybie napięciowym lub prądowym [Wojtyna 1996, Kowalski 1998, Koziół i Szczepański 2001, Koziół i Szczepański 2003]. Tryb pracy układu zależy od tego, czy przetwarzanymi sygnałami są

napięcia czy prądy. Wraz ze zmniejszaniem wymiaru charakterystycznego technologii CMOS dopuszczalne napięcie zasilania układu scalonego musi być coraz mniejsze. Prowadzi to do ograniczenia dynamiki przetwarzanego sygnału napięciowego. Stąd tryb prądowy pracy układu CMOS jest bardziej korzystny [Kacprzak i Ślot 1995, Wojtyna 1996, Wawryn 1997, Kowalski 1998, Wojtyna 2009, Wojtyna 2010]. Zaletami układów pracujących w trybie prądowym są: większa dynamika przy ograniczonym napięciu zasilania, szersze pasmo przenoszenia, mniejsza moc pobierana ze źródła zasilania oraz mniejsza powierzchnia płytki krzemowej [Wawryn 1997]. Ponadto oprócz pracy ciągłej układy mogą pracować dyskretnie w czasie. Przykładem układów CMOS dyskretnych w czasie pracujących w trybie napięciowym są układy z przełączanymi pojemnościami [Ciota 1996], zaś dla układów pracujących w trybie prądowym są układy z przełączanymi prądami [Wawryn 1997].

Sieci neuronowe mogą być implementowane jako scalone układy cyfrowe, scalone układy analogowe albo jako układy optoelektroniczne [Tadeusiewicz 1993, Kacprzak i Ślot 1995, Ślot 1999]. Cyfrowe sieci neuronowe są realizowane w strukturach FPGA lub z zastosowaniem procesorów sygnałowych oraz jako układy ASIC (ang. Application Specific Integrated Circuits). Analogowe sieci neuronowe realizuje się najczęściej jako układy ASIC „full custom” w technologii CMOS VLSI. Analogowe realizacje VLSI CMOS sieci neuronowych są szczególnie atrakcyjne ze względu na zajmowaną powierzchnię płytki krzemowej, pobieraną moc i szybkość przetwarzania informacji [Rutkowski 1996]. Rozwiązania analogowe są stosowane w przypadkach, gdy nie ma dostatecznie szybkich układów cyfrowych zdolnych zrealizować dane zadanie bądź też, gdy realizacja cyfrowa jest nieopłacalna. Równoległe architektury sieci neuronowych zaimplementowane w postaci analogowych układów scalonych VLSI oferują duże prędkości działania i większą tolerancję błędów [Rutkowski 1996]. Analogowa realizacja sieci neuronowych jest ponadto bliższa biologicznym sieciom, gdzie przetwarzanie informacji ma charakter analogowy. Z tych względów istnieje potrzeba rozwoju i projektowania analogowych układów scalonych będących sprzętową implementacją sieci neuronowych. W ramach niniejszej pracy wykonano prototypy układów scalonych realizujących takie sieci w różnych technologiach CMOS i przeprowadzono weryfikację ich działania przez porównanie wyników badań laboratoryjnych z symulacjami komputerowymi oraz wykonanie odpowiednich testów. W technologii MIETEC 2,4 μm zaprojektowano układ scalony [Kowalski i inni 1999, Kowalski i Strzelecki 2000], będący sprzętową implementacją sieci neuronowej Kohonena do zadań identyfikacji parametrów układów dynamicznych [Materka 1995abcd, Materka 1996, Materka i inni 1997, Materka 1997, Makowski i inni 1998, Materka i inni 1998ab, Materka, Strzelecki 1998,

Materka 1999, Materka, Strzelecki 1999, Pełczyński i inni 1999, Romaniuk i inni 1999]. Zaprojektowano ponadto układ scalony implementujący filtr ważonych statystyk porządkowych obrazu o architekturze sieci neuronowej komórkowej w technologii AMS 0,8 μm CYE [Kowalski i inni 2000, Kowalski 2001ab, Kowalski i inni 2001, Kowalski i Kacprzak 2001b, Kowalski 2002bc, Kowalski 2003bc]. Zaprojektowano także układ scalony realizujący sieć synchronizowanych oscylatorów do segmentacji obrazów binarnych w technologii AMIS 0,35 μm CO35M-D 5M/1P [Kowalski i inni 2004, Kowalski i Strzelecki 2005abc, Kowalski i inni 2006, Kowalski i Strzelecki 2007, Kowalski i Strzelecki 2008, Strzelecki i Kowalski 2005, Strzelecki i inni 2006, Strzelecki i inni 2008]. Układ scalony implementujący sieć Kohonena i układ scalony realizujący sieć synchronizowanych oscylatorów do segmentacji obrazów binarnych zostały wykonane w Belgii, zaś układ scalony implementujący filtr ważonych statystyk porządkowych obrazu w Norwegii.

1.2. Cel pracy

Celem pracy było przedstawienie, na konkretnych przykładach, autorskiej metodyki projektowania i testowania, z wykorzystaniem programów Cadence, Hspice i Spectre, analogowych układów scalonych CMOS, realizujących sieci neuronowe do przetwarzania obrazów i sygnałów. Prezentowane przykłady to układy implementujące w sposób sprzętowy trzy, różne sieci neuronowe. Pierwsza sieć służy do identyfikacji parametrów układów dynamicznych, druga do filtracji ważonych statystyk porządkowych obrazu, a trzecia do segmentacji obrazów binarnych.

Celem pracy było także pokazanie, że sprzętowa realizacja sieci neuronowej w postaci układu scalonego CMOS może być efektywnym sposobem wykonania wybranych zadań przez sieć neuronową odpowiedniego typu, w znaczeniu mniejszego poboru energii, mniejszej liczby tranzystorów, mniejszej powierzchni płytki krzemowej oraz szybszego przetwarzania informacji.

Dla osiągnięcia postawionego celu opracowano model matematyczny i architekturę każdej realizowanej sieci neuronowej, następnie zaprojektowano odpowiednie układy CMOS implementujące poszczególne bloki sieci. Do projektowania wykorzystano środowisko Cadence wraz z symulatorami Hspice lub Spectre. Wymiary tranzystorów były wstępnie obliczane ręcznie [Kowalski 1998], wykorzystując prosty model tranzystora MOS Sakurai'a-Newtona [Sakurai i Newton 1991] tak, aby spełnić wymagania projektowe. Na drodze symulacji komputerowych z wykorzystaniem dokładnych modeli tranzystorów dla konkretnych technologii wymiary te były potem odpowiednio korygowane. Ostatecznym etapem był

projekt topografii układu scalonego i symulacje całości lub poszczególnych części układu z uwzględnieniem wszystkich pojemności pasożytniczych. Aby umożliwić wykonanie pomiarów podstawowych bloków funkcjonalnych sieci, w zaprojektowanych układach scalonych oprócz właściwej sieci neuronowej implementowano specjalne struktury testowe. Pozwoliło to na porównanie wyników symulacji z pomiarami. W celu weryfikacji doświadczalnej działania sieci neuronowej w zastosowaniu do przetwarzania obrazów lub sygnałów, dla każdego układu zaprojektowano specjalne stanowisko testowe. Do budowy tych stanowisk wykorzystano informacje uzyskane podczas badania struktur testowych każdego z układów scalonych.

1.3. Stan wiedzy

Wydanie wrześniowe IEEE Transactions on Neural Networks z roku 2003 zostało w pełni poświęcone tematyce realizacji sprzętowej sieci neuronowych. Pierwsza jego część dotyczy realizacji cyfrowych sieci neuronowych i zawiera 5 artykułów na temat implementacji w strukturach FPGA, 2 artykuły dotyczące implementacji za pomocą procesorów sygnałowych DSP oraz 8 artykułów na temat realizacji w strukturach cyfrowych układów scalonych VLSI ASIC. W drugiej części tego wydania przedstawiono szereg implementacji sieci neuronowych w formie analogowych układów scalonych VLSI ASIC. W artykule [Gopalan i Titus 2003] autorzy przedstawili analogową implementację VLSI układu scalonego obliczającego odległość Euklidesa między wektorem wejściowym i wektorem wag, wykorzystywanego do realizacji sieci samoorganizującej Kohonena. Układ ten został zrealizowany w technologii CMOS 1,5 μm i autorzy uzyskali dobre jego parametry, takie jak mały pobór mocy i duża dynamika przetwarzanych sygnałów napięciowych. W pracy [Milev i Hristov 2003] zaproponowano kwadratowy model synapsy do implementacji sieci neuronowej składającej się z 2176 synaps w zastosowaniu do ekstrakcji cech odcisków palców. Do projektowania wykorzystano tu technologię CMOS 0,35 μm . Praca [Hirose i Nakazawa 2003] dotyczy aspektów implementacji analogowej pamięci asocjacyjnej w technologii CMOS 0,5 μm . Praca [Linares-Barranco i inni 2003] rozważa miniaturowe przetworniki cyfrowo-analogowe, gdzie wszystkie tranzystory MOS pracują w zakresie słabej inwersji, aby zminimalizować pobór mocy. Przetworniki te mogą być używane do realizacji sieci neuronowych o dużych matrycach, gdzie potrzebne jest programowanie wag. Autorzy wykorzystują technologię AMS 0,35 μm . Artykuł [Beiu i inni 2003] jest szerokim przeglądem układów CMOS logiki progowej w zastosowaniu do implementacji VLSI sieci neuronowych. Autorzy artykułu [Aunet i inni 2003] proponują metodę projekto-

wania sieci neuronowych opartą na rekonfiguralnych w czasie rzeczywistym elementach progowych CMOS. Podstawowymi zaletami tego podejścia są bardzo mały pobór mocy oraz niskie napięcie zasilania układów CMOS. W pracy [Yamasaki i Shibata 2003] zaprezentowano analogowy klasyfikator do rozpoznawania pisma ręcznego, wykonany w technologii CMOS 0,6 μm z pływającą bramką. Autorzy pracy [Culurciello i Andreou 2003] rozważają obwody i algorytmy dostępu do kanałów komunikacyjnych wewnątrz układu scalonego, jak i pomiędzy układami scalonymi. Rozważania te tworzą przewodnik projektowania sieci procesorów neuronowych ze skuteczną transmisją informacji, z minimalnym opóźnieniem i poborem mocy. W artykule [Cosp i Madrenas 2003] przedstawiono układ scalony sieci synchronizowanych oscylatorów do segmentacji obrazów binarnych wykonany w technologii CMOS AMS 0,8 μm . Zrealizowana tam matryca ma wymiary 16×16 oscylatorów. Praca [Chicca i inni 2003] przedstawia sieć neuronową złożoną z neuronów z całkowaniem i generacją impulsów połączonych poprzez synapsy z długoczasowymi pamięciami wag. Sieć ta jest przeznaczona do zadań klasyfikacji i została zaimplementowana w technologii CMOS 0,6 μm . Artykuł [Asai i inni 2003] przedstawia implementację obwodową oscylującego neuronu opartego na modelu Volterra. Układ scalony został wykonany w technologii CMOS 1,5 μm i wszystkie jego tranzystory MOS pracują w zakresie podprogowym. W pracy [Galan i inni 2003] zaprezentowano implementację układu scalonego VLSI programowalnej sieci neuronowej komórkowej o wymiarach matrycy 32×32 komórek w technologii CMOS 0,5 μm . Sieć ta emuluje pracę siatkówki oka kręgowców. Artykuł [Serrano-Gotarredona i Linares-Barranco 2003] przedstawia sieć neuronową reprodukującą zjawiska propagacji fal i pracę izolowanych oscylatorów. Do realizacji wykorzystano technologię CMOS AMS 0,35 μm . W pracy [Nakada i inni 2003] opisano analogowy, neuronowy kontroler do generacji centralnych wzorców do koordynacji ruchu między kończynami czworonożnych zwierząt. Koncepcję potwierdzono wynikami symulacji z wykorzystaniem programu Pspice w oparciu o model tranzystora MOS Level3 technologii CMOS 1,5 μm . W artykule [Kowalski 2003c] autor niniejszej monografii przedstawił zaimplementowany w postaci układu scalonego filtr ważonych statystyk porządkowych obrazu o architekturze sieci neuronowej komórkowej. Układ zrealizowano w technologii AMS 0,8 μm , co zostało szczegółowo opisane w rozdziale 3. Artykuł [Navas-Gonzales i inni 2003] przedstawia analogowo-cyfrowy, neuronowy układ scalony z logiką rozmytą. Układ został zrealizowany w technologii CMOS 0,7 μm i przetestowano jego praktyczną przydatność do sterowania silnikiem prądu stałego. W pracy [Horio i inni 2003] autorzy przedstawili neuronowo-synaptyczny zestaw układów scalonych, realizujący chaotyczną sieć neuronową.

Neuronowy układ scalony został wykonany w technologii CMOS 0,5 μm z wykorzystaniem techniki przełączanych pojemności, zaś synaptyczny układ scalony zaimplementowano w formie cyfrowego układu ASIC w technologii CMOS 0,35 μm . Taki zestaw układów scalonych pozwala na skonstruowanie chaotycznej sieci neuronowej składającej się z 10000 neuronów i 10000² połączeń synaptycznych. Autorzy artykułu [Kameda i Yagi 2003] przedstawili neuronowy układ scalony VLSI emulujący działanie siatkówki oka kręgowców. Układ ten posiada matrycę 40x46 neuronów i został zaimplementowany w technologii CMOS 0,6 μm . W artykule [Ng i Lam 2003] przedstawiono, dla porównania, analogową implementację oraz implementację w strukturze FPGA sieci neuronowej do różnych zadań optymalizacji. W pracy [Genov i Cauwenberghs 2003] opisano neuronowy układ scalony do detekcji i rozpoznawania obiektów w obrazie w czasie rzeczywistym. Zawiera on matrycę 256x128 neuronów i został wykonany w technologii CMOS 0,5 μm .

Porównania między analogową realizacją wielowarstwowego perceptronu w technologii VLSI CMOS 0,35 μm i równoważną, cyfrową zaimplementowaną w strukturze programowalnej Xilinx Spartan 3 FPGA dokonano w pracy [Gatet i inni 2009]. Sieć neuronowa składała się z dwóch wejść, trzech neuronów w warstwie ukrytej i jednego wyjścia i była częścią optoelektronicznego systemu do pomiaru odległości. Okazało się, że analogowy układ scalony posiada małą powierzchnię płytki krzemowej (0,04 mm²), pobiera mniejszą moc i jest szybszy. Autorom artykułu zaprojektowanie tego układu zajęło aż 3 miesiące, podczas gdy implementacja w strukturze FPGA trwała około miesiąca. Dokładność przetwarzania dla obu koncepcji była podobna.

Do ciekawych implementacji sieci neuronowych opracowanych w Polsce należy układ scalony sieci Kohonena zaprojektowany w technologii CMOS 0,18 μm [Talaśka 2006, Talaśka 2007, Długosz i inni 2008]. Jest to układ pracujący w trybie prądowym. Jego wydajność jest dużo większa niż równoważnych sieci zrealizowanych z wykorzystaniem komputera PC, czy też układów programowalnych FPGA. Algorytm uczenia oparty na regule Kohonena jest zrealizowany wewnątrz układu scalonego.

Interesujący rozwój sieci neuronowych komórkowych (ang. CNN – Cellular Neural Network) w zastosowaniu do równoległego przetwarzania obrazów zapoczątkowały prace [Chua i Yang 1988ab]. Zaproponowany w artykule [Chua i Yang 1988a] model obwodowy komórki stał się podstawą do opracowania fizycznych realizacji sieci neuronowych komórkowych. Powstały układy scalone implementujące sieci neuronowe komórkowe w zastosowaniu do konkretnych zadań przetwarzania obrazów. Do pierwszych takich układów należy układ opisany w pracy [Cruz i Chua 1991], który implementuje detektor elementów

spójnych w obrazie. Kolejno powstały koncepcje i układy scalone opisane m. in. w pracach [Yang i inni 1990, Harrer i inni 1992, Huertas i inni 1992, Baktir i Tan 1993, Cardarilli i Sargeni 1993, Varrientos i inni 1993, Kowalski 1998, Salerno i inni 2000, Kowalski 2003c, Veni S i Yamuna 2005, Poikonen i Paasio 2009, Hoseini i Mashoufi 2010]. Poszukiwanie rozwiązań sieci neuronowych komórkowych znoszących ograniczenia zakresu stosowalności tylko do określonego zbioru zadań doprowadziło do opracowania koncepcji sieci uniwersalnej [Chua i Roska 1992, Roska i Chua 1992, Roska i Chua 1993]. Jednym z pierwszych układów scalonych implementujących uniwersalną sieć neuronową komórkową (USNK) jest układ opisany w pracy [Harrer i inni 1994]. Jest to układ o działaniu dyskretnym w czasie, pracujący w trybie prądowym. Posiada on wymiar matrycy 12x12 komórek i został zaimplementowany w technologii CMOS 2 μm . Kolejny układ scalony USNK posiada wymiar matrycy 32x32 komórek [Dominguez-Castro i inni 1994, Espejo i inni 1995, Espejo i inni 1996a] i został zaimplementowany w technologii CMOS 1 μm . Układ scalony USNK z wymiarem matrycy 20x20 komórek, wykonany w technologii 0,7 μm , opisano w pracach [Kinet i Steyaert 1995, Kinet i Steyaert 1996]. Pierwszym układem scalonym USNK zintegrowanym z matrycą fotodetektorów jest układ zrealizowany w technologii CMOS 0,8 μm , opisany w artykułach [Espejo i inni 1996b, Domínguez-Castro i inni 1997]. Posiada on matrycę o wymiarach 20x22 komórek. Układ scalony USNK wykonany w technologii CMOS 0,5 μm do przetwarzania obrazów binarnych o wymiarach 48x48 przedstawiono w pracach [Paasio i inni 1997, Paasio i inni 1998]. Kolejne układy scalone USNK to układy rodziny ACE (ang. Analogic CNN Engine) zintegrowane z sensorami optycznymi. Układ ACE4k [Liñán i inni 1999ab, Liñán i inni 2000] posiada matrycę 64x64 komórek i został wykonany w technologii CMOS 0,5 μm . Zaimplementowany w technologii CMOS 0,35 μm układ scalony USNK ACE16k [Rodriguez-Vazquez i inni 2004] posiada matrycę o wymiarach 128x128 komórek i zawiera prawie 4 miliony tranzystorów MOS. Zawierający ponad 6 milionów tranzystorów MOS układ scalony USNK z matrycą 64x64 komórek wykonany w technologii CMOS 0,13 μm opisano w pracach [Laiho i inni 2008, Laiho i inni 2009]. USNK posiadają duże możliwości implementacji różnych algorytmów przetwarzania obrazów, m.in. rozpoznawania obiektów dwuwymiarowych z zastosowaniem modeli deformowanych [Korbel 2006].

Z przeglądu literatury na temat realizacji sieci neuronowych w formie układów scalonych VLSI wynika, że nie maleje znaczenie techniki analogowej, jak to ma miejsce np. w automatyce. Zarówno technika analogowa, jak i cyfrowa jest wykorzystywana do realizacji układów scalonych implementujących sieci neuronowe.

1.4. Zawartość pracy

Praca składa się z pięciu rozdziałów. W rozdziale 2 omówiono układ scalony implementujący sieć neuronową Kohonena i jego wykorzystanie do zadań identyfikacji parametrów układów dynamicznych. Przedstawiono architekturę układu scalonego realizującego sieć Kohonena oraz jego implementację w technologii MIETEC 2,4 μm . Porównano także wyniki symulacji komputerowych z laboratoryjnymi pomiarami podstawowych bloków funkcjonalnych sieci Kohonena implementowanej w postaci układu scalonego.

W rozdziale 3 przedstawiono układ scalony będący sprzętową realizacją filtru ważonych statystyk porządkowych obrazu o architekturze sieci neuronowej komórkowej, zaprojektowany w technologii AMS 0,8 μm CYE. Opisano model komórki tego filtru oraz jego architekturę. Podano szczegółowy opis bloków funkcjonalnych filtru ważonych statystyk porządkowych obrazu. Porównano wyniki symulacji programem Spectre z laboratoryjnymi pomiarami podstawowych bloków funkcjonalnych tego filtru. Przedstawiono stanowisko testowe układu scalonego implementującego filtr ważonych statystyk porządkowych obrazu oraz wyniki przetwarzania obrazu wraz z jego zastosowaniem.

W rozdziale 4 zaprezentowano sieć synchronizowanych oscylatorów do segmentacji obrazów binarnych. Opisano nowy model oscylatora oraz architekturę układu scalonego realizującego sieć synchronizowanych oscylatorów. Przedstawiono szczegółowo projekt tego układu wykonanego w postaci zintegrowanej w technologii AMIS 0,35 μm C035M-D 5M/1P. Porównano wyniki symulacji z użyciem programu Spectre z wynikami pomiarów laboratoryjnych podstawowych bloków funkcjonalnych układu scalonego realizującego sieć synchronizowanych oscylatorów. Przedstawiono platformę do testowania tego układu scalonego oraz rezultaty segmentacji obrazów binarnych z wykorzystaniem tej platformy. Aby poprawić funkcjonalność układu scalonego realizującego sieć synchronizowanych oscylatorów, wprowadzono ideę strojenia oscylatorów i przedstawiono rezultaty segmentacji obrazów binarnych z wykorzystaniem zestrojonego układu scalonego.

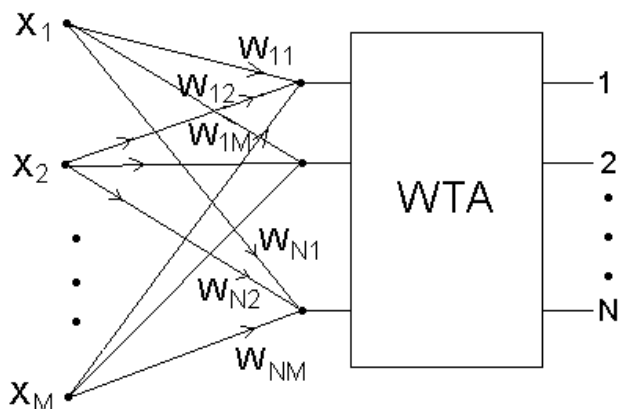
W rozdziale 5 podsumowano wyniki pracy oraz wskazano kierunki dalszego rozwoju analogowych układów scalonych implementujących sieci neuronowe.

W dodatkach A, B, C zamieszczono wykazy nóżek i nazwy występujących tam sygnałów dla zaprojektowanych układów scalonych.

2. Realizacja sieci Kohonena w postaci układu scalonego

2.1. Wstęp

Sieć neuronowa Kohonena została opracowana przez T. Kohonena w latach 1979-1982 [Osowski 1994]. Jest to sieć z uczeniem bez nauczyciela. Brak nauczyciela oznacza, że nie ma sprzężenia zwrotnego z zewnątrz decydującego o tym, jakie powinny być sygnały na wyjściu sieci, albo czy są one prawidłowe [Rutkowski 1996]. Ogólna struktura sieci Kohonena jest przedstawiona na rys. 2.1. M-wymiarowy wektor $\mathbf{X}$ jest przekształcony za pomocą macierzy wag $\mathbf{W}$ w zbiór N neuronów rywalizujących ze sobą [Osowski 1994]. Neurony najczęściej są uporządkowane w linii, tzn. każdy neuron ma dwóch najbliższych sąsiadów, jak pokazano na rys. 2.1.



Rys. 2.1. Ogólna struktura sieci neuronowej Kohonena

Aktywacji podlega jedynie ten neuron, którego wektor wag $\mathbf{W}_i$ jest najbardziej zbliżony do wektora wejściowego $\mathbf{X}$ [Korbicz i inni 1994]. Istotnym problemem jest wybór miary (metryki), w jakiej jest mierzona odległość między wektorem $\mathbf{X}$ a wektorem $\mathbf{W}_i$ [Osowski 1996, Osowski 2000]. Najczęściej używaną metryką jest miara euklidesowa. W takim przypadku tylko jedno wyjście układu WTA (ang. Winner Takes All) jest aktywowane. Jest to wyjście tego neuronu, który wygrał rywalizację, tj. neuronu, dla którego odległość euklidesowa między wektorem wejściowym $\mathbf{X}$ a wektorem wag $\mathbf{W}_i$ jest najmniejsza. Prowadzi to do podziału danych lub rozkładu wektorów wejściowych na N klas i pozwala reprezentować

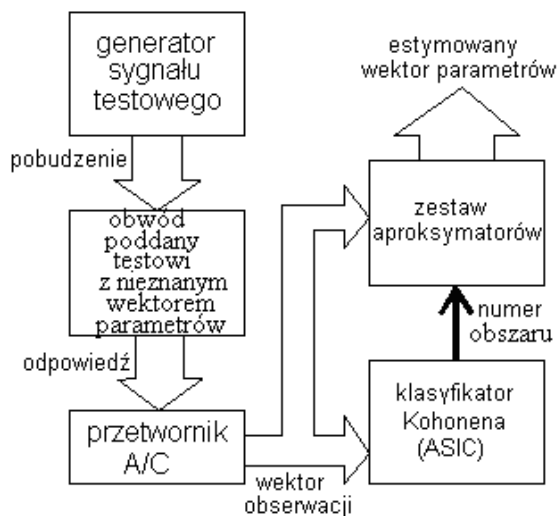
dowolny wektor przez klasę, do której został przypisany [Hertz i inni 1995]. Możemy więc przesyłać lub zapamiętywać indeks odpowiedniej klasy zamiast całego wektora, jeżeli został uzgodniony zbiór klas, czyli książka kodowa. W ten sposób wykorzystuje się sieć Kohonena jako kwantyzator wektorowy w celu kompresji danych.

Elektroniczne realizacje sieci neuronowej Kohonena znalazły zastosowanie w adaptacyjnych układach sterowania i przetwarzania sygnałów, głównie do rozpoznawania wzorców i kompresji danych. Jednym z najważniejszych zastosowań sieci Kohonena jest kwantowanie wektorów. Jest to technika kompresji danych dotyczących obrazów lub sygnału mowy przy ich przechowywaniu lub transmisji. Sieć Kohonena znalazła zastosowanie przy rozwiązywaniu problemów praktycznych z różnych dziedzin. Należą do nich: statystyczne rozpoznawanie wzorców, rozpoznawanie mowy, kwantowanie wektorów i kompresja obrazów [Fang i inni 1992], zagadnienia sterowania i robotyki, układy adaptacyjne w telekomunikacji, optymalizacja kombinatoryczna. Przedstawiony dalej analogowy układ scalony implementujący sieć neuronową Kohonena jest częścią systemu do identyfikacji parametrów układów dynamicznych [Materka 1995abcd, Materka 1996, Materka i inni 1997, Materka 1997, Makowski i inni 1998, Materka i inni 1998ab, Materka i Strzelecki 1998, Materka 1999, Materka i Strzelecki 1999, Pełczyński i inni 1999, Romaniuk i inni 1999]. System ten służy do identyfikacji nieznanego wektora parametrów obwodu dynamicznego na podstawie obserwacji jego odpowiedzi na znane pobudzenie.

2.2. Wykorzystanie sprzętowo realizowanej sieci Kohonena do identyfikacji parametrów układów dynamicznych

Analogowy układ scalony implementujący sieć neuronową Kohonena jest częścią systemu do identyfikacji parametrów układów dynamicznych i pełni rolę klasyfikatora. Schemat blokowy systemu do identyfikacji parametrów układów dynamicznych jest przedstawiony na rys. 2.2 [Materka 1999, Kowalski i inni 1999, Kowalski i Strzelecki 2000]. System potrafi zidentyfikować nieznaną wektor parametrów obwodu dynamicznego poddanego testowi. Estymacja parametrów oparta jest na obserwacji odpowiedzi obwodu na znane pobudzenie. Badany obwód jest opisany modelem matematycznym, od którego parametrów zależy jego odpowiedź czasowa. Obwód ten jest pobudzony sygnałem z generatora testowego i generuje odpowiedź, która jest podana zarówno na sieć neuronową Kohonena, jak i aproksymator perceptronowy. Dziedzina obserwacji jest dzielona na kilka obszarów tak, aby osiągnąć minimalny błąd aproksymacji. Zadaniem

klasyfikatora Kohonena jest określenie jednego z tych obszarów na podstawie odpowiedzi czasowej obwodu poddanego testowi.



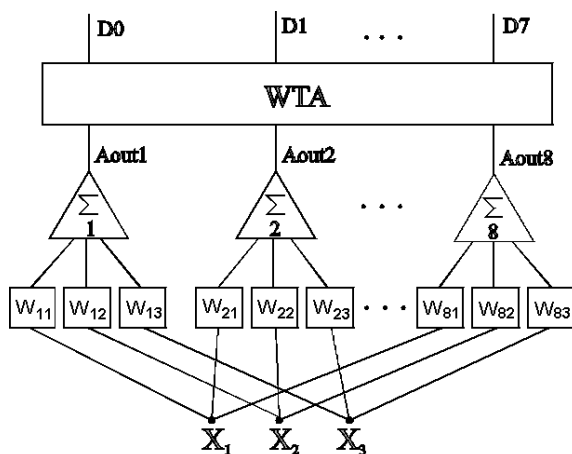
Rys. 2.2. Schemat blokowy systemu do identyfikacji parametrów układów dynamicznych [Materka 1999]

W zależności od wybranego numeru obszaru zostaje wybrany jeden z perceptronowych aproksymatorów z odpowiednim zestawem wag. Wartości tych wag są ustalane w wyniku uczenia off-line i są zapamiętywane w pamięci RAM komputera PC, sterującego pracą systemu identyfikacji parametrów. Wyjścia aproksymatora dostarczają wektor parametrów analizowanego obwodu. Sieć Kohonena jest uczona „poza chipem”. Algorytm uczenia oparty na regule Kohonena [Korbicz i inni 1994, Hertz i inni 1995] nie został zrealizowany wewnątrz układu scalonego, stąd układ ten jest sprzętową realizacją fazy odtwarzania. Faza uczenia w trybie bez nauczyciela (nienadzorowana) została zrealizowana przez odpowiednią procedurę na komputerze PC. Uczenie tego rodzaju sieci polega na takich zmianach wag neuronów, głównie wag neuronu zwycięzcy, aby dążyły one do wzorca zgodnego ze strukturą analizowanych danych wektorów wejściowych. Bardziej szczegółowy opis systemu do identyfikacji parametrów układów dynamicznych można znaleźć w pracach [Makowski i inni 1998, Materka i inni 1998a, b]. Proces identyfikacji parametrów jest sterowany przez komputer PC. Komputer analizuje odpowiedź badanego obwodu i wyjścia klasyfikatora oraz inicjalizuje przetwarzanie danych. Załadowuje odpowiedni wektor wag do karty z procesorem sygnałowym, następnie dokonuje transferu wektora obserwacji do

aproksymatora i ostatecznie odczytuje estymowane parametry obwodu dynamicznego. Procedura uczenia klasyfikatora i aproksymatora jest także sterowana przez komputer PC. Architektura aproksymatora oraz procedura uczenia jest opisana szczegółowo w pracach [Materka i Strzelecki 1998, Materka i Strzelecki 1999, Materka 1999]. Funkcję aproksymatora pełni komercyjna karta ISA do komputera PC z procesorem SHARC ADSP21062 [Materka 1999]. Układ scalony ASIC implementujący sieć Kohonena zainstalowano na specjalnie zaprojektowanej i wykonanej karcie w standardzie ISA, zaś jej układy sterujące zrealizowano z zastosowaniem układu FPGA Xilinx 4000. Opisany system zapewnia dużą szybkość identyfikacji parametrów układu dynamicznego oraz niewielkie wartości błędów związanych z zakłóceniami szumowymi w porównaniu z metodami tradycyjnymi [Materka 1999].

2.3. Architektura układu CMOS realizującego sieć Kohonena

Architektura układu scalonego implementującego sieć Kohonena [Kowalski i inni 1999, Kowalski i Strzelecki 2000] jest przedstawiona na rys. 2.3.

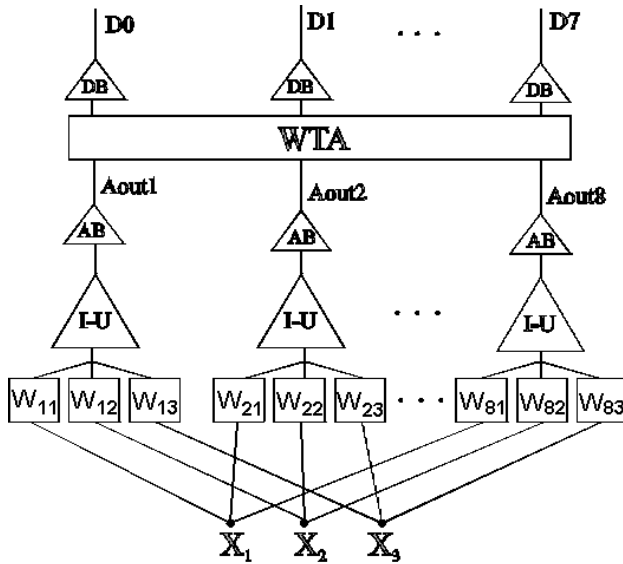


Rys. 2.3. Schemat blokowy układu scalonego implementującego sieć Kohonena

Rozważana sieć neuronowa składa się z dwóch warstw: warstwy neuronów, które obliczają sumę kwadratów odchyleń pomiędzy sygnałem wejściowym a wagami oraz warstwy konkurencyjnej WTA. Sieć składa się z $N = 8$ neuronów, posiada $M = 3$ napięciowe wejścia sygnałowe $X_1 \dots X_3$, 24 napięciowych wejść wagowych $W_{11}, W_{12} \dots W_{83}$ oraz 8 cyfrowych wyjść $D0 \dots D7$.

2.4. Implementacja sieci Kohonena w technologii MIETEC 2,4 μm

Pierwszym krokiem projektu jest przypisanie określonych funkcji sieci poszczególnym układom elektronicznym CMOS. Sposób takiego przyporządkowania przedstawia rys. 2.4.



Rys. 2.4. Schemat blokowy sieci Kohonena z podziałem na podukłady elektroniczne

Bloki oznaczone symbolem W_{ij} oznaczają układy mnożące Gilberta wykonujące następującą operację matematyczną:

$$I_{ij} = G_G (X_j - W_{ij})^2, \quad 1 \leq i \leq 8, \quad 1 \leq j \leq 3 \quad (2.1)$$

Bloki oznaczone symbolem **I-U** oznaczają konwertery prąd-napięcie. Są one niezbędne, ponieważ sygnałem wyjściowym układu mnożącego Gilberta jest prąd, a układ WTA posiada wejścia napięciowe. Konwertery I-U zamieniają sumę prądów z układów mnożących Gilberta na napięcie. Ich pracę można opisać następującym wzorem:

$$V_i = R_{I-U} \sum_{j=1}^3 I_{ij} \quad (2.2)$$

Bloki **AB** oznaczają bufor analogowy. Wyjścia analogowe Aout1...Aout8 są wyprowadzone na zewnątrz układu scalonego i dlatego bufor analogowy uniezależnia szybkość pracy sieci Kohonena od obciążenia pojemnościowego tych

wyjscie. Kolejnym blokiem jest układ **WTA**, który znajduje wartość maksymalną napięcia na swoich wejściach. Bloki **DB** oznaczają bufory cyfrowe, które zwiększają obciążalność pojemnościową układu WTA oraz zapewniają na swoim wyjściu standardowe poziomy sygnałów cyfrowych 5 V i 0 V. Do projektu układów CMOS realizujących sieć neuronową Kohonena przyjęto następujące zakresy zmienności sygnałów, przy zasilaniu $V_{dd} = 5V$, $V_{ss} = -5V$:

$$-2V < W < 2V$$

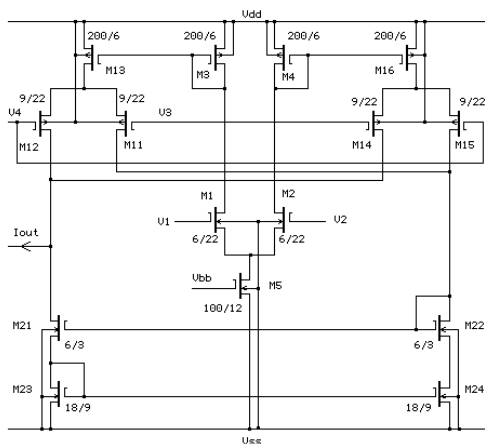
$$-2V < X < 2V$$

$$-2V < A_{out} < 0V$$

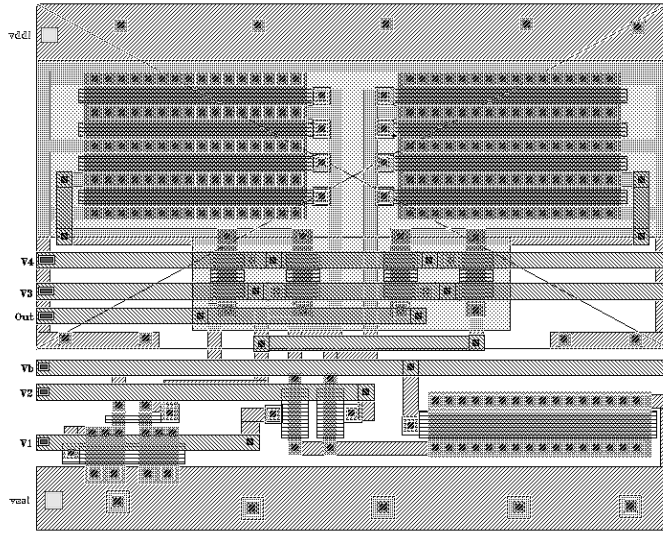
Wymiary tranzystorów poszczególnych układów CMOS realizujących sieć Kohonena zostały zaprojektowane tak, aby wszystkie tranzystory MOS pracowały stale w zakresie nasycenia, w stanie silnej inwersji w założonym zakresie zmienności sygnałów. Do symulacji układów wykorzystano parametry modelu tranzystora MOS Level 2 technologii CMOS n-well MIETEC 2,4 μm z podwójną metalizacją i bramką z krzemu polikrystalicznego. Schemat transkonduktancyjnego układu mnożącego Gilberta przedstawia rys. 2.5 [Fang i inni 1992], zaś topografię rys. 2.6. Aby osiągnąć szeroki zakres przetwarzanych napięć, pary różnicowe dla napięć $(V_1 - V_2)$ i $(V_3 - V_4)$ zostały odseparowane za pomocą zwierciadeł prądowych. Prąd wyjściowy układu mnożącego Gilberta można zapisać następująco:

$$I_{out} = \sqrt{\frac{k\beta_1\beta_{11}}{2}}(V_1 - V_2)(V_3 - V_4) \quad (2.3)$$

gdzie k jest wzmocnieniem prądowym zwierciadła prądowego zbudowanego na tranzystorach $M_{3(4)}$ i $M_{13(16)}$, zaś β_1 i β_{11} są współczynnikami transkonduktancji tranzystorów M_1 i M_{11} .

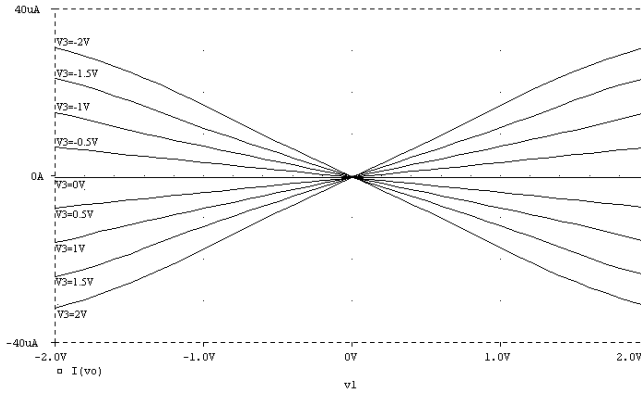


Rys. 2.5. Schemat ideowy układu mnożącego Gilberta



Rys. 2.6. Topografia zaprojektowanego układu mnożącego Gilberta

Wyniki symulacji charakterystyk przejściowych DC układu mnożącego Gilberta dla $V_2 = V_4 = 0$ przedstawia rys. 2.7.

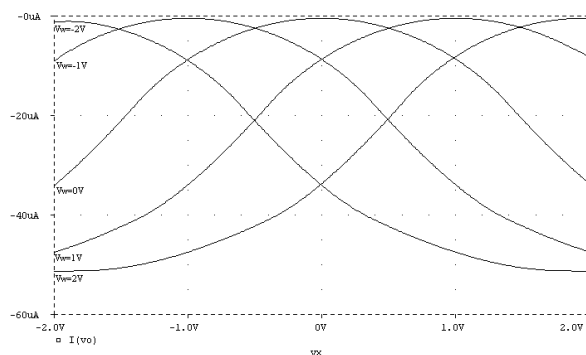


Rys. 2.7. Wyniki symulacji charakterystyk przejściowych DC układu mnożącego Gilberta

Aby obliczyć $(X_j - W_{ij})^2$, wejścia układu mnożącego Gilberta zostały odpowiednio połączone. Sygnał X_j został podany jednocześnie do wejść V_1 i V_4 , zaś sygnały W_{ij} doprowadzono do wejść V_2 i V_3 dla synapsy (i, j) , łączącej j -te wejście z i -tym neuronem. Wzór (2.3) można wówczas zapisać następująco:

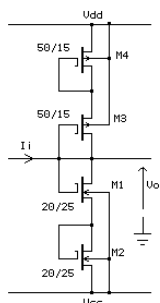
$$I_{ij} = -\sqrt{\frac{k\beta_1\beta_{11}}{2}}(X_j - W_{ij})^2, \quad 1 \leq i \leq 8, \quad 1 \leq j \leq 3 \quad (2.4)$$

Na rys. 2.8 przedstawiono charakterystyki przejściowe, uzyskane metodą symulacji, układu mnożącego Gilberta realizującego zależność (2.4) w układach synaps łączących wejścia z wyjściami sieci neuronowej Kohonena.

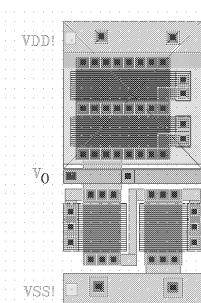


Rys. 2.8. Charakterystyki przejściowe (wynik symulacji) układu mnożącego Gilberta użytego jako układ podnoszący do kwadratu w synapsach łączących poszczególne wejścia z odpowiednimi neuronami sieci Kohonena

Schemat ideowy konwertera I-U przedstawiono na rys. 2.9, zaś jego topografię na rys. 2.10.

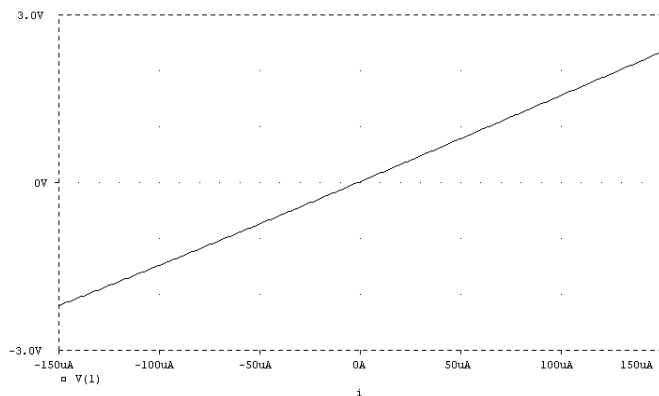


Rys. 2.9. Schemat ideowy konwertera I-U



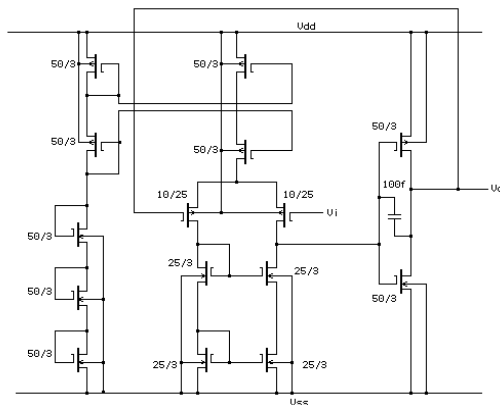
Rys. 2.10. Topografia konwertera I-U

Wynik symulacji charakterystyki konwersji I-U przedstawiono na rys. 2.11.

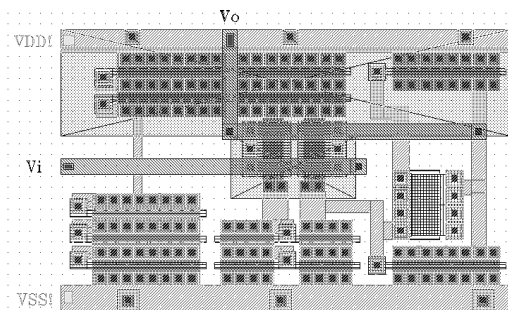


Rys. 2.11. Określona symulacyjnie charakterystyka konwersji I-U

Schemat ideowy bufora analogowego przedstawia rys. 2.12, zaś jego topografię rys. 2.13.

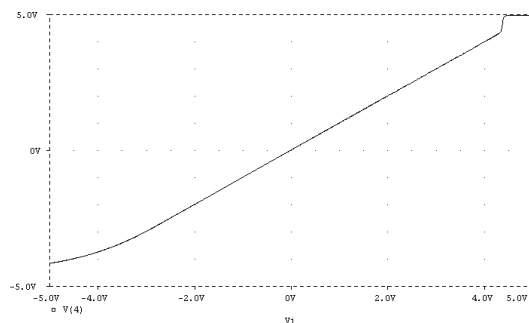


Rys. 2.12. Schemat ideowy bufora analogowego



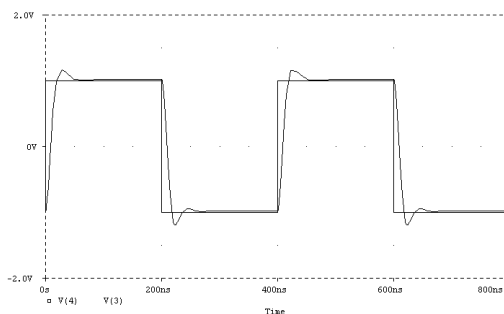
Rys. 2.13. Topografia bufora analogowego

Wynik symulacji DC charakterystyki przejściowej bufora analogowego przedstawia rys. 2.14.



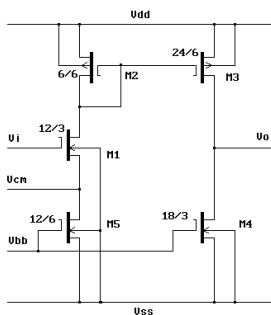
Rys. 2.14. Wynik symulacji DC charakterystyki przejściowej bufora analogowego

Wynik symulacji stanów przejściowych w buforze analogowym przedstawia rys. 2.15.

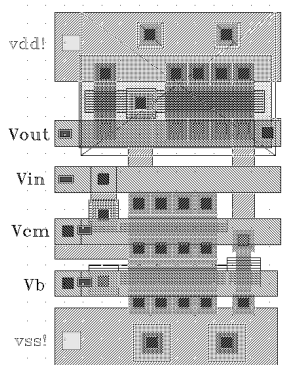


Rys. 2.15. Stany przejściowe w buforze analogowym

Schemat ideowy komórki układu WTA [Fang i inni 1992] przedstawia rys. 2.16, zaś jego topografię rys. 2.17.

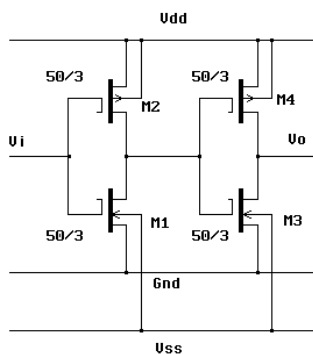


Rys. 2.16. Schemat ideowy komórki układu WTA



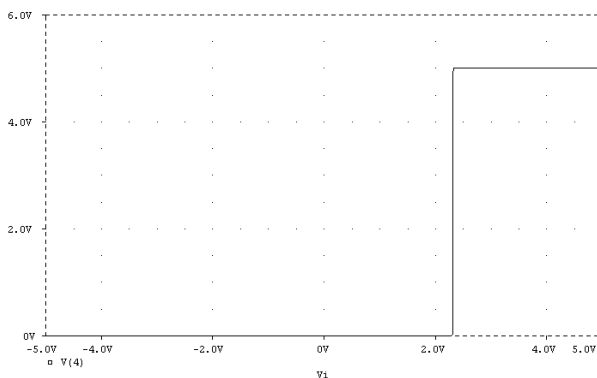
Rys. 2.17. Topografia komórki WTA

Schemat ideowy bufora cyfrowego przedstawiono na rys. 2.18.



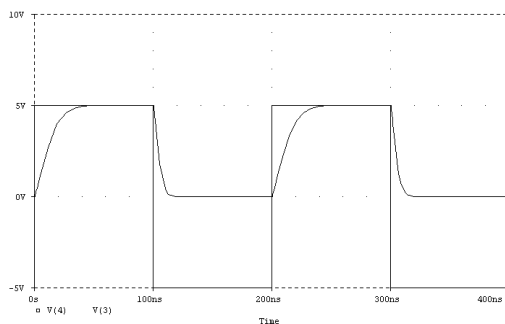
Rys. 2.18. Schemat ideowy bufora cyfrowego

Wynik symulacji charakterystyki przejściowej DC bufora cyfrowego przedstawiono na rys. 2.19.



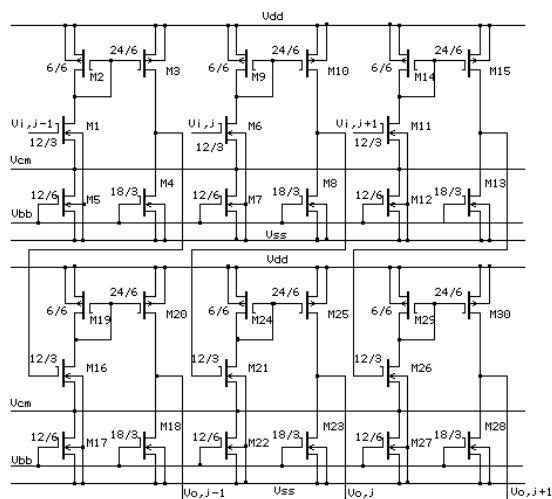
Rys. 2.19. Uzyskana w wyniku symulacji stałoprądowa charakterystyka przejściowa (DC) bufora cyfrowego

Wyniki symulacji stanów przejściowych w buforze cyfrowym przedstawiono na rys. 2.20.



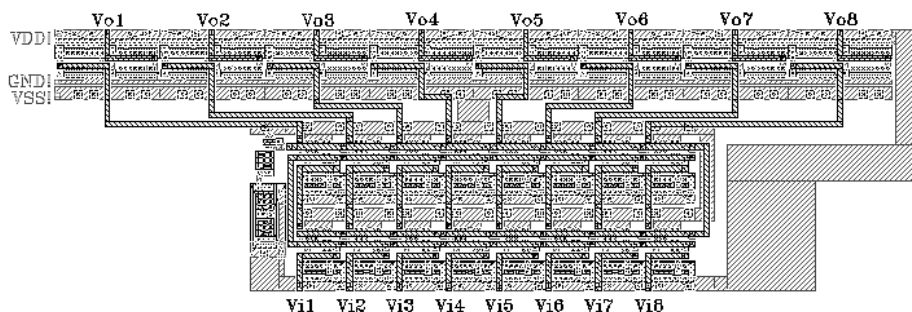
Rys. 2.20. Stany przejściowe w buforze cyfrowym

Schemat ideowy układu WTA w konfiguracji kaskadowej [Fang i inni 1992] przedstawiono na rys. 2.21. Wyjścia układu WTA dostarczają sygnałów binarnych, które łatwo jest połączyć z układami cyfrowymi. Analogowy układ WTA znajduje komórkę „zwycięzcę”. Blok WTA zawiera 8 podobwodów, które dokonują porównania ośmiu napięć z warstwy wejściowej i wybierają zwycięzcę. Pojedyncza komórka WTA (rys. 2.16) składa się z dwóch części. Pierwsza część przetwarza napięcie wejściowe na prąd, który jest porównywany i podawany na wspólną linię sygnałową. W drugiej części prąd jest przetwarzany na napięcie. V_{cm} jest napięciem wspólnego węzła dla wszystkich komórek układu WTA. Aby zwiększyć dokładność układu WTA użyto jego kaskadowej wersji (rys. 2.21). Dzięki temu w przypadku małych różnic napięć wejściowych układ działa nadal prawidłowo.



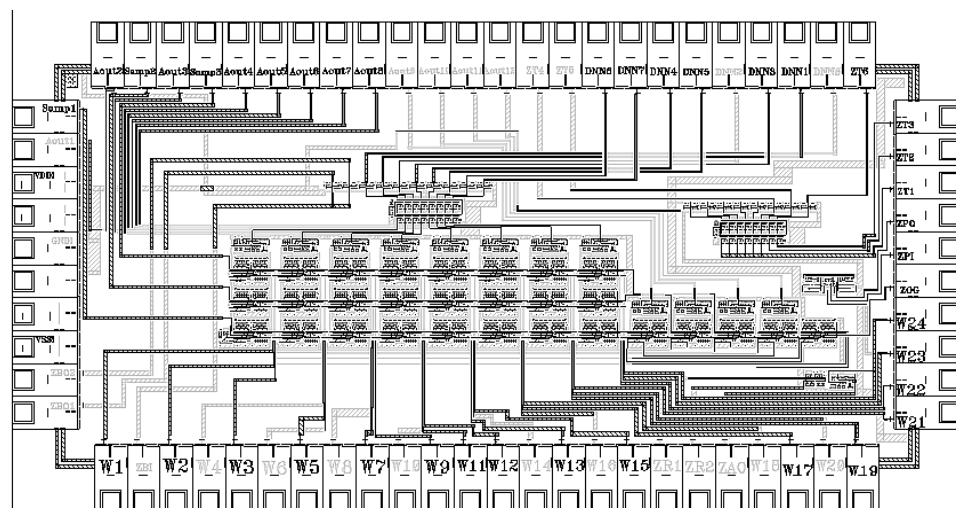
Rys. 2.21. Schemat ideowy układu WTA w konfiguracji kaskadowej [Fang i inni 1992]

Topografię układu WTA z separacją wejścia i wyjścia przedstawia rys. 2.22.



Rys. 2.22. Topografia układu WTA z separacją na wejściu i wyjściu

Topografia układu scalonego realizującego sieć Kohonena jest przedstawiona na rys. 2.23.

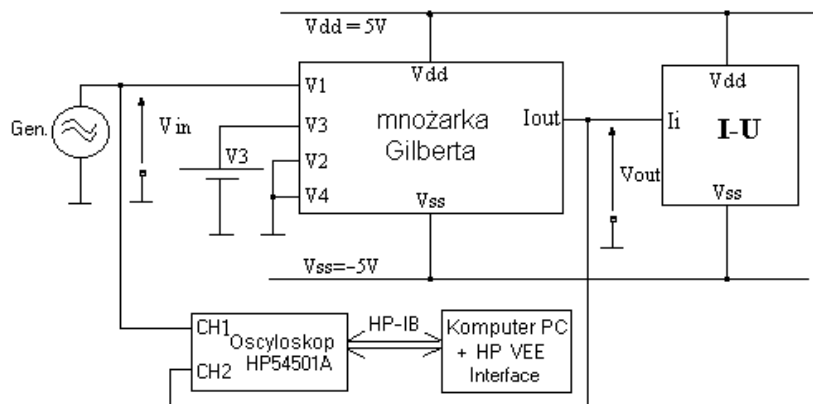


Rys. 2.23. Topografia układu scalonego realizującego sieć Kohonena

Układ ten został umieszczony w obudowie JLCC68. Zawiera on 1086 tranzystorów MOS i zajmuje około 20 mm² powierzchni płytki krzemowej. Oprócz sieci neuronowej Kohonena układ scalony zawiera specjalne struktury pomiarowe umożliwiające wykonanie pomiarów podstawowych bloków funkcjonalnych tej sieci.

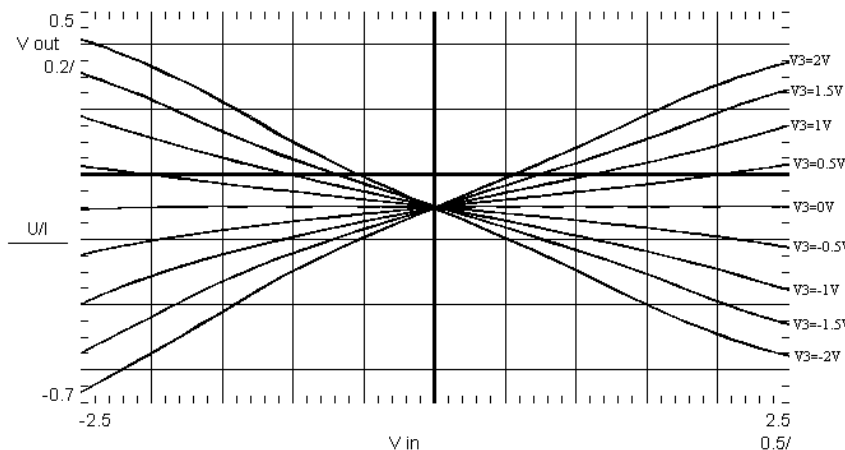
2.5. Pomiary podstawowych bloków funkcjonalnych sieci Kohonena zrealizowanej w postaci analogowego układu CMOS

Pomiary statycznych charakterystyk przejściowych układu mnożącego Gilberta obciążonego przetwornikiem I-U [Kowalski i inni 1999, Kowalski i Strzelecki 2000] przeprowadzono w specjalnym układzie pokazanym na rys. 2.24.



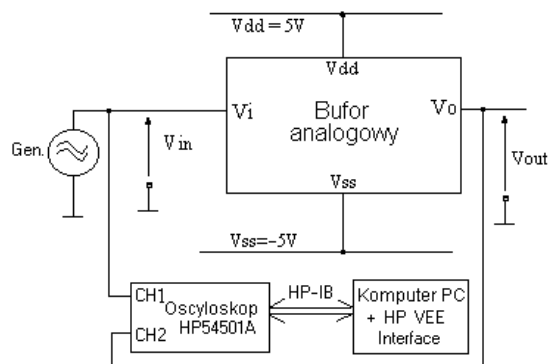
Rys. 2.24. Schemat układu do pomiaru statycznych charakterystyk przejściowych układu mnożącego Gilberta obciążonego przetwornikiem I-U

Wyniki pomiarów przedstawia rys. 2.25.



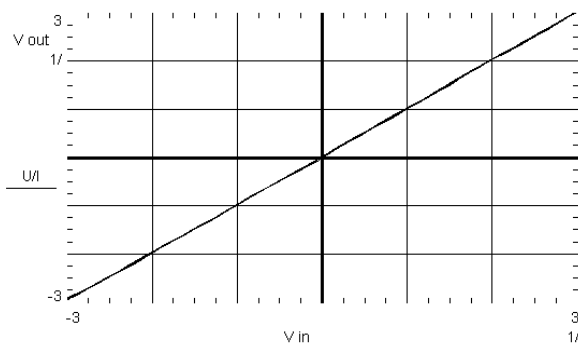
Rys. 2.25. Wyniki pomiarów statycznych charakterystyk przejściowych układu mnożącego Gilberta obciążonego przetwornikiem I-U

Pomiar statycznej charakterystyki przejściowej bufora analogowego wykonano w układzie pomiarowym przedstawionym na rys. 2.26.



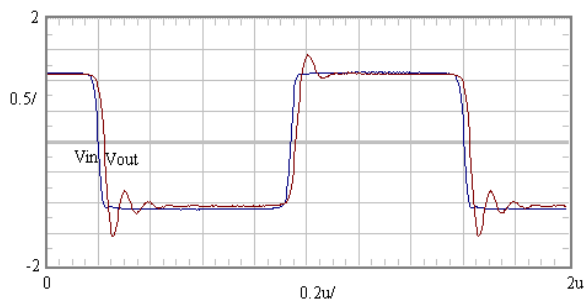
Rys. 2.26. Schemat pomiarowy do pomiaru statycznej charakterystyki przejściowej bufora analogowego

Zmierzona charakterystyka przejściowa bufora analogowego jest przedstawiona na rys. 2.27.



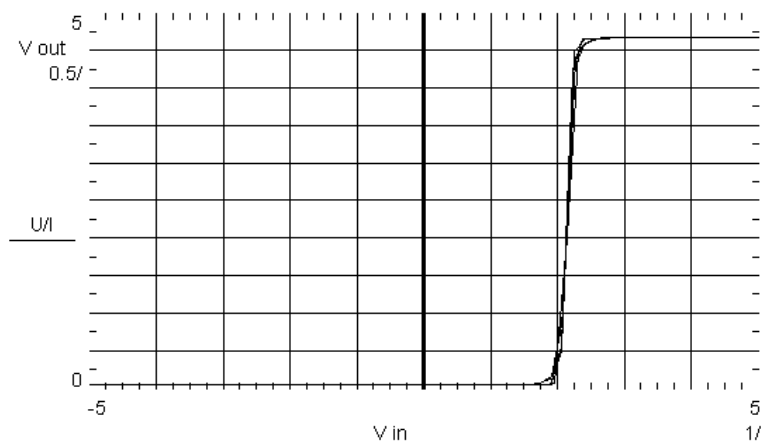
Rys. 2.27. Zmierzona charakterystyka przejściowa bufora analogowego

Wyniki pomiaru stanów przejściowych w buforze analogowym są przedstawione na rys. 2.28.



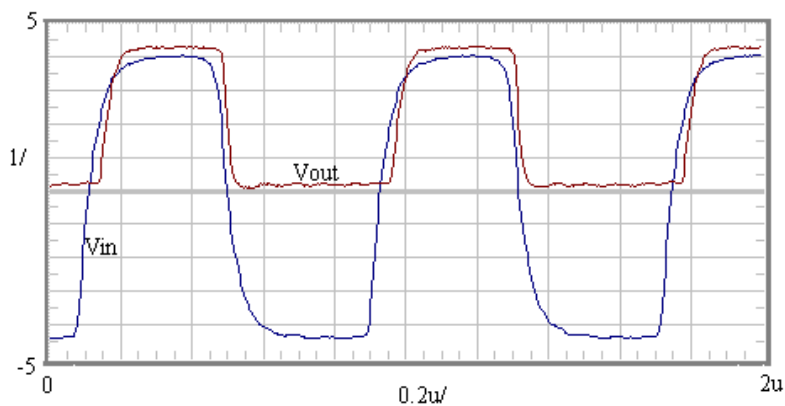
Rys. 2.28. Wyniki pomiaru stanów przejściowych w buforze analogowym

Wynik pomiaru statycznej charakterystyki przejściowej bufora cyfrowego przedstawia rys. 2.29.



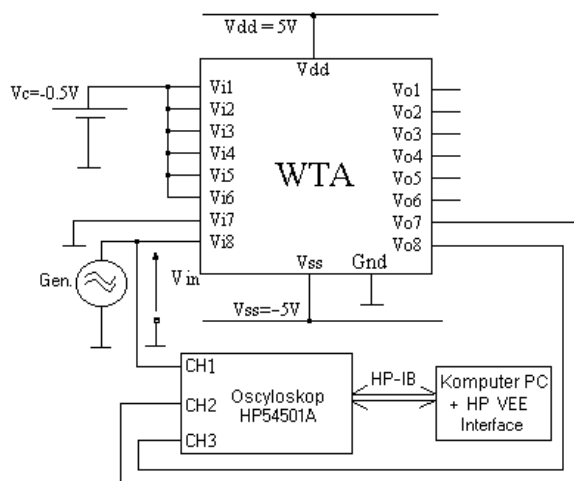
Rys. 2.29. Wyniki pomiaru statycznej charakterystyki przejściowej bufora cyfrowego

Wyniki pomiaru stanów przejściowych w buforze cyfrowym są przedstawione na rys. 2.30.



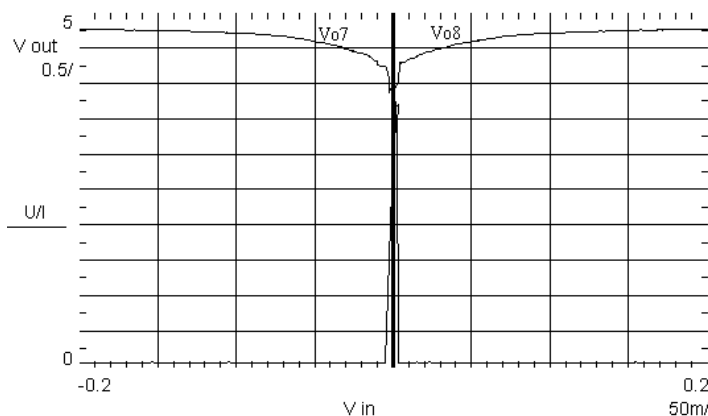
Rys. 2.30. Wyniki pomiaru stanów przejściowych w buforze cyfrowym

Pomiary statycznych charakterystyk przejściowych układu WTA z buforem analogowym i cyfrowym wykonane zostały w układzie pomiarowym jak na rys. 2.31.



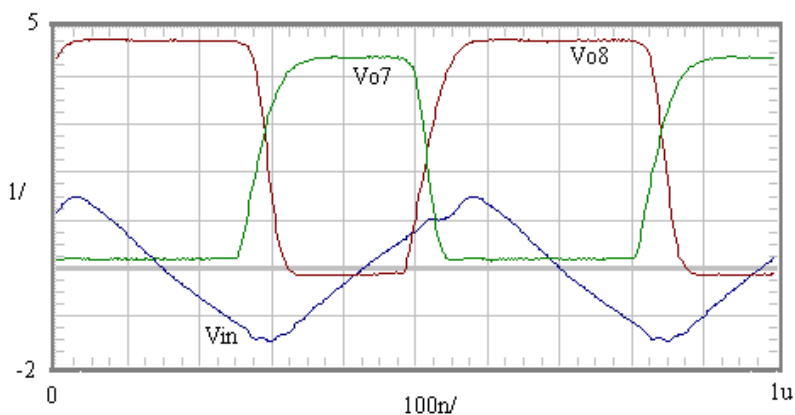
Rys. 2.31. Schemat pomiarowy statycznych charakterystyk przejściowych układu WTA z buforem analogowym i cyfrowym

Wyniki pomiaru statycznych charakterystyk przejściowych zbuforowanego kompletnego układu WTA przedstawiono na rys. 2.32.



Rys. 2.32. Wyniki pomiaru statycznych charakterystyk przejściowych kompletnego układu WTA

Rezultaty pomiaru stanów przejściowych w kompletnym układzie WTA są przedstawione na rys. 2.33.



Rys. 2.33. Wyniki pomiaru stanów przejściowych w kompletnym układzie WTA

2.6. Podsumowanie

W niniejszym rozdziale opisano projekt sieci Kohonena zrealizowanej w postaci układu scalonego w technologii MIETEC 2,4 μm . Przedstawiono wyniki symulacji i pomiarów podstawowych bloków funkcjonalnych tego układu. Układ został wykorzystany do systemu identyfikacji parametrów układów dynamicznych. Podsumowanie parametrów układu scalonego realizującego sieć neuronową Kohonena jest przedstawione w tabeli 2.1.

Tabela 2.1. Parametry układu scalonego realizującego sieć Kohonena

Dane fizyczne	Technologia: CMOS n-well MIETEC 2,4 μm z podwójną metalizacją i bramką z krzemu polikrystalicznego Liczba tranzystorów MOS: 1086 Powierzchnia płytki krzemowej chipu: 20 mm ²
Dane elektryczne	Zasilanie $\pm 5\text{V}$ Tryb napięciowy I/O Pobór mocy: 360mW Czas przetwarzania: 200 ns
Technika projektowania	Analogowa, tryb napięciowy Full-custom
Cechy i zastosowanie	8 neuronów 3 napięciowe wejścia sygnałowe $X_1...X_3$ 24 napięciowe wejścia wagowe $W_{11}, W_{12}...W_{83}$ 8 cyfrowych wyjść D0...D7

Do głównych osiągnięć autora pracy opisanych w tym rozdziale należą:

- opracowanie architektury układu scalonego implementującego sieć Kohonena,
- symulacje i projekt sieci Kohonena w postaci układu scalonego w technologii MIETEC 2,4 μm , która była oferowana przez Europractice,
- wykonanie pomiarów podstawowych bloków funkcjonalnych CMOS układu scalonego realizującego sieć Kohonena, co potwierdziło poprawność jego realizacji.

3. Układ scalony CMOS o architekturze sieci neuronowej komórkowej do filtracji ważonych statystyk porządkowych obrazu

3.1. Wstęp

Filtry ważonych statystyk porządkowych (WSP) obrazu należą do szerokiej klasy filtrów nieliniowych [Pitas i Venetsanopoulos 1990, Ruikang, Gabbouj i Neuvo 1996], mających liczne zastosowania w dziedzinie przetwarzania sygnałów i obrazów. Typowym zastosowaniem filtrów WSP w dziedzinie przetwarzania sygnałów jest redukcja zakłóceń impulsowych. Przykładowe aplikacje takich filtrów w przetwarzaniu obrazów dotyczą usuwania zakłóceń punktowych typu „pieprz i sól”, potrafi on wtedy usunąć szum przy minimalnej utracie jakości obrazu, redukcji zakłóceń impulsowych, procedur do wyrównywania niejednorodności oświetlenia oraz filtracji morfologicznej. Filtry WSP najczęściej są realizowane w technice cyfrowej i są uważane za obliczeniowo czasochłonne [Thompson 1983]. Komputerowa implementacja filtru WSP z oknem filtracji 3x3 pikseli wymaga czasochłonnego algorytmu sortowania wartości jasności pikseli, wybrania wymaganej wartości statystyki porządkowej i wstawienia jej w miejsce filtrowanego piksela obrazu [Pitas i Venetsanopoulos 1990]. Ta metoda realizacji filtrów WSP wymaga odpowiedniego programowania procesorów sygnałowych [Pitas i Venetsanopoulos 1990]. W celu przyspieszenia pracy filtru należy zaprojektować specjalizowany, cyfrowy procesor do obliczeń związanych z filtracją WSP [Christopher, Mayweather i Perlman 1988, Chen i Hsiao 1996]. Cyfrowa realizacja takiego procesora zapewnia bardzo dokładne wyniki filtracji, jednak jest obliczeniowo czasochłonna, wymaga dużego poboru mocy i zajmuje dużą powierzchnię płytki krzemowej. W efekcie takie rozwiązanie może być zbyt drogie na potrzeby przetwarzania obrazu w czasie rzeczywistym. Analogowa realizacja jest bardziej ekonomiczna i mimo że nie jest tak dokładna jak implementacja cyfrowa, może być zaakceptowana w wielu aplikacjach. Uzasadnione jest wykorzystanie do tego celu równoległej architektury sieci neuronowej komórkowej (SNK). Analogowa implementacja filtru WSP obrazu w postaci SNK z nieliniowym szablonem **B** daje gwarancję działania w czasie rzeczywistym. W podstawowej koncepcji SNK [Chua i Yang 1988] wszystkie współczynniki szablonu mają stałą wartość. W przedstawionej w pracy koncepcji wykorzystuje się nieliniowe współczynniki tego szablonu [Shi 1994], aby zaimplementować filtr nieliniowy. Analogowe

układy do detekcji wartości WSP były już prezentowane w literaturze [Dietz i Carley 1993, Diaz-Sanchaz i inni 1998, Opris i Kovacs 1997, Opis 1997, Fikus i inni 2000, Paasio i Halonen 2001, Poikonen i Paasio 2002]. W zaproponowanych rozwiązaniach elektronika analogowa nie jest jednak zintegrowana z systemem filtracji obrazu w czasie rzeczywistym. Takim systemem może być SNK, który pozwala na przetwarzanie obrazu w sposób równoległy. Celem niniejszego rozdziału jest przedstawienie układu scalonego CMOS VLSI do filtracji WSP obrazu o architekturze SNK. Układ ten pozwala na filtrację obrazu w czasie rzeczywistym w oknie filtracji 3x3. Przetwarza on równoległe trzy kolejne linie obrazu z rozdzielczością 300 pikseli na linię obrazu. Rozdzielczość tę można zwielokrotnić poprzez kaskadowe połączenie układów scalonych. Układ scalony posiada jedno szeregowe wejście analogowe, za pomocą którego jest próbkowany zewnętrznie synchronizowany sygnał wizyjny i jedno wyjście analogowe, dające szeregowy przefiltrowany sygnał wizyjny luminancji. W przypadku standardowego przetwarzania sygnału wizyjnego PAL, czas trwania linii wynosi 64 μ s. Układ ten został wykonany z użyciem programu Cadence w technologii CMOS AMS 0,8 μ m CYE oferowanej przez Europractice. W niniejszym rozdziale przedstawiono model matematyczny komórki SNK filtru WSP, architekturę układu scalonego do filtracji WSP, jego podstawowe bloki funkcjonalne CMOS oraz wyniki symulacji i pomiarów. Zaprojektowano specjalne stanowisko do testowania układu scalonego do filtracji WSP i przeprowadzono testy dotyczące filtracji standardowego sygnału wizyjnego PAL.

3.2. Model komórki SNK filtru WSP

Matematyczny model komórki SNK filtru WSP [Shi 1994, Kowalski 2003b, c] jest opisany następującym nieliniowym równaniem różniczkowym:

$$\frac{dV_{xij}}{dt} = \sum_{k,l \in Nr(V_{ij})} b_{kl} \cdot \text{sign}(V_{kl} - V_{xij}) + I_p \quad (3.1)$$

gdzie V_{xij} jest sygnałem wyjściowym komórki $C(i,j)$, zaś V_{kl} są sygnałami wejściowymi z sąsiedztwa komórki $C(i,j)$ w zadanym oknie filtracji. Współczynniki b_{kl} są wagami filtru WSP, zaś I_p jest polaryzacją komórki SNK. Funkcja sign jest funkcją signum przyjmującą dwie wartości -1 lub $+1$. W stanie ustalonym równanie (3.1) przybiera następującą postać algebraiczną:

$$f(V_{xij}) = \sum_{k,l \in Nr(V_{ij})} b_{kl} \cdot \text{sign}(V_{kl} - V_{xij}) + I_p = 0 \quad (3.2)$$

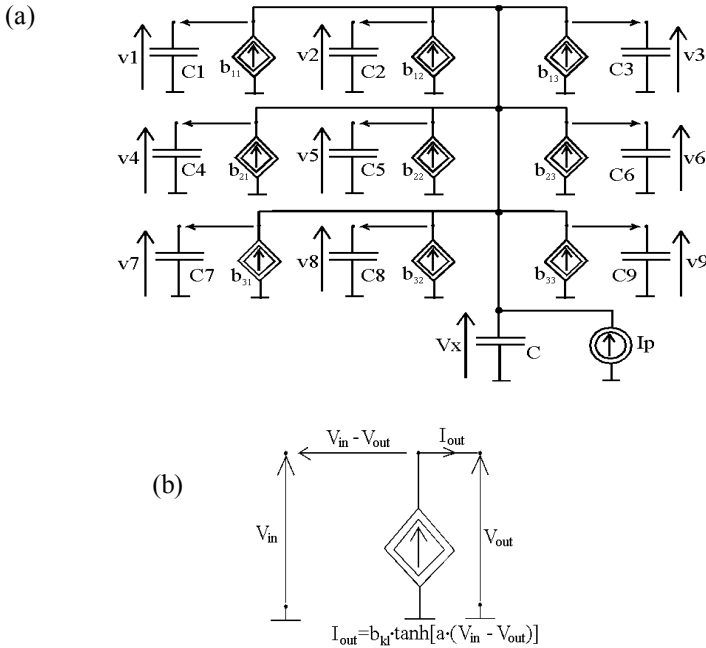
Dla stanu ustalonego prawdziwa jest relacja:

$$V_{xij}(t \rightarrow \infty) = V^* \quad (3.3)$$

gdzie V^* jest ważoną wartością statystyk porządkowych zbioru sygnałów wejściowych V_{kl} otoczenia danej komórki. W praktycznej implementacji CMOS filtru WSP nieskończone wzmocnienie związane z funkcją sign dla wartości argumentu równego zero nie jest realizowalne. Zbyt duża wartość tego wzmocnienia może także prowadzić do niestabilności SNK filtru WSP. Z tych względów rozsądne jest zastąpienie funkcji signum funkcją tangens hiperboliczny [Dietz i Carley 1993, Diaz-Sanchaz i inni 1998]. Prowadzi to do następującego nieliniowego równania różniczkowego opisującego filtr WSP:

$$C \frac{dV_{xij}}{dt} = \sum_{k,l \in Nr(V_{ij})} b_{kl} \cdot \tanh[a(V_{kl} - V_{xij})] + I_p \quad (3.4)$$

gdzie C jest pojemnością na wyjściu komórki, zaś współczynnik a powinien przyjmować odpowiednio dużą wartość. Łatwo zauważyć, że dla przypadku $I_p = 0$, $b_{kl} = 1$ mamy standardowy filtr medianowy. Obwodowa reprezentacja filtru WSP opisanego równaniem (3.4) jest przedstawiona na rys. 3.1a.

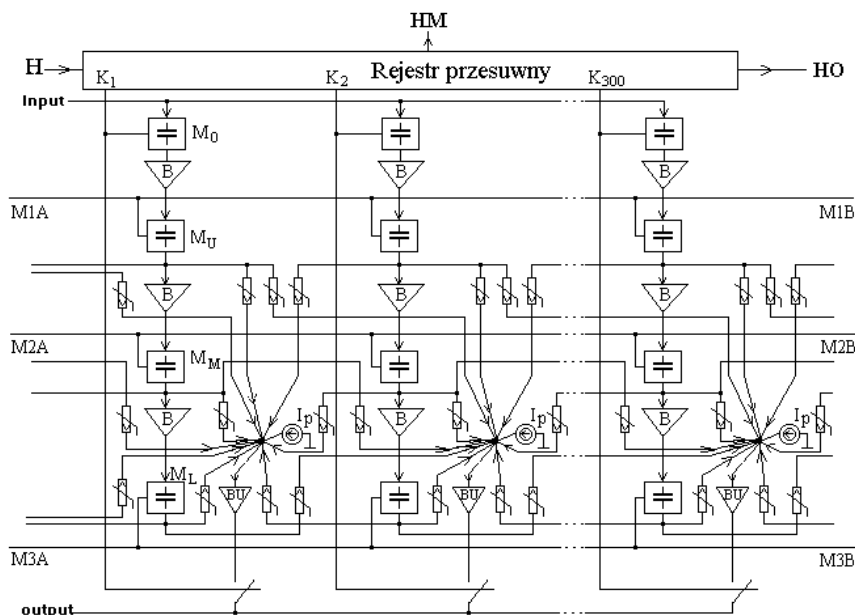


Rys. 3.1. Obwodowa reprezentacja filtru WSP (a), szczegółowy opis nieliniowego źródła prądowego sterowanego napięciem (b)

Szczegółowy opis nieliniowego źródła prądowego sterowanego napięciem, występującego na rys. 3.1a, jest przedstawiony na rys. 3.1b. Źródło to będzie dalej w pracy określane jako sprzężenie nieliniowe. Kondensatory C1...C9 na rys. 1a pracują jako pamięci analogowe pikseli obrazu w oknie filtracji 3x3.

3.3. Architektura filtru WSP do przetwarzania obrazu

Architektura filtru WSP do przetwarzania obrazu, zrealizowanego w postaci SNK, jest przedstawiona na rys. 3.2.



Rys. 3.2. Architektura filtru WSP do przetwarzania obrazu

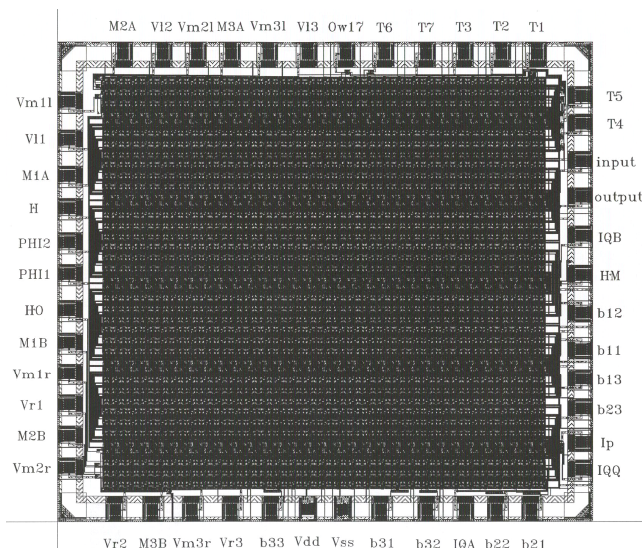
Implementuje ona filtr obrazu z nieliniowym szablonem $\mathbf{B}$ [Kowalski 2003b, c] i polaryzacją I , opisanymi przez następujący zestaw programowanych współczynników:

$$\mathbf{B} = \begin{bmatrix} b_{11} & b_{12} & b_{13} \\ b_{21} & b_{22} & b_{23} \\ b_{31} & b_{32} & b_{33} \end{bmatrix} \quad I = I_p \quad (3.5)$$

gdzie

$$b_{kl} \in (0 \mu\text{A} \dots 4 \mu\text{A}) \quad I_p \in (-16 \mu\text{A} \dots 16 \mu\text{A})$$

Układ scalony składa się z rejestru przesuwnego, sterującego kluczami pamięci analogowych wejściowej linii obrazowej i jednocześnie kluczami wyprowadzającymi przetworzoną linię obrazu, sprzężeń nieliniowych oznaczonych symbolem nieliniowego opornika, tworzących strukturę sieci neuronowej komórkowej, analogowych buforów B przepisujących zawartość górnych pamięci linii obrazu na dolne oraz buforów wyjściowych Bu. Aby możliwa była filtracja WSP danego piksela w oknie filtracji 3x3, wymagany jest dostęp do trzech kolejnych linii obrazu. Z tego powodu układ scalony jest zbudowany z matrycy 300-tu kolumn na 3 wiersze pamięci analogowych (na rys. 3.2 oznaczonych symbolem kondensatora). Użyte symbole mają następujące znaczenie: M_U – górny wiersz, M_M – środkowy wiersz i M_L – dolny wiersz. Dodatkowy wiersz M_O sterowany przez sygnały $K_1, K_2, \dots, K_{300}$ rejestru przesuwnego pełni rolę układu próbkująco-pamiętającego pikseli nowej linii obrazu. W ten sposób trzy kolejne linie obrazu zostają zapamiętane, aby móc filtrować środkową linię w czasie rzeczywistym. Głównym elementem filtru jest sekcja przetwarzania pikseli zbudowana z 9-ciu sprzężeń nieliniowych, podłączonych do centralnego piksela i 8-miu sąsiednich pikseli. Układ scalony do filtracji WSP został zaprojektowany w środowisku programu Cadence w technologii CMOS AMS 0,8 μm CYE, która była oferowana przez Europractice. Zajmuje on 20,68 mm² (4,81 mm $\times$ 4,3 mm) powierzchni płytki krzemowej i składa się z 62235 tranzystorów MOS. Zawiera 300 komórek SNK i kilka indywidualnych struktur testowych. Topografia układu scalonego do filtracji WSP obrazu jest przedstawiona na rys. 3.3.

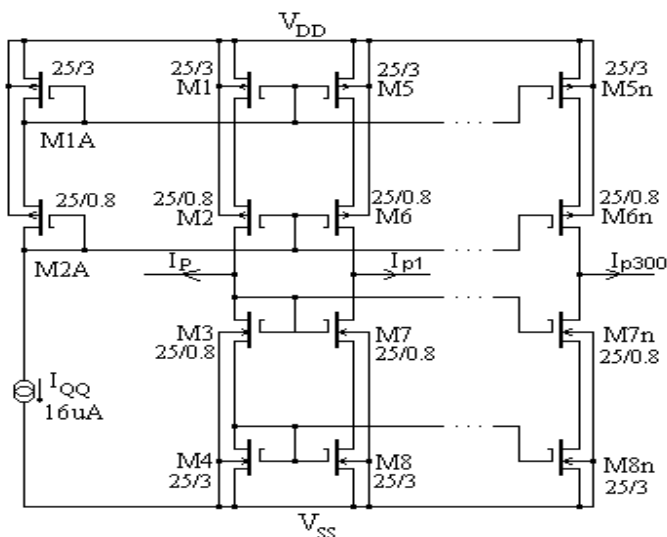


Rys. 3.3. Topografia układu scalonego do filtracji WSP obrazu

3.4. Szczegółowy opis bloków funkcjonalnych filtra WSP

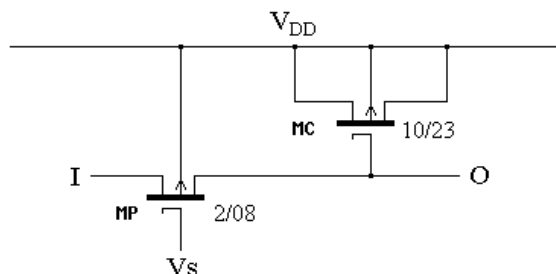
Podstawowym blokiem funkcjonalnym filtra WSP jest układ CMOS, pełniący rolę sprzężenia nieliniowego, który realizuje nieliniowy szablon **B** SNK. Układ scalony do filtracji WSP zawiera 2700 takich sprzężeń nieliniowych. Realizacja CMOS sprzężenia nieliniowego jest przedstawiona na rys. 3.5a, zaś jego topografia na rys. 3.5b.

fazy układu oraz stabilność. Układ CMOS sprzężenia nieliniowego jest programowalny poprzez zmiany prądu polaryzacji I_Q . To dzięki temu możliwe jest ustawianie wag b_{kl} dla filtru WSP. Do realizacji prądu polaryzacji I_p SNK został zastosowany wielowyjściowy wzmacniacz prądowy pokazany na rys. 3.6.



Rys. 3.6. Wielowyjściowy wzmacniacz prądowy realizujący polaryzację I_p

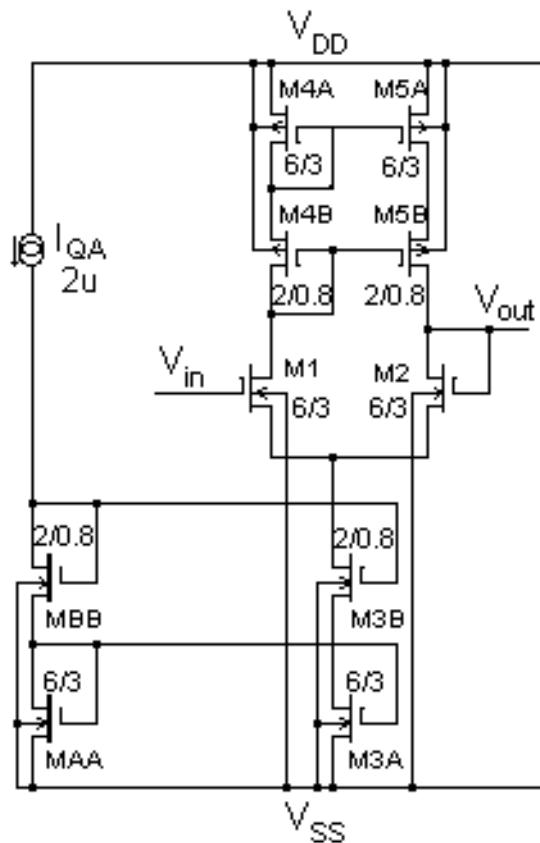
Zewnętrzny prąd I_p jest odbijany do wszystkich komórek SNK jako $I_{p1} \dots I_{p300}$ i dzięki temu możliwa jest realizacja filtrów statystycznych porządkowych obrazu (ang. rank order filters). Jako pamięć analogową służącą do przechowywania wartości pikselu obrazu użyto tranzystora MOS MC pracującego stale w zakresie silnej inwersji, jak przedstawia rys. 3.7.



Rys. 3.7. Realizacja CMOS komórki pamięci analogowej

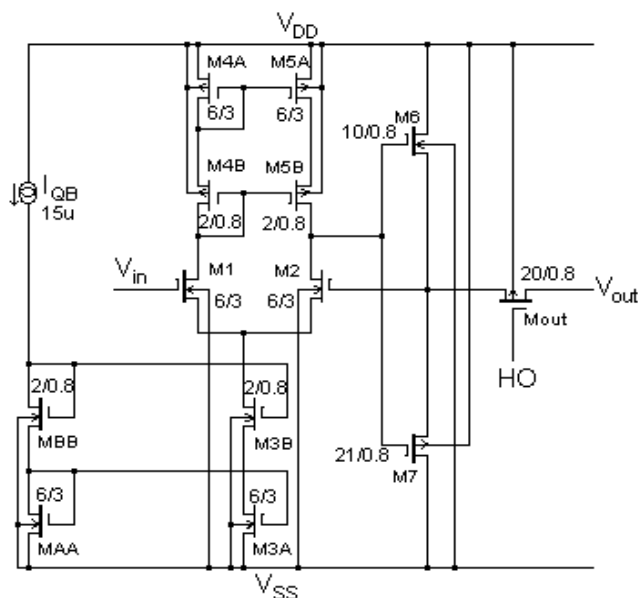
W czasie gdy tranzystor MP jest włączony, następuje wprowadzenie do pojemności tranzystora MC próbki obrazu z wejścia I. Gdy tranzystor MP zostanie wyłączony, analogowa pamięć przechowuje tę próbkę w postaci napięcia na wyjściu O

i sygnał ten może być przetwarzany przez filtr lub odczytany przez niższy wiersz pamięci. Układ scalony do filtracji WSP zawiera 1200 takich pamięci analogowych. Pamięciom tym towarzyszą analogowe bufony B o wzmacnieniu napięciowym równym jeden, zrealizowane przy użyciu wzmacniaczy transkonduktancyjnych OTA, jak pokazano na rys. 3.8.



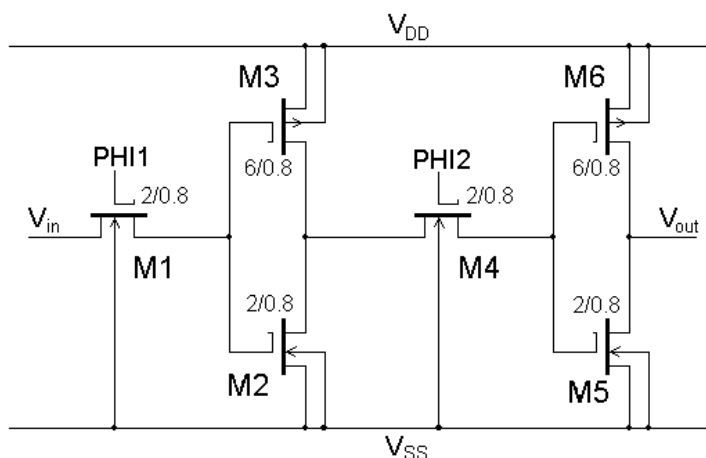
Rys. 3.8. Realizacja CMOS bufora napięciowego B

Umożliwiają one bezstratne przepisywanie zawartości wyższych wierszy pamięci analogowych do wierszy niższych. Układ scalony do filtracji WSP zawiera 900 takich buforów. Topografia bufora B zajmuje $846 \mu\text{m}^2$ ($21,3 \mu\text{m} \times 39,7 \mu\text{m}$) powierzchni płytki krzemowej. Bufor wyjściowy Bu ma strukturę jak na rys. 3.9.



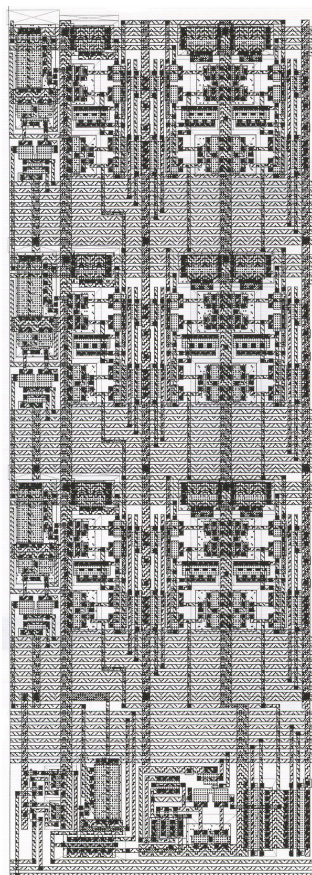
Rys. 3.9. Realizacja CMOS bufora napięciowego Bu

Stopień wyjściowy tego bufora pracuje w klasie C, aby zminimalizować pobór prądu. Układ scalony do filtracji WSP zawiera 300 buforów Bu. Topografia tego bufora zajmuje $1621 \mu\text{m}^2$ ($42,1 \mu\text{m} \times 38,5 \mu\text{m}$) powierzchni płytki krzemowej. Realizację CMOS komórki rejestru przesuwającego przedstawia rys. 3.10.



Rys. 3.10. Realizacja CMOS komórki rejestru przesuwającego

Aby oszczędzić powierzchnię płytki krzemowej, zastosowano dynamiczny rejestr przesuwany. Topografię pojedynczej komórki SNK filtru WSP o strukturze z rys. 3.4 przedstawia rys. 3.11.



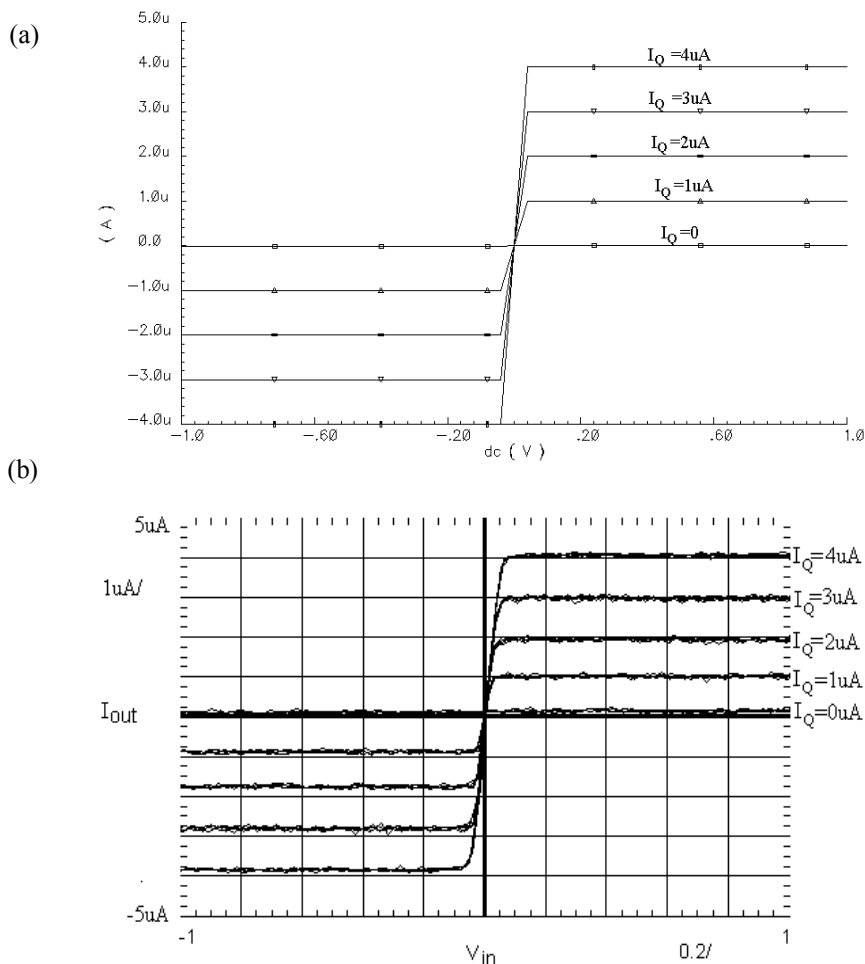
Rys. 3.11. Topografia pojedynczej komórki SNK filtru WSP

Komórka SNK filtru WSP zajmuje $49734 \mu\text{m}^2$ ($132,8 \mu\text{m} \times 374,5 \mu\text{m}$) powierzchni płytki krzemowej.

3.5. Symulacje i pomiary bloków funkcjonalnych filtru WSP

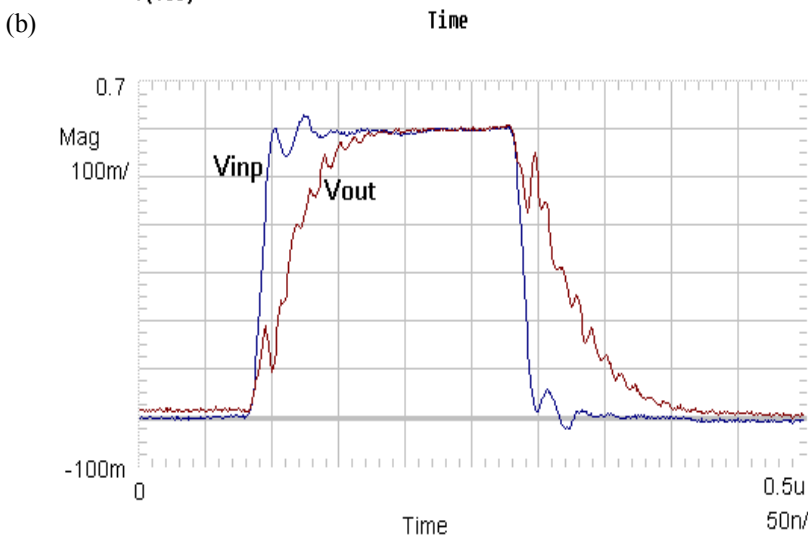
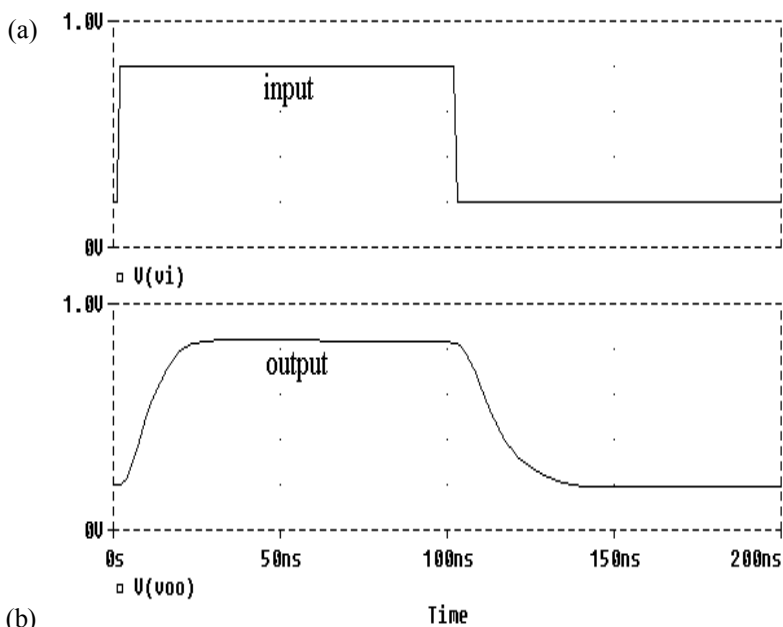
Podstawowym blokiem funkcjonalnym CMOS układu scalonego do filtracji WSP jest układ programowalnego sprzężenia nieliniowego (rys. 3.5), który realizuje nieliniowy szablon **B** SNK. Na rys. 3.12a przedstawiono wyniki symulacji z wykorzystaniem programu Spectre układu sprzężenia nieliniowego dla różnych prądów polaryzacji $I_P = I_Q = 0$, $I_Q = 1 \mu\text{A}$, $I_Q = 2 \mu\text{A}$, $I_Q = 3 \mu\text{A}$, $I_Q = 4 \mu\text{A}$,

z użyciem nominalnych parametrów modelu tranzystora BSIM3v2 dla technologii CMOS AMS 0,8 μm CYE.



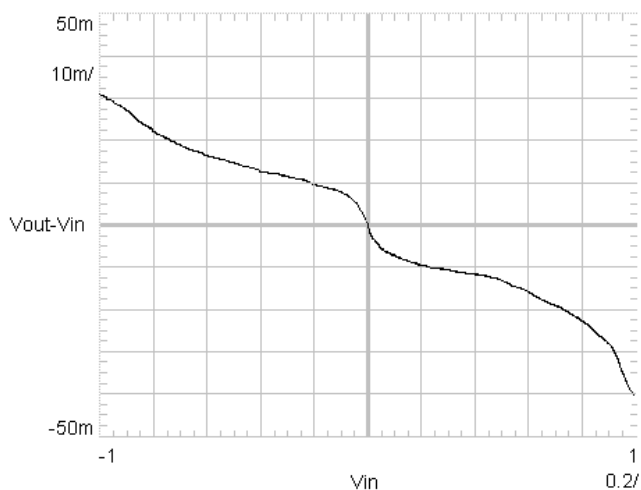
Rys. 3.12. Charakterystyki przejściowe DC sprzężenia nieliniowego uzyskane na drodze symulacji (a), zmierzone charakterystyki przejściowe DC (b)

Specjalnie zaimplementowane w układzie scalonym do filtracji WSP struktury testowe umożliwiły wykonanie pomiarów podstawowych bloków funkcjonalnych tego układu. Zmierzone charakterystyki przejściowe DC sprzężenia nieliniowego, dla różnych prądów polaryzacji [Kowalski 2001a], pokazano na rys. 3.12b. Bufor Bu powinien być szybki, aby mógł wyprowadzać przetworzone wartości pikseli obrazu w jak najkrótszym czasie. Symulowane z użyciem programu Spectre przebiegi przejściowe bufora Bu, przy obciążeniu $C_{\text{load}} = 5\text{pF}$, są przedstawione na rys. 3.13a.



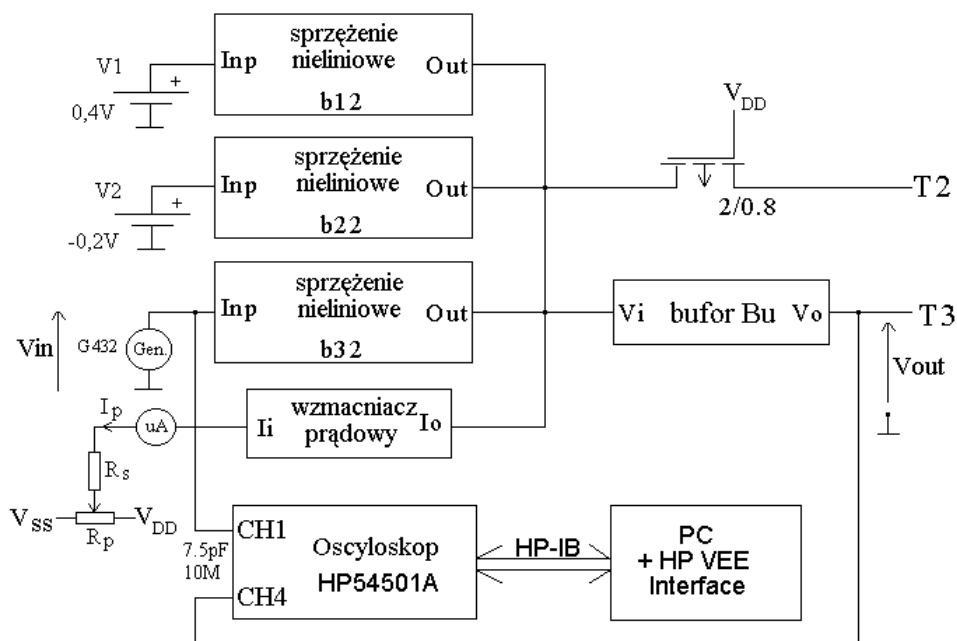
Rys. 3.13. Przebiegi przejściowe bufora Bu uzyskane na drodze symulacji (a), zmierzone przebiegi przejściowe (b)

Wyniki akwizycji przebiegów przejściowych bufora Bu [Kowalski 2002c] przedstawia rys. 3.13b. Wzmacniacz transkonduktancyjny OTA pracuje razem z komplementarnym wtórnikami źródłowym w pętli jednostkowego ujemnego sprzężenia zwrotnego, w wyniku czego statyczna charakterystyka przejściowa bufora Bu (rys. 3.9) jest liniowa. Pomierzony błąd DC otrzymanej charakterystyki [Kowalski 2003c] zilustrowano na rys. 3.14.



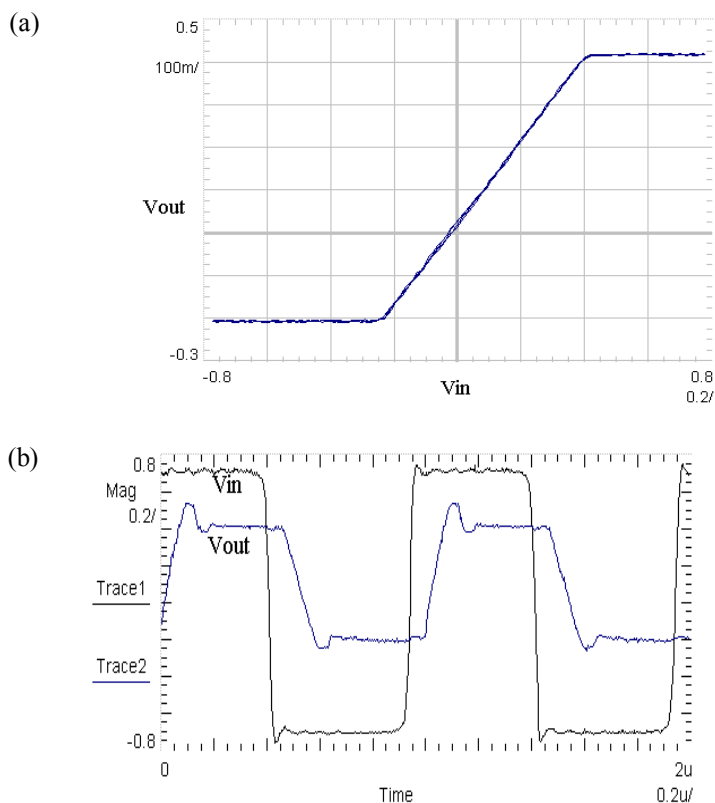
Rys. 3.14. Wynik pomiaru błędu charakterystyki przejściowej DC bufora Bu

Rys. 3.15 przedstawia schemat pomiarowy trójwejściowego układu detekcji WSP z użyciem specjalnie zaimplementowanej struktury testowej w układzie scalonym do filtracji WSP.



Rys. 3.15. Schemat pomiarowy trójwejściowego układu detekcji WSP

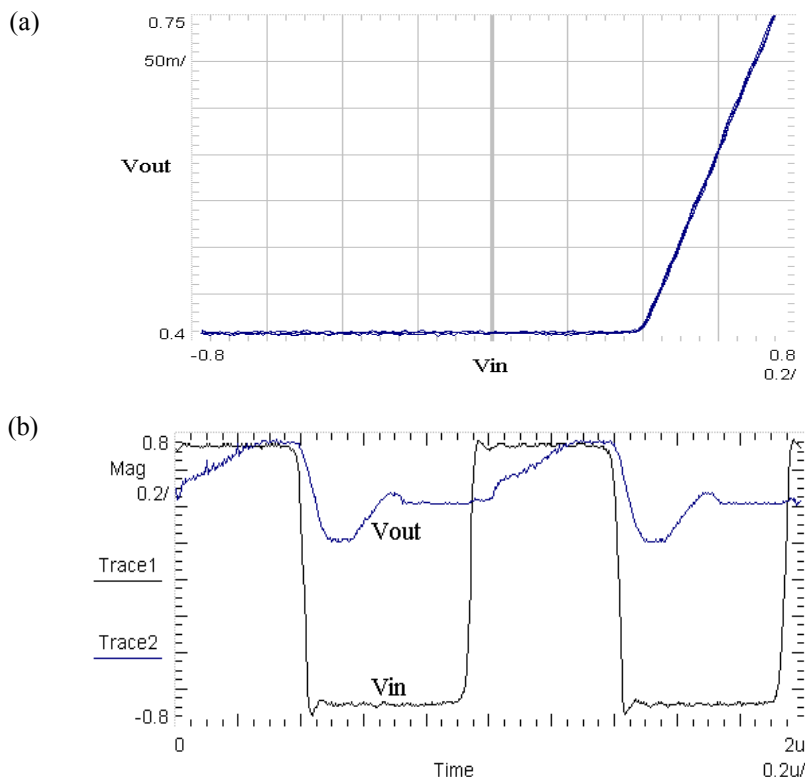
Układ pomiarowy składa się z trzech dołączonych do siebie sprzężeń nieliniowych, wzmacniacza prądowego, bufora wyjściowego Bu oraz oscyloskopu cyfrowego połączonych z komputerem PC za pomocą interfejsu HP-IB. Przy użyciu takiego zestawu pomiarowego zmierzono kilka statycznych charakterystyk i dokonano akwizycji stanów przejściowych. Zastosowano trzy napięcia wejściowe, tj. dwa napięcia stałe $V1 = 0,4 \text{ V}$ i $V2 = -0,2 \text{ V}$ oraz jedno zmienne V_{in} , podawane z generatora funkcyjnego G432. Zmierzona statyczna charakterystyka przejściowa $V_{out}(V_{in})$ dla $b_{12} = b_{22} = b_{32} = 4 \mu\text{A}$ i $I_P = 0 \mu\text{A}$ (standardowy filtr medianowy) [Kowalski 2003c] jest pokazana na rys. 3.16a.



Rys. 3.16. Zmierzona statyczna charakterystyka przejściowa przy standardowej filtracji medianowej (a), stany przejściowe odpowiedzi filtru medianowego (b)

Łatwo zaobserwować, że wartość V_{out} jest medianą napięć $V1$, $V2$, V_{in} . Zarejestrowane stany przejściowe odpowiedzi filtru medianowego przedstawia rys. 3.16b. Napięcie wyjściowe zmierza tu szybko ku medianie napięć wejściowych. Czas ustalania wynosi około 200 ns i jest wystarczająco krótki dla większości aplikacji czasu rzeczywistego. Zmierzona statyczna charakterystyka przejściowa

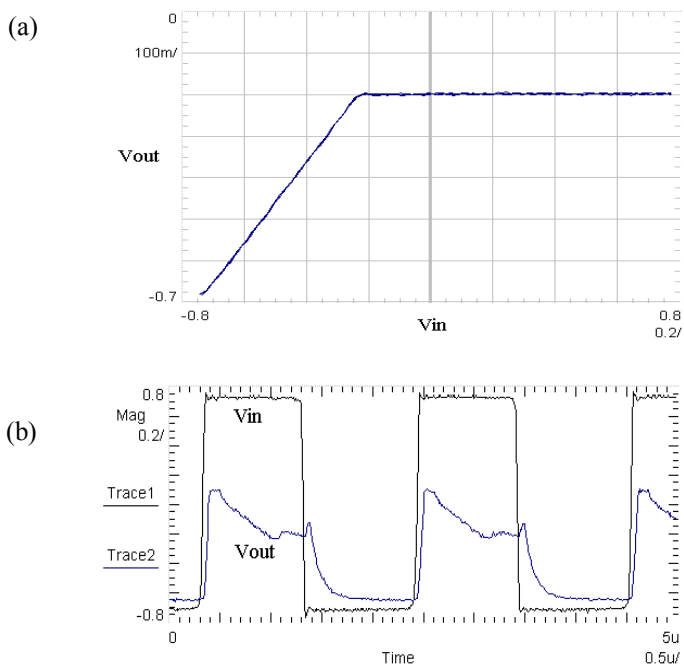
$V_{out}(V_{in})$ dla $b_{12}=b_{22}=b_{32}=4\text{ }\mu\text{A}$ i $I_P=10\text{ }\mu\text{A}$ (filtr maksymalny) [Kowalski 2003c] jest pokazana na rys. 3.17a.



Rys. 3.17. Zmierzona statyczna charakterystyka przejściowa przy filtracji filtrem maksymalnym (a), stany przejściowe odpowiedzi tego filtru (b)

W tym przypadku napięcie wyjściowe V_{out} jest wartością maksymalną napięć wejściowych V_1 , V_2 , V_{in} . Przebiegi przejściowe dla takiego przypadku przedstawia rys. 3.17b. Zmierzona statyczna charakterystyka przejściowa $V_{out}(V_{in})$ dla $b_{12}=b_{22}=b_{32}=4\text{ }\mu\text{A}$ i $I_P=-10\text{ }\mu\text{A}$ (filtr minimalny) [Kowalski 2003c] jest pokazana na rys. 3.18a.

Dla takiego przypadku napięcie wyjściowe V_{out} jest wartością minimalną napięć wejściowych V_1 , V_2 , V_{in} . Uzyskane przebiegi przejściowe dla omawianego przypadku przedstawia rys. 3.18b.



Rys. 3.18. Zmierzona statyczna charakterystyka przejściowa przy filtracji filtrem minimalnym (a), stany przejściowe odpowiedzi tego filtru (b)

3.6. Symulacja działania filtru WSP

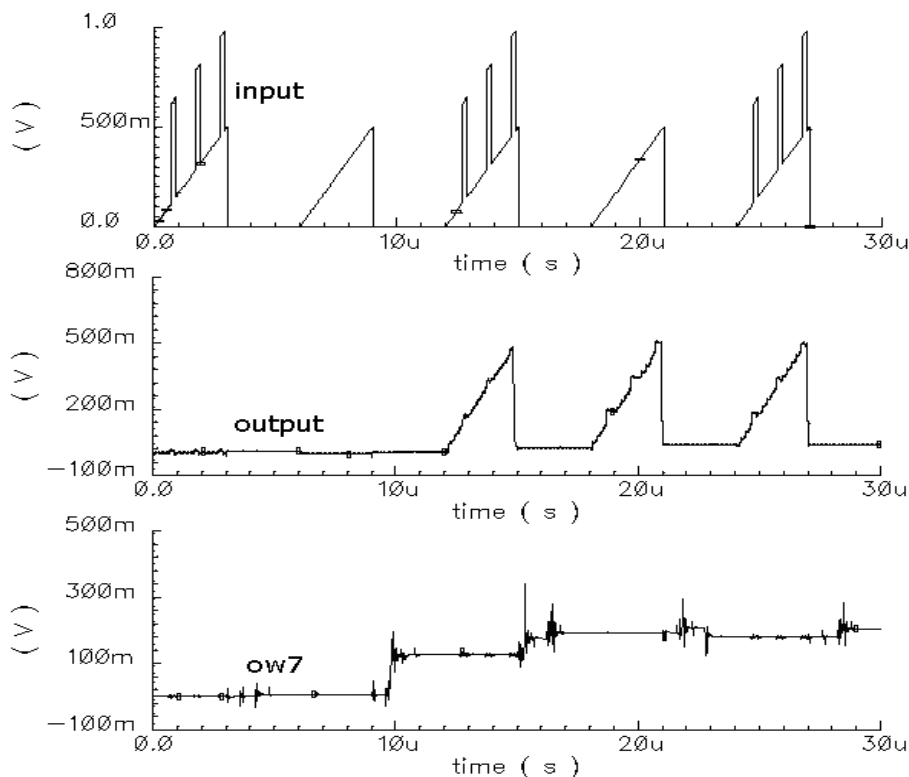
Aby sprawdzić poprawność działania projektowanego filtru WSP, połączono razem 30 komórek SNK (rys. 3.11) w środowisku programu Cadence, jak pokazano na rys. 3.19.



Rys. 3.19. Topografia 30-komórkowego filtru WSP

Dokonano następnie symulacji działania takiego filtru, z wykorzystaniem programu Spectre [Kowalski, Kacprzak, De Vos 2001]. Do symulacji użyte zostały nominalne parametry modelu tranzystora BSIM3v2 dla technologii CMOS AMS 0,8 μm CYE oraz uwzględniono wszystkie pojemności pasożytnicze topografii takiej struktury filtru. Ustawiono $I_P = 0$ oraz wszystkie współczynniki szablonu **B**

filtru na $b_{kl} = 2 \mu\text{A}$. Dla takich ustawień otrzymuje się standardowy filtr medianowy. Wyniki symulacji przedstawia rys. 3.20. Przyjęta częstotliwość zegara dwufazowego PHI1, PHI2 wynosi $f = 10 \text{ MHz}$.

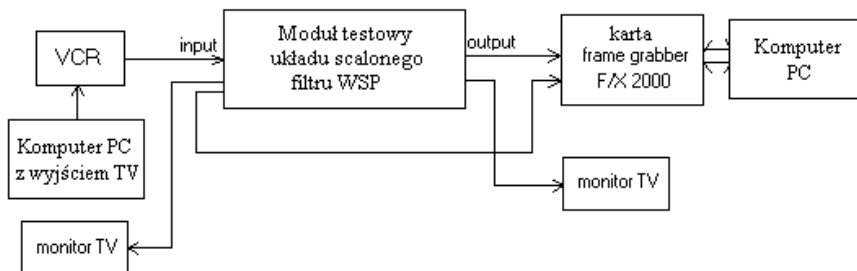


Rys. 3.20. Rezultaty symulacji 30-komórkowego filtra WSP (Spectre)

Sygnał wejściowy został zakłócony przez dwupikselowe impulsy. Ow7 przedstawia zmienną stanu w siódmej komórce SNK filtra. Możemy zaobserwować, że w sygnale wyjściowym impulsowe zakłócenia zostały usunięte.

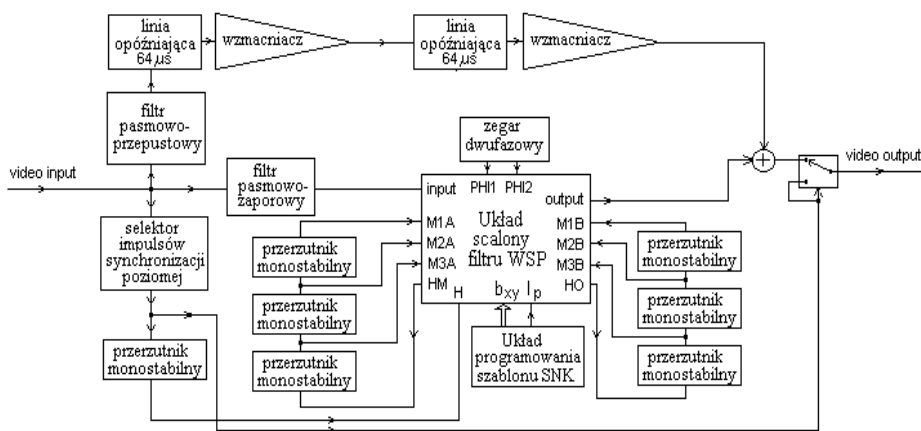
3.7. Stanowisko do badań i testowania filtra WSP

Układ scalony do filtracji WSP obrazu został zastosowany do przetwarzania standardowego sygnału wizyjnego PAL [Kowalski 2001a, Kowalski 2002b, c, Kowalski 2003b, c]. Wykorzystano stanowisko testowe przedstawione na rys. 3.21.



Rys. 3.21. Stanowisko testowe układu scalonego do filtracji WSP obrazu

Stanowisko testowe składa się z modułu testowego z układem scalonym do filtracji WSP obrazu, źródła sygnału wizyjnego oraz zespołu urządzeń akwizycji przetworzonego sygnału. Źródłem sygnału wizyjnego może być magnetowid (VCR) lub komputer wyposażony w kartę graficzną z wyjściem wideo, zaś zespół urządzeń akwizycji tworzy komputer z kartą „frame grabber”. Zarówno obraz wejściowy, jak i wyjściowy może być obserwowany na dwóch monitorach telewizyjnych oraz na monitorze komputera. Schemat blokowy modułu testowego układu scalonego do filtracji WSP obrazu przedstawia rys. 3.22.

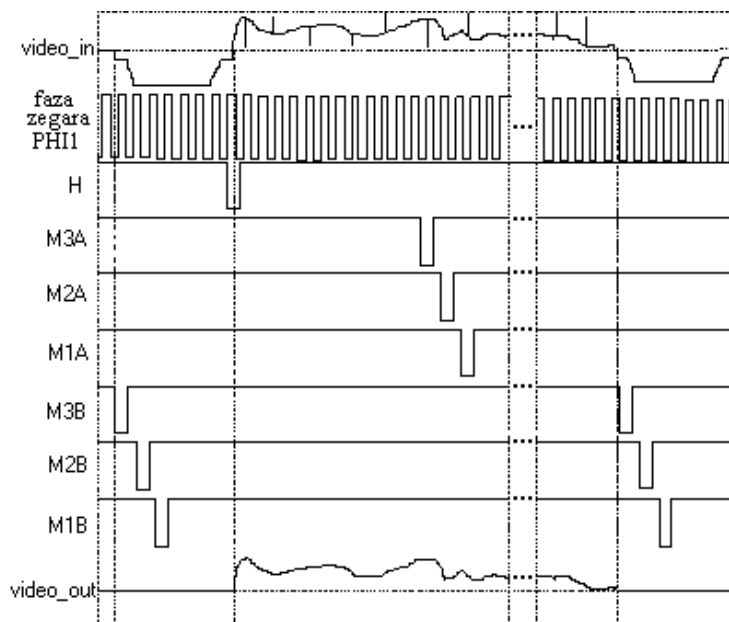


Rys. 3.22. Moduł testowy układu scalonego do filtracji WSP obrazu

Wejściowy sygnał wizyjny jest rozdzielany na 3 drogi, mianowicie na obwody chrominancji, obwody luminancji oraz obwody synchronizacji. Przetwarzany jest tylko sygnał luminancji, zaś sygnał chrominancji jest przepuszczany z opóźnieniem dwóch linii obrazu. Moduł testowy generuje wszystkie wymagane przebiegi sterujące układem scalonym do filtracji WSP i zapewnia synchronizację z wejściowym sygnałem wizyjnym. Częstotliwość zegara dwufazowego dla standardowego sygnału wizyjnego PAL została obliczona następująco:

$$f_{zegara} = \frac{300 \text{ pixeli} / \text{linię obrazu}}{64\mu s - 12\mu s} = 5,76 \text{ MHz} \quad (3.6)$$

Przebiegi sterujące układem scalonym do filtracji WSP obrazu o architekturze SNK, generowane przez moduł testowy są przedstawione na rys. 3.23.



Rys. 3.23. Przebiegi sterujące układem scalonym do filtracji WSP obrazu o architekturze SNK

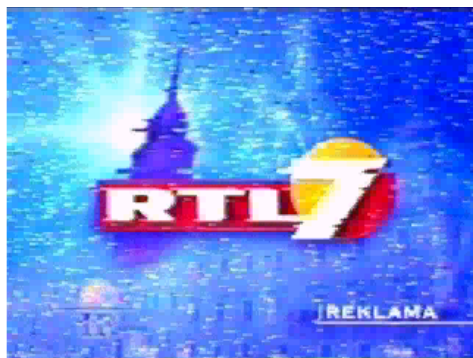
Pracę układu scalonego do filtracji WSP synchronizuje impuls H wyekstrahowany z impulsu synchronizacji poziomej wejściowego sygnału wizyjnego. Do tego celu jest użyty selektor impulsów synchronizacji poziomej oraz przerzutnik monostabilny. Czas trwania impulsu H wygenerowanego przez przerzutnik monostabilny wynosi $1/f_{zegara} = 173 \text{ ns}$. Sygnały M1A, M2A, M3A sterują przesunięciem zawartości górnych pamięci analogowych do pamięci dolnych dla połowy komórek sieci neuronowej komórkowej, zaś sygnały M1B, M2B, M3B służą do tego samego, ale dla drugiej połowy komórek tej sieci. Sygnały te są generowane przez zespół przerzutników monostabilnych. Czas trwania impulsów generowanych przez te przerzutniki został ustawiony na $1 \mu s$. Taki sposób sterowania umożliwia realizację przepisywania jednej połowy zawartości pamięci analogowej, podczas gdy druga jej połowa uczestniczy we wprowadzaniu i wyprowadzaniu informacji. W ten sposób półklatka obrazu (przy wybieraniu międzyliniowym) zostaje przefiltrowana w czasie rzeczywistym. Zmierzona moc

pobierana przez układ scalony do filtracji WSP podczas przetwarzania sygnału przy zasilaniu symetrycznym $V_{dd} = 2,5 \text{ V}$ i $V_{ss} = -2,5 \text{ V}$ wynosi 82 mW. Typowy zakres napięć sygnałów wyjściowego i wyjściowego wynosi od 0 V do +1 V.

3.8. Wyniki przetwarzania obrazu z zastosowaniem scalonego filtru WSP

Wykorzystując wykonane stanowisko testowe układu scalonego do filtracji WSP obrazu, wykonano testy funkcjonalne przetwarzania rzeczywistych obrazów. Sygnałem wejściowym był sygnał wizyjny uzyskany z analogowego tunera satelitarnego, zarejestrowany w czasie opadu deszczu. Występują w nim zakłócenia impulsowe, typowe dla demodulacji FM słabego sygnału. Przykładowa klatka obrazu wejściowego poddanego filtracji jest pokazana na rys. 3.24a, zaś klatkę obrazu po filtracji standardowym filtrem medianowym [Kowalski 2003c] przedstawia rys. 3.24b.

(a)



(b)



Rys. 3.24. Przykładowa klatka obrazu wejściowego (a), klatka po filtracji standardowym filtrem medianowym (b)

W czasie filtracji sygnału wizyjnego przez scalony filtr WSP obrazu ustawiono jego współczynniki nieliniowego szablonu SNK następująco:

$$\mathbf{B} = \begin{bmatrix} 2\mu\text{A} & 2\mu\text{A} & 2\mu\text{A} \\ 2\mu\text{A} & 2\mu\text{A} & 2\mu\text{A} \\ 2\mu\text{A} & 2\mu\text{A} & 2\mu\text{A} \end{bmatrix} \quad I = 0 \quad (3.7)$$

Przetworzony obraz wizyjny w dużej mierze jest pozbawiony dokuczliwych zakłóceń impulsowych.

3.9. Podsumowanie

W niniejszym rozdziale opisano projekt układu scalonego do filtracji WSP obrazu w technologii CMOS AMS 0,8 μm CYE. Pojedynczy układ scalony przetwarza obraz o rozdzielczości poziomej 300 pikseli. Rozdzielczość tę można zwielokrotnić poprzez odpowiednie połączenie kilku układów scalonych. Pomiary podstawowych bloków funkcjonalnych scalonego filtru WSP potwierdziły ich zgodność z symulacjami wykonanymi z użyciem programu Spectre. Przeprowadzone testy funkcjonalne potwierdziły słuszność koncepcji filtru WSP o architekturze SNK. Filtr ten może być wykorzystany do filtracji zakłóceń impulsowych rzeczywistego sygnału wizyjnego obrazów ruchomych i nieruchomych. Analogowy filtr WSP może być ciekawą alternatywą dla rozwiązań cyfrowych. Mimo mniejszej dokładności przetwarzania cechuje go mały pobór mocy oraz mała powierzchnia płytki krzemowej układu scalonego. Podsumowanie parametrów układu scalonego do filtracji WSP jest przedstawione w tabeli 3.1.

Tabela 3.1. Parametry układu scalonego do filtracji WSP obrazu

Dane fizyczne	Technologia: AMS 0,8 μm CYE n-well, dwa polikrzemy, dwa metale Gęstość komórek: 15 komórek/ mm^2 207 tranzystorów/komórkę Wymiary komórki: 132,8 $\mu\text{m} \times 374,5 \mu\text{m}$ Wymiary chipu: 4,81 mm $\times$ 4,3 mm
Dane elektryczne	Zasilanie $\pm 2,5 \text{ V}$ Tryb napięciowy I/O Moc pobierana: 276 μW /komórkę, całego układu 82 mW
Technika projektowania	Analogowa, tryb napięciowy, przetwarzanie linii obrazu ciągle w czasie Full-custom
Cechy i zastosowanie	300 komórek SNK 300 pikseli/linię poziomą obrazu Okno filtracji 3x3 Obraz wejściowy i wyjściowy z odcieniami szarości Czas przetwarzania w najgorszym przypadku: 3 μs /linię obrazu Maksymalna przepustowość: 20 milionów obliczeń WSP/sek

Do głównych osiągnięć autora pracy opisanych w tym rozdziale należą:

- opracowanie matematycznego modelu komórki SNK filtru WSP, łatwego do bezpośredniej implementacji w postaci układu scalonego CMOS,
- opracowanie architektury układu scalonego o strukturze SNK do filtracji obrazu za pomocą filtru WSP,

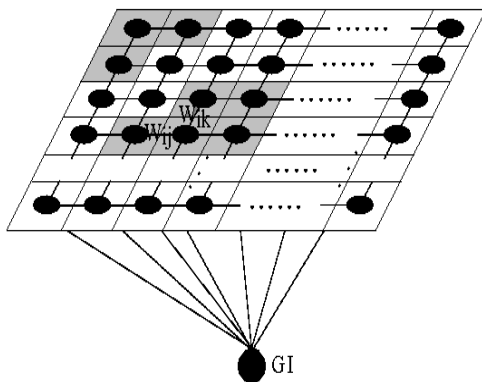
- symulacje i projekt układu scalonego do filtracji obrazu metodą WSP w technologii CMOS AMS 0,8 μm CYE, która była oferowana przez Europractice,
- zaprojektowanie i uruchomienie stanowiska badawczego do filtracji obrazu metodą WSP oraz przetestowanie i potwierdzenie jego przydatności na przykładzie filtracji sygnału wizyjnego wykonanej w czasie rzeczywistym.

4. Implementowana sprzętowo sieć synchronizowanych oscylatorów do segmentacji obrazów binarnych

4.1. Wstęp

Segmentacja jest jedną z ważniejszych metod wstępnego przetwarzania obrazów. Polega ona na podziale obrazu na rozłączne obszary ze względu na określone kryterium jednorodności (np. kolor obszaru, poziom jasności, tekstura). Mimo istnienia wielu metod segmentacji problem ten w dalszym ciągu nie jest do końca rozwiązany, więc poszukiwanie nowych metod jest celowe i stanowi otwarty problem badawczy [Strzelecki 2004b]. Rozwój badań w latach 90. XX w. dotyczących rozmaitych architektur sztucznych sieci neuronowych oraz metod ich uczenia spowodował opracowanie szeregu algorytmów wykorzystujących te sieci i mających zastosowanie m.in. w problemach segmentacji obrazów [Tadeusiewicz 1993, Osowski 1996, Hu i Hwang 2002]. Jednym z nowszych narzędzi tego typu używanych do segmentacji obrazów jest sieć synchronizowanych oscylatorów (SSO) [Wang i Terman 1995]. SSO wykorzystuje tzw. teorię chwilowej korelacji [Malsburg 1999], która próbuje wyjaśnić procesy analizy sceny wizyjnej zachodzącej w ludzkim mózgu. Według tej teorii dokonywana jest ekstrakcja cech danego obiektu lub obszaru obrazu, a następnie cechy te pobudzają odpowiednie komórki nerwowe układu wzrokowego. Dla obszarów jednorodnych, z punktu widzenia ludzkiego wzroku, kolejne komórki nerwowe ulegają aktywacji poprzez lokalne sprzężenia, tworząc mapę analizowanych obszarów, która umożliwia segmentację sceny wizyjnej. Wykorzystanie do tego celu SSO okazało się skuteczne m.in. w przypadku segmentacji szerokiej klasy obrazów biomedycznych [Shareef i inni 1999], w tym zawierających tekstury [Strzelecki 2002b, Strzelecki i inni 2006]. W zastosowaniach biomedycznych ważną rolę odgrywa również segmentacja obrazów binarnych. Taka analiza jest przeprowadzana m.in. w przypadku mikroskopowych obrazów tkanki skóry, gdzie istotną informację diagnostyczną stanowią liczba oraz wybrane parametry geometryczne tzw. komórek tucznych [Strzelecki i inni 1999]. Inny przykład segmentacji obrazów binarnych dotyczy analizy obrazów z tomografu rezonansu magnetycznego wątroby myszy, gdzie poszukuje się tzw. wysp trzustkowych – grup komórek produkujących insulinę, przeszczepionych do wątroby myszy z trzustki zdrowego dawcy [Jirak i inni 2009]. Takie przeszczepy są stosowane przy leczeniu cukrzycy. Opis działania sieci oscylatorów dla celów segmentacji obrazów binarnych omówiono m.in.

w pracy [Çesmeli i Wang 2001]. Każdy oscylator sieci odpowiada jednemu punktowi obrazu, jak pokazano na rys. 4.1 oraz jest połączony z czterema sąsiadami za pomocą wag W_{ij} (poza oscylatorami brzegowymi) oraz z globalnym układem hamującym GI (ang. Global Inhibitor). Oscylatory reprezentujące dany obiekt obrazu synchronizują się dzięki połączeniom wagowym. Zadaniem globalnego układu hamującego jest zapewnienie desynchronizacji pomiędzy grupami oscylatorów reprezentujących różne obiekty.



Rys. 4.1. Struktura SSO

Realizacja sprzętowa SSO [Ando i inni 2000, Cosp i Madrenas 2003, Cosp i inni 2004] pozwala na szybsze wykonanie segmentacji obrazu w porównaniu do metod opartych na symulacji komputerowej. Równoległa struktura sieci bardzo dobrze nadaje się do takiego zadania. Segmentacja poszczególnych obiektów obrazu dokonuje się wtedy poprzez jednoczesne wzbudzenie wielu oscylatorów, zatem proces ten jest dużo szybszy niż w przypadku szeregowej propagacji pobudeń, tak jak to ma miejsce przy symulacji komputerowej. Celem rozważań prowadzonych w niniejszym rozdziale jest opis projektów dwóch układów scalonych, implementujących SSO o wymiarach matrycy 8x8 oraz 32x32, przeznaczonych do segmentacji obrazów binarnych. Układy zaprojektowano w technologii AMIS 0,35 μm CO35M-D 5M/1P oferowanej przez Europractice w środowisku programu Cadence.

Konkurencyjną realizacją SSO jest układ scalony wykonany w technologii CMOS AMS 0,8 μm przedstawiony w [Cosp i Madrenas 2003]. Zrealizowana tam matryca ma wymiary 16x16 oscylatorów. Układ ten nie posiada mechanizmu pozwalającego na określenie zakończenia procesu segmentacji obrazu oraz zliczającego obiekty rozpoznane przez sieć. W przypadku układu przedstawionego w niniejszej pracy zastosowanie nowocześniejszej technologii AMIS 0,35 μm

pozwoili na zaprojektowanie wikszej matrycy o czterokrotnie wikszej liczbie komerek, przy podobnej powierzchni ukladu. Zastosowany, nowy model matematyczny oscylatora SSO jest ponadto bardziej elastyczny niz opisany w pracy [Cosp i Madrenas 2003] i ma podobne wlasciwosci dynamiczne do oryginalnego modelu zaproponowanego przez Wang i Termana [Wang i Terman 1995].

4.2. Nowy model oscylatora

W pracach [Wang i Terman 1995, Csmeli i Wang 2000] zaproponowano model oscylatora SSO opisany za pomoca ukladu dwuch nieliniowych rownan roniczkowych:

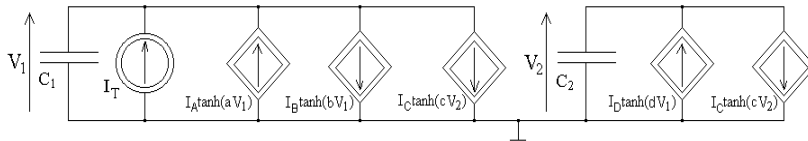
$$\frac{dx}{dt} = 3x - x^3 + 2 - y + I_T \quad \frac{dy}{dt} = \varepsilon \left[\gamma \left(1 + \tanh\left(\frac{x}{\beta}\right) \right) - y \right] \quad (4.1)$$

gdzie x jest zmienna pobudzajaca, za y zmienna hamujaca. I_T jest calkowitym zewnetrznym pobudzeniem oscylatora (w najprostszym przypadku zalezy od jasnosci piksela obrazu), a ε , γ , β sa stalymi parametrami. Taki model jest bardzo trudny do bezposredniej implementacji CMOS, dlatego autor zaproponowal nowy model oscylatora [Kowalski i inni 2004] opisany nastepujacymi rownaniami roniczkowymi:

$$C_1 \frac{dV_1}{dt} = I_A \tanh(aV_1) - I_B \tanh(bV_1) - I_C \tanh(cV_2) + I_T \quad (4.2)$$

$$C_2 \frac{dV_2}{dt} = I_D \tanh(dV_1) - I_C \tanh(cV_2)$$

Posiada on podobne cechy do modelu opisanego przez rownania roniczkowe (4.1) oraz umozliwia bezposrednia realizacje CMOS z wykorzystaniem wzmacniaczy transkonduktancyjnych OTA (ang. Operational Transconductance Amplifier). W nowym modelu oscylatora SSO V_1 jest zmienna pobudzajaca, a V_2 zmienna hamujaca. I_A , I_B , I_C , I_D , C_1 , C_2 oraz a , b , c , d sa stalymi parametrami. I_T jest calkowitym zewnetrznym pobudzeniem danego oscylatora. Reprezentacja obwodowa modelu matematycznego oscylatora SSO opisanego przez uklad nieliniowych rownan roniczkowych (4.2) jest przedstawiona na rys. 4.2.



Rys. 4.2. Reprezentacja obwodowa modelu matematycznego oscylatora SSO

Dla takiej reprezentacji zmienne V_1 , V_2 mają sens fizyczny napięć, a zmienne I_A , I_B , I_C , I_D oraz I_T sens fizyczny prądów. Amplituda oscylacji zmiennej stanu V_1 może być opisana następującym równaniem [Kowalski i inni 2011]:

$$A_{V1} = -\frac{1}{b} \operatorname{arctanh} \left[\tanh \left(\sqrt{2} \frac{b}{a} \right) - \frac{2I_A}{I_B} \right] \quad (4.3)$$

Zakładając $A_{V1} = 0,5$ V oraz biorąc pod uwagę napięciowe i prądowe ograniczenia technologii AMIS $0,35 \mu\text{m}$, wybrano następujące wartości parametrów modelu oscylatora: $I_A = 1,2 \mu\text{A}$, $I_B = 2 \mu\text{A}$, $I_C = 2 \mu\text{A}$, $I_D = 2 \mu\text{A}$, $a = 10 \text{ V}^{-1}$, $b = 2,44 \text{ V}^{-1}$, $c = 2,44 \text{ V}^{-1}$, $d = 500 \text{ V}^{-1}$, $C_1 = 50 \text{ fF}$, $C_2 = 1,1 \text{ pF}$. Używając modelu tranzystora MOS z krótkim kanałem Sakurai'a-Newtona [Sakurai i Newton 1991] z parametrem $\text{LAMBDA} = 0$ oraz pomijając oddziaływanie podłoża układu scalonego, można wyprowadzić następujące wyrażenie opisujące charakterystykę przejściową $I_o(V_r)$ wzmacniacza transkonduktancyjnego OTA [Kowalski i Kacprzak 2001]:

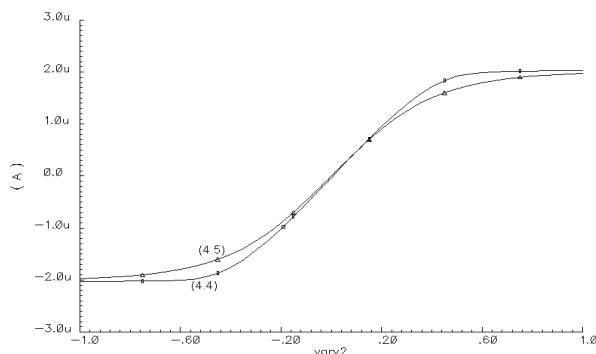
$$I_o = \begin{cases} I_{sat} & \text{dla } V_r \geq \sigma \\ -I_{sat} & \text{dla } V_r \leq -\sigma \end{cases} \quad (4.4)$$

$$V_r = n_r \sqrt{\frac{(I_{sat} + I_0)L_{EFFr}}{2W_r B_r}} - n_r \sqrt{\frac{(I_{sat} - I_0)L_{EFFr}}{2W_r B_r}} \quad \text{dla } -\sigma < V_r < \sigma$$

gdzie V_r jest wejściowym napięciem różnicowym wzmacniacza OTA, B_r – współczynnikiem transkonduktancji pary różnicowej tranzystorów MOS, W_r i L_{EFFr} – szerokością i efektywną długością kanałów tranzystorów MOS pary różnicowej, n_r – wykładnikiem potęgi we wzorze określającym prąd w zakresie nasycenia dla pary różnicowej tranzystorów MOS, I_{sat} i σ – prądem i napięciem nasycenia charakterystyki przejściowej wzmacniacza OTA. Charakterystyka przejściowa wzmacniacza OTA opisana równaniem (4.4) może być aproksymowana przez następujące wyrażenie:

$$I_o = I_{sat} \tanh \left(n_r \cdot 2^{\frac{1-n_r}{n_r}} \sqrt[n_r]{\frac{B_r W_r}{I_{sat} L_{EFFr}}} \cdot V_r \right) \quad (4.5)$$

Przykład aproksymacji wyrażenia (4.4) za pomocą funkcji (4.5) jest przedstawiony na rys. 4.3.

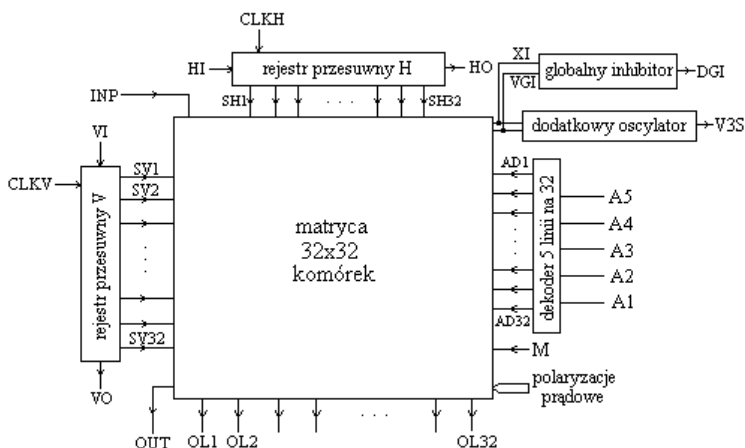


Rys. 4.3. Aproksymacja funkcji (4.4) za pomocą (4.5)

Opisany sposób aproksymacji funkcji umożliwia fizyczną realizację oscylatora SSO w technologii CMOS z zastosowaniem wzmacniaczy transkonduktancyjnych OTA.

4.3. Architektura SSO zrealizowanej w postaci układu scalonego

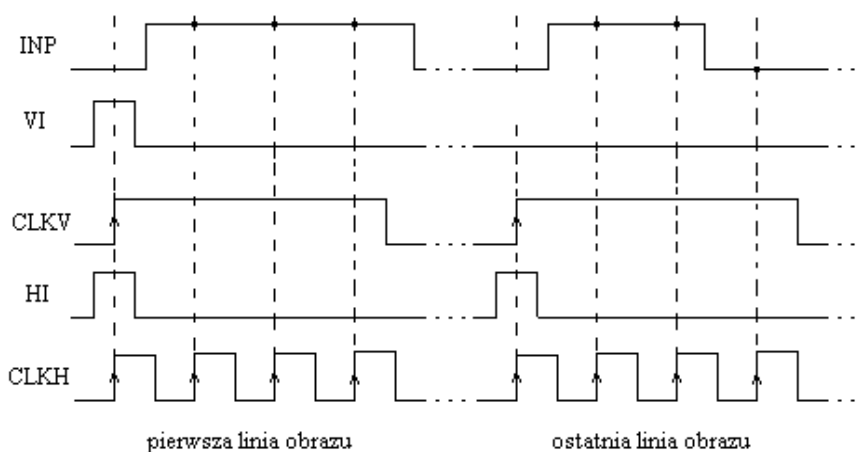
Schemat blokowy układu scalonego realizującego SSO dla przypadku wymiarów matrycy 32×32 pokazano na rys. 4.4. Głównym elementem układu jest matryca 32×32 komórek, które są jednostkami przetwarzania poszczególnych punktów obrazu. Każda komórka zawiera układ: oscylatora, formowania ważonych połączeń synaptycznych oraz układ wejścia i wyjścia.



Rys. 4.4. Schemat blokowy układu scalonego implementującego SSO 32×32

Binarny obraz jest wprowadzany do scalonej SSO szeregowo wejściem INP. Wprowadzanie informacji obrazowej jest synchronizowane dwoma impulsami: HI – impuls synchronizacji poziomej (wejście rejestru przesuwającego horyzontalnego)

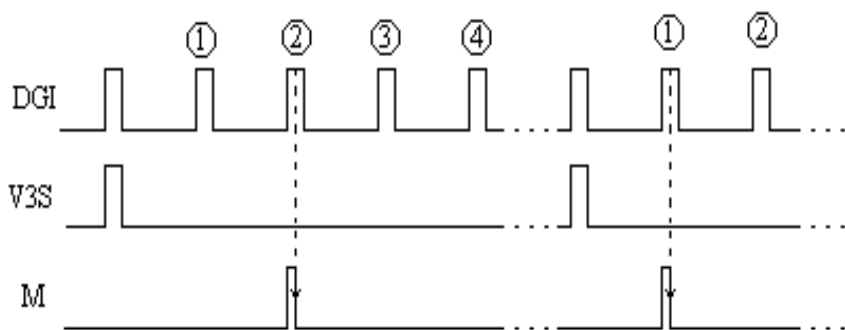
oraz VI – impuls synchronizacji poziomej (wejście rejestru przesuwanego wertykalnego). Obraz jest wprowadzany linia po linii. Wprowadzanie rozpoczyna się równoczesnym pojawieniem się impulsów HI oraz VI. W tej chwili aktywne są równocześnie wyjścia SH1 oraz SV1 rejestrów przesuwanych horyzontalnego oraz wertykalnego i zostaje zapisany pierwszy piksel obrazu z lewego górnego rogu. Sygnał SV1 pozostaje nadal aktywny. Po drugim cyklu zegara CLKH uaktywnia się wyjście SH2 rejestru przesuwanego horyzontalnego, umożliwiając pobranie próbki piksela obrazu pierwszej linii. Jedynka logiczna w rejestrze przesuwanym horyzontalnym uaktywnia kolejne wyjścia SH3 ... SH32, czego efektem jest załadowanie do układu scalonego pierwszej linii obrazowej. Po 32. impulsach zegara CLKH pojawi się impuls HO na wyjściu rejestru przesuwanego horyzontalnego, sygnalizując tym samym o zezwoleniu na pojawienie się kolejnego impulsu zegara CKLV rejestru przesuwanego wertykalnego. Uaktywni on teraz wyjście rejestru przesuwanego SV2, umożliwiając po 32. impulsach zegara CLKH wprowadzenie do układu scalonego drugiej linii obrazowej. Cykle te powtarzają się aż do momentu załadowania do układu scalonego pełnej klatki obrazu wejściowego. Zakończy się to równoczesnym pojawieniem się impulsów VO oraz HO, co sygnalizuje, że pełna klatka obrazu została zapamiętana. Klatka obrazu będzie pamiętana w pamięciach dynamicznych układu scalonego przez pewien czas. Aby zapisany obraz nie uległ zniszczeniu wskutek zjawisk upływu prądu, występującego w układach scalonych, klatka obrazu musi być odświeżona albo musi być załadowany nowy obraz do przetwarzania dla sieci synchronicznych oscylatorów. Przebiegi wymaganych sygnałów sterujących przy wprowadzaniu obrazu są przedstawione na rys. 4.5.



Rys. 4.5. Wymagane przebiegi sterujące przy wprowadzaniu obrazu

Globalny układ hamujący (inhibitor) jest połączony z każdym oscylatorem sieci. Układ ten wykorzystuje dwa sygnały: VGI i XI. VGI jest aktywny, gdy przynajmniej jeden oscylator w SSO jest aktywny. DGI jest wyprowadzonym na zewnątrz układu scalonego cyfrowym sygnałem aktywności VGI. Linia XI jest używana do hamowania wszystkich oscylatorów SSO w chwilach, gdy globalny inhibitor jest aktywny. Dodatkowy oscylator nie jest podłączony za pomocą układów formowania ważonych połączeń synaptycznych z pozostałymi oscylatorami sieci. Służy on do określenia początku i końca cyklu pracy sieci oraz do określenia liczby obiektów obrazu. V3S jest sygnałem wyjściowym tego oscylatora.

Po wprowadzeniu obrazu do układu scalonego aktywność oscylatorów tła obrazu znika. Aktywne są tylko oscylatory, na których wejścia zostały podane obiekty w obrazie. Następuje desynchronizacja przebiegów oscylatorów podłączonych do różnych obiektów, zaś przebiegi oscylatorów, na których wejściu znajduje się dany obiekt, synchronizują się. Zjawiska te zapewniają całkowitą segmentację obrazu poddanego przetwarzaniu. Aktywność oscylatorów danej linii obrazowej jest obserwowana na wyjściach OL1, OL2 ... OL32. Wybór obserwowanej linii aktywności oscylatorów odbywa się poprzez podanie 5-bitowego adresu A1, A2 ... A5. Obserwacja przebiegu globalnego inhibitora DGI oraz przebiegu V3S dodatkowego oscylatora synchronizującego umożliwia zliczenie obiektów w obrazie oraz sterowanie wejściem M synchronizującym szeregowe wyjście przetworzonego obrazu OUT. Liczba impulsów DGI pomiędzy kolejnymi impulsami V3S odpowiada liczbie obiektów w obrazie. Wymagane przebiegi sterujące wejściem M są przedstawione na rys. 4.6.



Rys. 4.6. Wymagane przebiegi sterujące wejściem M

Wyprowadzanie zapamiętanych na opadającym zboczach sygnału M stanów oscylatorów sieci (obrazy kolejnych wykrytych obiektów) odbywa się szeregowo przez sygnał OUT. Do wyboru komórki wykorzystywane są te same rejestry przesuwne H i V.

Komórki SSO są wykonane w technice mieszanej (analogowo-cyfrowej). Układy oscylatora, wejścia i formowania wag są analogowe, zaś układy wyjścia są cyfrowe. Układ GI jest analogowy, zaś rejestry przesuwne oraz dekodery są układami cyfrowymi.

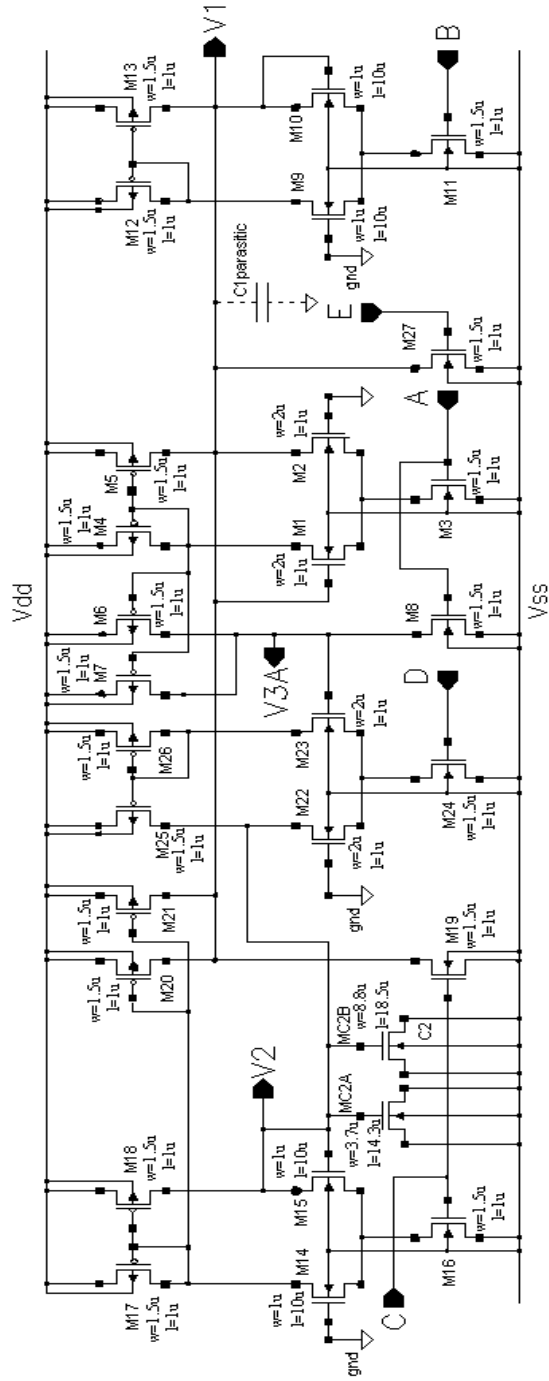
4.4. Projekt SSO realizowanej w technologii AMIS 0,35 μm C035M-D 5M/1P

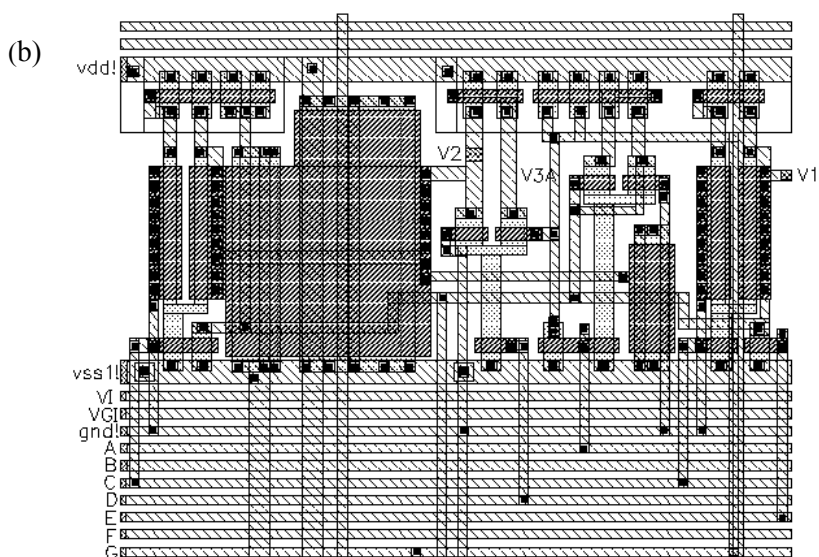
W rozdziale tym jest szczegółowo opisany projekt układu scalonego realizującego SSO do segmentacji obrazów binarnych w technologii AMIS 0,35 μm C035M-D 5M/1P. Projekt wykonano dla układów implementujących SSO o wymiarach 8×8 i 32×32 . Mniejsza matryca służyła do przetestowania koncepcji układu. Układ z większą liczbą komórek miał większe znaczenie praktyczne przy budowie stanowiska do segmentacji obrazów binarnych.

4.4.1. Projekt scalonego układu oscylatora SSO

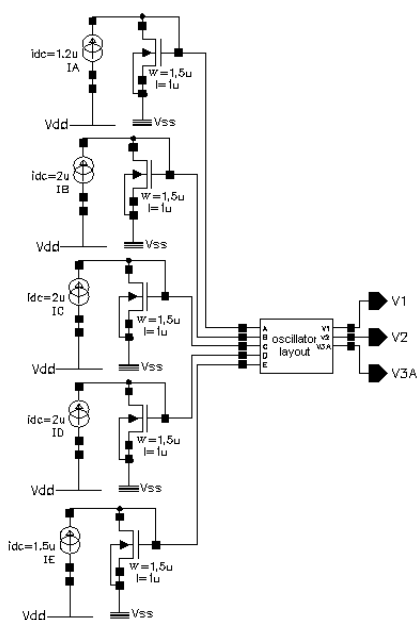
Na podstawie modelu obwodowego oscylatora z rys. 4.2 zaprojektowano jego układ CMOS z wykorzystaniem wzmacniaczy OTA [Kowalski i inni 2004]. Schemat układu CMOS oscylatora prezentuje rys. 4.7a, zaś jego topografię rys. 4.7b. Tranzystory M1-M5 realizują funkcję $I_4 \tanh(aV_1)$, tranzystory M9-M13 – funkcję $I_R \tanh(bV_1)$, M14-M21 – dwie funkcje $I_C \tanh(cV_2)$, tranzystory M6-M8 i M22-M26 – funkcję $I_D \tanh(dV_1)$, , zaś tranzystor M27 jest źródłem prądowym prądu polaryzacji oscylatora I_E . Wymiary geometryczne tranzystorów zostały tak dobrane, aby pracowały one stale w zakresie nasycenia przy przyjętych wartościach amplitud oscylacji. Topografia układu CMOS oscylatora została zaprojektowana przy użyciu programu Cadence. W celu zaoszczędzenia powierzchni płytki krzemowej oraz wykorzystania tańszej technologii C035M-D 5M/1P z jednym krzemem polikrystalicznym, kondensator C_2 został zaimplementowany wykorzystując pojemności bramek dwóch tranzystorów MC2A oraz MC2B. Kanały tych tranzystorów pracują w sposób ciągły w obszarze silnej inwersji i dlatego zastępcza pojemność takiej struktury jest liniowa w zakresie przyjętych amplitud oscylacji obydwu zmiennych stanu V_1 i V_2 . Kondensator C_1 został zaimplementowany jako suma pojemności pasożytniczych pomiędzy metalizacją i podłożem – pojemność $C_{Iparasitic}$ na rys. 4.7a. Oscylator zajmuje $51 \mu\text{m} \times 32,5 \mu\text{m}$ ($1657 \mu\text{m}^2$) powierzchni płytki krzemowej.

(a)

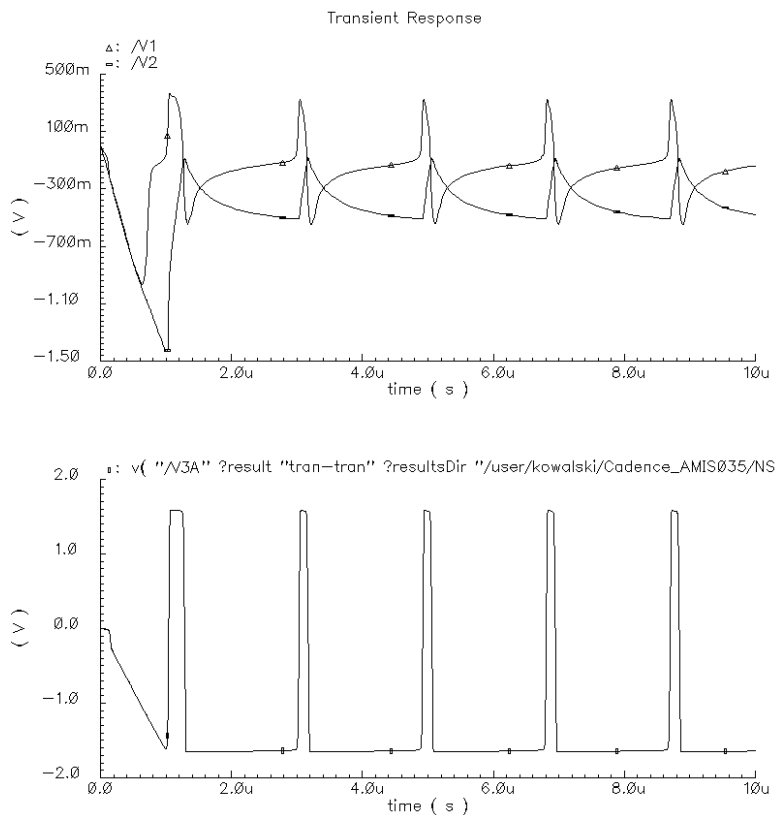




Działanie układu oscylatora CMOS zostało przebadane symulacyjnie w warunkach dołączonych prądów polaryzujących w sposób pokazany na rys. 4.8.



Wyniki symulacji stanów przejściowych $V_1(t)$, $V_2(t)$, $V_{3A}(t)$ z użyciem programu Spectre przedstawia rys. 4.9.



Rys. 4.9. Wyniki symulacji $V_1(t)$, $V_2(t)$, $V_{3A}(t)$ dla $I_T = -I_E = -1,5 \mu A$

Napięcie V_{3A} jest wyrażonym binarnie napięciem V_1 z progiem równym zero (posiada dwie wartości -1,5 V i 1,5 V). Symulacja została wykonana z użyciem modelu tranzystora MOS BSIM3v3.2 z uwzględnieniem wszystkich pojemności pasożytniczych wygenerowanych na podstawie topografii układu CMOS oscylatora. Przy zasilaniu typowym napięciem 3,3 V pobór prądu wynosi $12 \mu A$, więc pobór mocy przez oscylator przyjmuje wartość około $40 \mu W$.

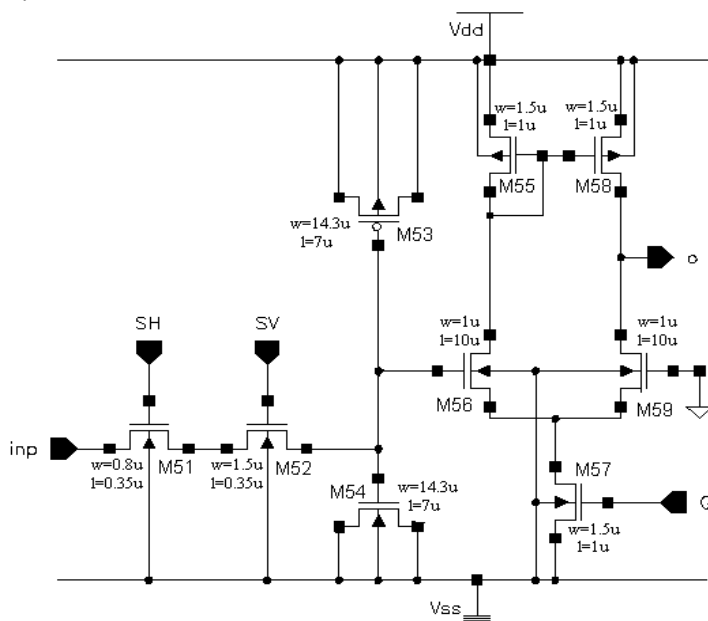
4.4.2. Projekt komórki SSO

Schemat blokowy komórki SSO pokazano na rys. 4.10 [Kowalski i Strzelecki 2005b].

ten wpływa do węzła V1 danego oscylatora. Przepływ prądu jest sterowany przez tranzystory M32-M35, których bramki są podłączone do węzłów V3 czterech sąsiednich oscylatorów. Waga pomiędzy danym oscylatorem a jego sąsiadem jest aktywna wtedy, kiedy sąsiedni oscylator jest aktywny. W tym rozwiązaniu układowym wartość wagi (prądu I_F) jest jednakowa, niezależnie od liczby aktywnych sąsiednich oscylatorów. Normalizację wartości wag zastosowano ze względu na szybszą synchronizację aktywnych oscylatorów. Układ formowania wag zawiera również elementy sterujące globalnym układem hamującym GI (tranzystory M36 i M37). Tranzystor M36 jest źródłem prądowym, przesyłającym prąd I_{GI} z węzła VGI (generowany przez układ GI podczas jego aktywności) do węzła V1 danego oscylatora. Tranzystor M37 aktywuje stan globalnego inhibitora VGI wtedy, gdy przynajmniej jeden oscylator w SSO jest aktywny.

4.4.2.2. Układ wejściowy

Schemat układu wejściowego do akwizycji jasności piksela obrazu pokazano na rys. 4.12.



Rys. 4.12. Schemat układu wejściowego

Kiedy tranzystory M51 i M52 są jednocześnie włączone, wartość napięcia wejściowego INP odpowiadająca jasności piksela ładuje pojemności bramek tranzystorów M53 i M54. Jeżeli co najmniej jeden z tranzystorów M51 i M52 jest wyłączony, wartość napięcia INP jest zapamiętywana w pojemnościach bramek tranzystorów

4.4.2.3. Układ wyjściowy

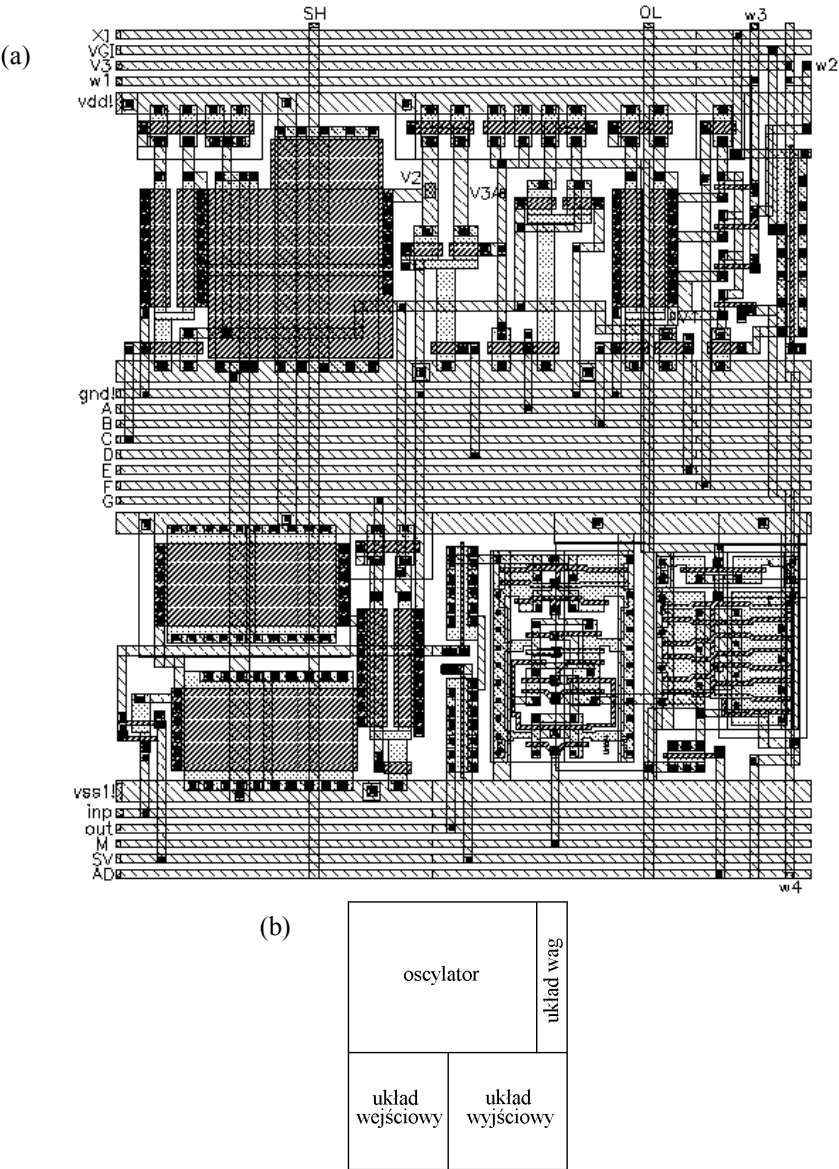
[illegible]

Napięcie wyjściowe V_3 (węzeł V3) stanowi cyfrowy (binarny) odpowiednik napięcia V_I oscylatora i odzwierciedla stan jego aktywności. Ponadto jest ono wykorzystywane do sterowania układem globalnego inhibitora oraz służy do formowania wag pomiędzy sąsiednimi oscylatorami. Wyjście to jest dostępne w postaci równoległej (sygnał OL), wtedy jednocześnie można obserwować wyjścia oscylatorów z określonego wiersza matrycy (wybór wiersza następuje za pomocą dekodera 5 na 32) lub napięcia wyjściowe oscylatorów mogą być odczytywane szeregowo (sygnał OUT) z wykorzystaniem rejestrów przesuwnych H i V, sterujących bramkami tranzystorów M62 i M63. Stany oscylatorów są zapisywane w przerzutnikach typu D z wykorzystaniem zbocza opadającego M

(po wykryciu kolejnego obiektu przez sieć). Oznacza to, że odczyt z całej matrycy informacji o stanie oscylatorów może się odbywać niezależnie od pracy sieci.

4.4.2.4. Topografia komórki SSO

Topografia komórki SSO oraz rozmieszczenie jej komponentów są przedstawione na rys. 4.14.

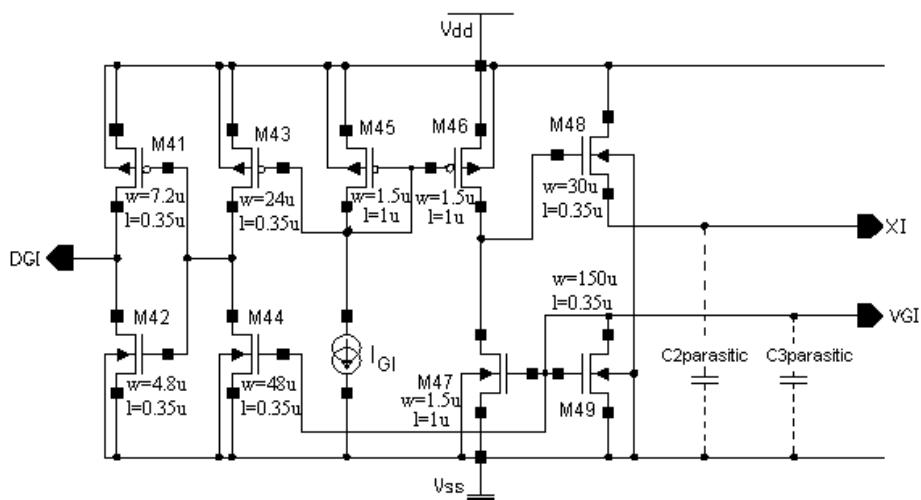


Rys. 4.14. Topografia (a), rozmieszczenie komponentów komórki SSO (b)

Komórka SSO zajmuje $59,1 \mu\text{m} \times 72,7 \mu\text{m}$ ($4297 \mu\text{m}^2$) powierzchni płytki krzemowej.

4.4.3. Układ realizujący funkcję globalnego inhibitora

Schemat układu realizującego funkcję globalnego inhibitora przedstawia rys. 4.15.

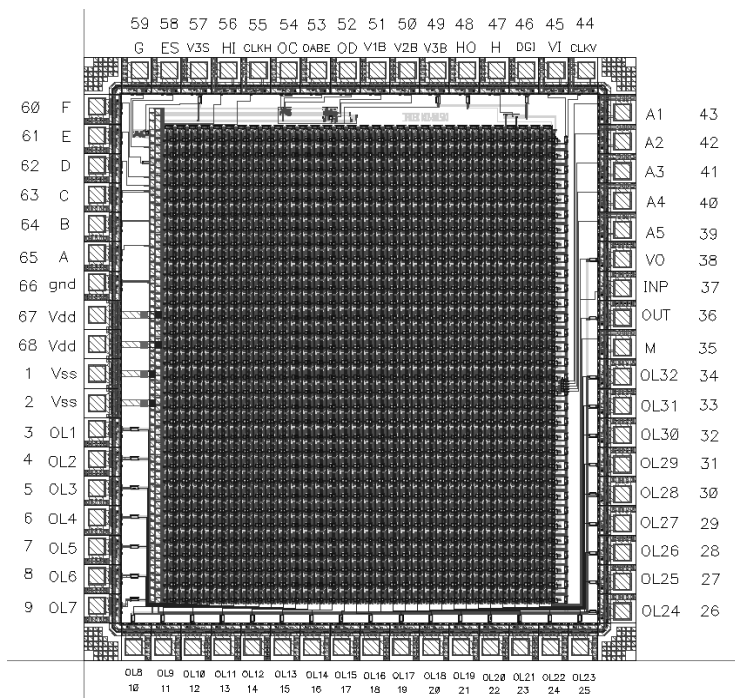


Rys. 4.15. Schemat układu realizującego funkcję globalnego inhibitora

Dołączony do wszystkich komórek sieci sygnał VGI określa stan GI i jest aktywowany przez przepływ prądu I_{GI} , w przypadku gdy co najmniej jeden oscylator w sieci jest aktywny. Suma pojemności pasozytniczych metal-podłoże $C2_{parasitic}$ i $C3_{parasitic}$ (na rys. 4.15) w węzłach XI i VGI mogą osiągać duże wartości. Aby ograniczyć opóźnienia w propagacji sygnału pomiędzy GI a komórkami sieci, zastosowano dodatkowe tranzystory M48 i M49. Wykorzystanie tranzystora M48 zapewnia szybkie ładowanie pojemności $C2_{parasitic}$ i $C3_{parasitic}$. Jeżeli żaden z tranzystorów M37 (rys. 4.11) w komórkach sieci nie jest aktywny, wówczas $C3_{parasitic}$ rozładowuje się przez tranzystor M49. Tranzystory M41-M44 służą do utworzenia cyfrowego (binarnego) napięcia DGI, określającego aktywność układu hamującego, wykorzystywanego do synchronizacji odczytu stanu wyjść oscylatorów sieci. Typowa wartość prądu polaryzacji wynosi $I_{GI} = 0,22 \mu\text{A}$. Dla układu scalonego implementującego SSO o wymiarach 8×8 pojemności pasozytnicze $C2_{parasitic}$ i $C3_{parasitic}$ mają mniejsze wartości, dlatego szerokości kanałów tranzystorów M48 i M49 są mniejsze i wynoszą odpowiednio $15 \mu\text{m}$ i $40 \mu\text{m}$.

4.4.4. Topografie dwóch finalnych układów scalonych realizujących SSO

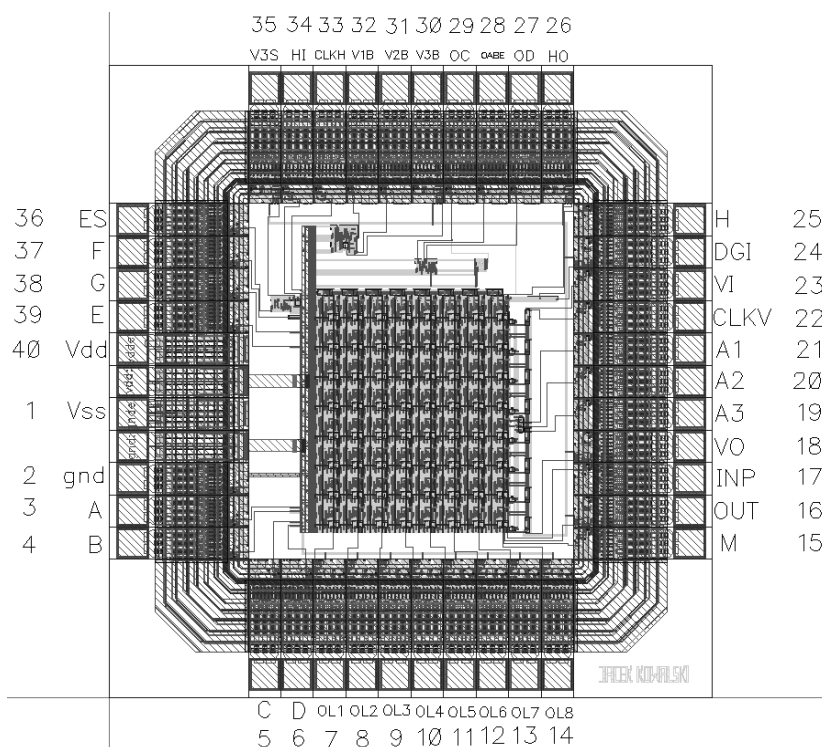
Topografię układu scalonego realizującego SSO o wymiarach 32x32 przedstawia rys. 4.16 [Kowalski i Strzelecki 2008].



Rys. 4.16. Topografia układu scalonego realizującego SSO o wymiarach 32x32

Układ scalony implementujący SSO o wymiarach 32x32 zawiera 90952 tranzystorów MOS i zajmuje $7,9 \text{ mm}^2$ ($2,670 \text{ mm} \times 2,958 \text{ mm}$) powierzchni płytki krzemowej. Sam rdzeń układu bez „padów” posiada wymiary $2,3 \text{ mm} \times 2,6 \text{ mm}$. Chip został umieszczony w obudowie JLCC68. Pobór prądu zmierzony podczas przetwarzania obrazu dla częstotliwości pracy oscylatorów równej 200 kHz wynosi około 13 mA. Przy napięciu zasilania równym 3 V pobór mocy wynosi około 39mW. Układ scalony pracuje poprawnie w zakresie napięć zasilania od 2,4 V do 3,6 V.

Topografię układu scalonego implementującego SSO o wymiarach 8x8 przedstawia rys. 4.17 [Kowalski i inni 2006, Kowalski i Strzelecki 2007].



Rys. 4.17. Topografia układu scalonego realizującego SSO o wymiarach 8x8

Układ scalony realizujący SSO o wymiarach 8x8 zawiera 6368 tranzystorów MOS i zajmuje $2,29 \text{ mm}^2$ ($1,47 \text{ mm} \times 1,5 \text{ mm}$) powierzchni płytki krzemowej. Sam rdzeń układu bez „padów” posiada wymiary $0,79 \text{ mm} \times 0,87 \text{ mm}$. Chip został umieszczony w obudowie DIL40. Pobór prądu zmierzony podczas przetwarzania obrazu wynosi około $1,1 \text{ mA}$. Przy napięciu zasilania równym 3 V pobór mocy wynosi około $3,3 \text{ mW}$. Układ ten pracuje poprawnie w zakresie napięć zasilania od $2,4 \text{ V}$ do $3,6 \text{ V}$.

4.5. Wyniki badań symulacyjnych SSO

W środowisku Cadence połączono 64 komórki w SSO, jak pokazano na rys. 4.18a [Strzelecki i inni 2008]. Taka sieć umożliwia segmentację obrazów binarnych o wymiarach 8x8. Do sieci zostały dołączone wymagane układy polaryzacji oraz globalny inhibitor. Całkowite, zewnętrzne pobudzenie I_T każdego oscylatora można opisać wzorem (4.6).

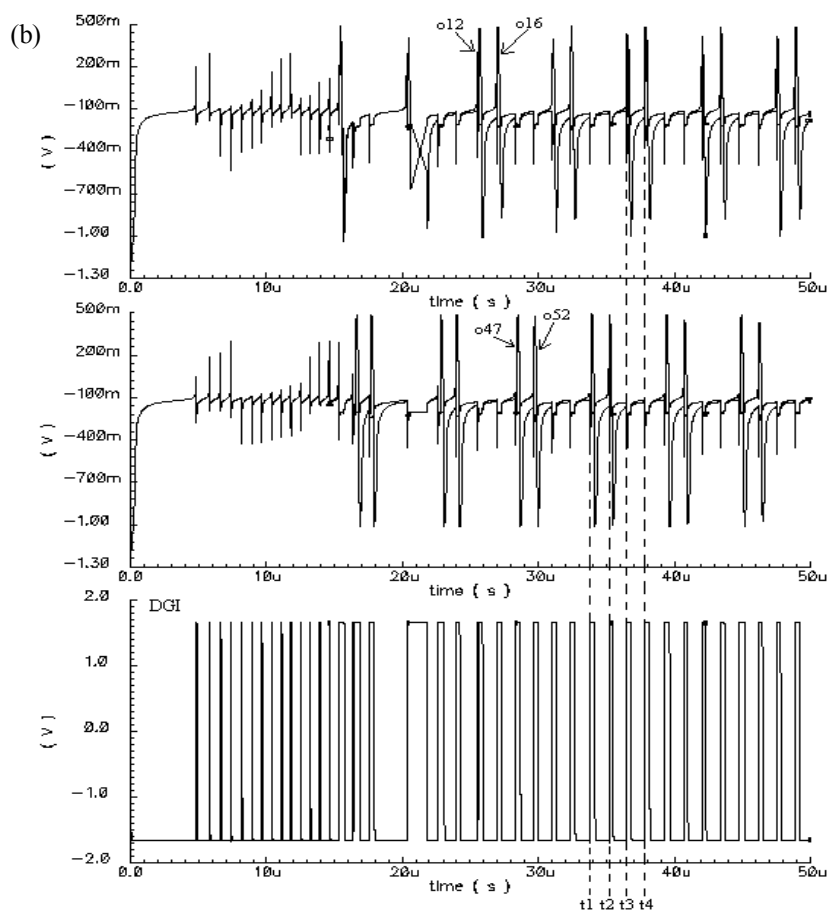
$$I_T = I_{out} + I_F \bigcup_{j=1}^4 Hev(V_1^j) - I_{GI} Hev(GI) - I_E \quad (4.6)$$

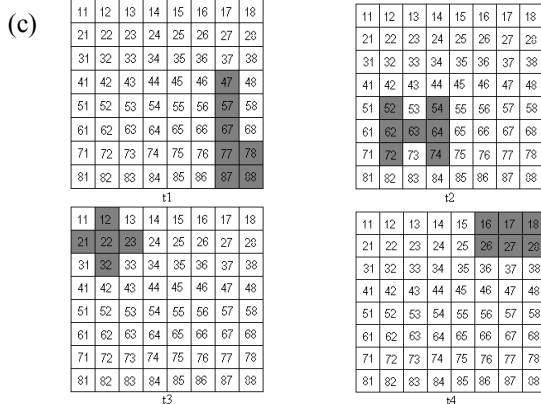
I_{out} jest prądem wyjściowym z układu wejściowego (rys. 4.12). Dla obiektów w obrazie prąd ten ma wartość $I_{out} = 1\mu A$, zaś dla tła obrazu wartość $I_{out} = -1\mu A$. I_F jest prądem polaryzacji układu realizującego ważone połączenia synaptyczne (rys. 4.11) i decyduje o sile połączeń synaptycznych między oscylatorami. Typowa wartość tego prądu to $I_F = 0,8\mu A$. Prąd I_{GI} służy do polaryzacji układu globalnego inhibitora (rys. 4.15) i odpowiada za siłę hamowania wszystkich oscylatorów w SSO. Jego typowe natężenie to $I_{GI} = 0,22\mu A$. I_E jest stałym prądem polaryzacji każdego oscylatora w sieci i jest realizowany za pomocą tranzystora M27 (rys. 4.7a). Jego typowa wartość to $I_E = 2,5\mu A$. V_1^j jest j-tą zmienną pobudzającą komórek sąsiedztwa danej komórki. Symbol $\bigcup$ oznacza sumę logiczną, zaś Hev jest funkcją Heaviside'a równą jeden, gdy jej argument jest większy od zera oraz równą zero w przeciwnym wypadku. Globalny inhibitor zapewnia, że w stanie ustalonym tylko jedna grupa oscylatorów reprezentująca dany obiekt jest aktywna w danej chwili, czyli wywołuje desynchronizację grup oscylatorów dołączonych do różnych obiektów. Układy ważonych połączeń synaptycznych zapewniają synchronizację wszystkich oscylatorów reprezentujący dany obiekt. Właściwy dobór powyższych parametrów gwarantuje prawidłową synchronizację i desynchronizację oscylatorów SSO.

Taka struktura SSO została poddana symulacji z użyciem programu Spectre, biorąc pod uwagę 5424 tranzystorów MOS i 37695 pojemności pasożytniczych uzyskanych w wyniku ekstrakcji (program Cadence), dla danej topografii sieci. Do symulacji został wykorzystany model tranzystora MOS BSIM3v3.2. Rezultaty segmentacji przykładowego obrazu binarnego zawierającego 4 obiekty przedstawia rys. 4.18. Rysunek 4.18b prezentuje zmienne pobudzające V_1 oscylatorów dołączonych do czterech różnych obiektów, zaś DGI aktywność globalnego inhibitora. Oscylatory dołączone do danego obiektu są zsynchronizowane, zaś oscylatory dołączone do różnych obiektów oscylują z przesunięciem fazy, tzn. są zdesynchronizowane. Dla chwil czasowych t_1 , t_2 , t_3 , i t_4 jest możliwe wykrycie czterech obiektów na podstawie obserwowanej mapy aktywności oscylatorów.

(a)

11	12	13	14	15	16	17	18
21	22	23	24	25	26	27	28
31	32	33	34	35	36	37	38
41	42	43	44	45	46	47	48
51	52	53	54	55	56	57	58
61	62	63	64	65	66	67	68
71	72	73	74	75	76	77	78
81	82	83	84	85	86	87	88





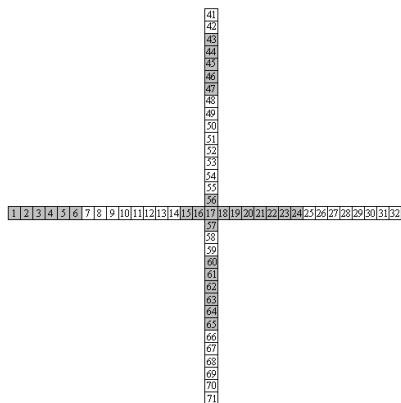
Rys. 4.18. Przykładowy obraz binarny zawierający 4 obiekty (a). Przebiegi oscylatorów dołączonych do różnych obiektów obrazu (b). Mapy aktywności oscylatorów (aktywne oscylatory zaznaczone na czarno) obserwowane w chwilach czasowych t1, t2, t3, t4 (c)

Takie mapy aktywności oscylatorów zapewniają prawidłową segmentację obrazu, jak pokazuje rys. 4.18c. Oscylatory dołączone do tła obrazu nie oscylują, ponieważ prąd dla tła obrazu $I_{out} = -1 \mu A$ skutecznie je blokuje. Częstotliwość oscylacji w rozważanej SSO wynosi około 200 kHz.

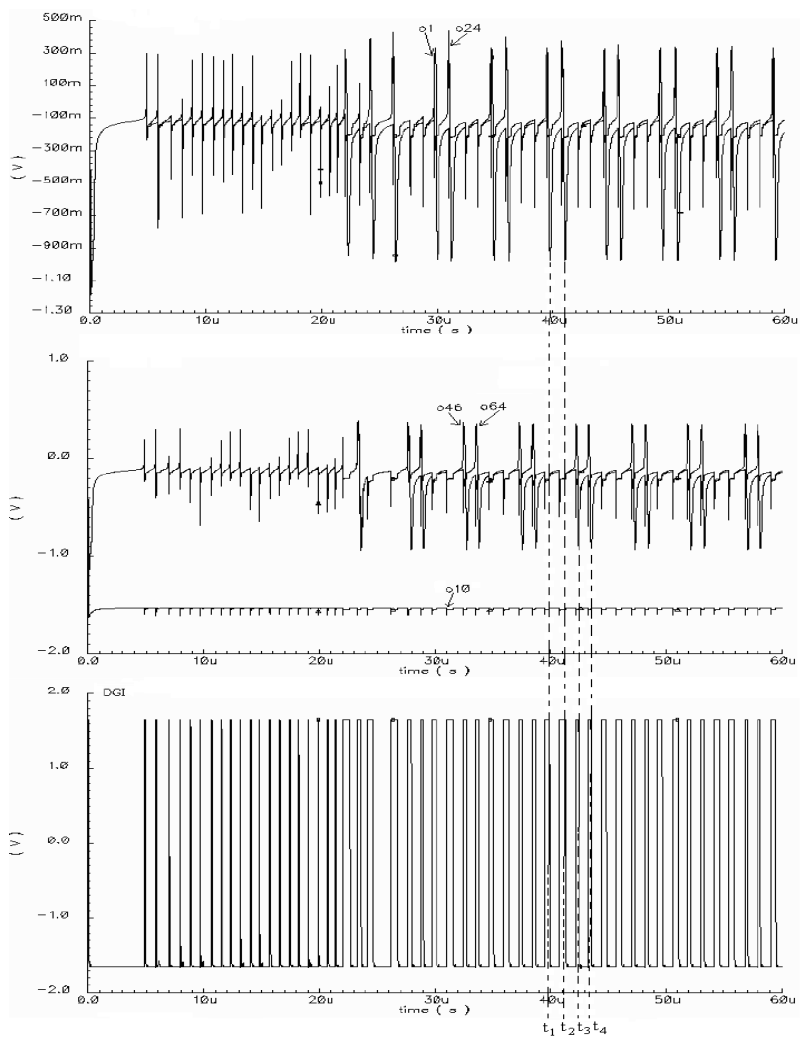
W środowisku Cadence połączono 63 komórki w SSO, jak pokazano na rys. 4.19a. Taką strukturę SSO w kształcie znaku plus wybrano ze względu na znacznie prostszą symulację z wykorzystaniem programu Spectre w porównaniu do pełnej sieci o wymiarach 32x32. Do sieci dołączono wymagane układy polaryzacji oraz globalny inhibitor, tak jak w poprzednim, prezentowanym przykładzie symulacji.

Sieć o takiej strukturze została poddana symulacji w środowisku programu Spectre, biorąc pod uwagę 5364 tranzystorów MOS i 39700 pojemności pasywnych powstałych w wyniku ekstrakcji (program Cadence). Tak jak poprzednio, do symulacji został wykorzystany model tranzystora MOS BSIM3v3.2. Rezultaty segmentacji przykładowego obrazu binarnego zawierającego 4 obiekty przedstawia rys. 4.19. Rysunek 4.19b prezentuje zmienne pobudzające V_1 oscylatorów dołączonych do czterech różnych obiektów oraz jedną zmienną pobudzającą V_1 oscylatora dołączonego do tła, zaś DGI przedstawia aktywność globalnego inhibitora. Oscylatory dołączone do danego obiektu są zsynchronizowane, zaś oscylatory dołączone do różnych obiektów są zdesynchronizowane. Dla chwil czasowych t1, t2, t3, i t4 jest możliwe wykrycie czterech obiektów na podstawie obserwowanej mapy aktywności oscylatorów.

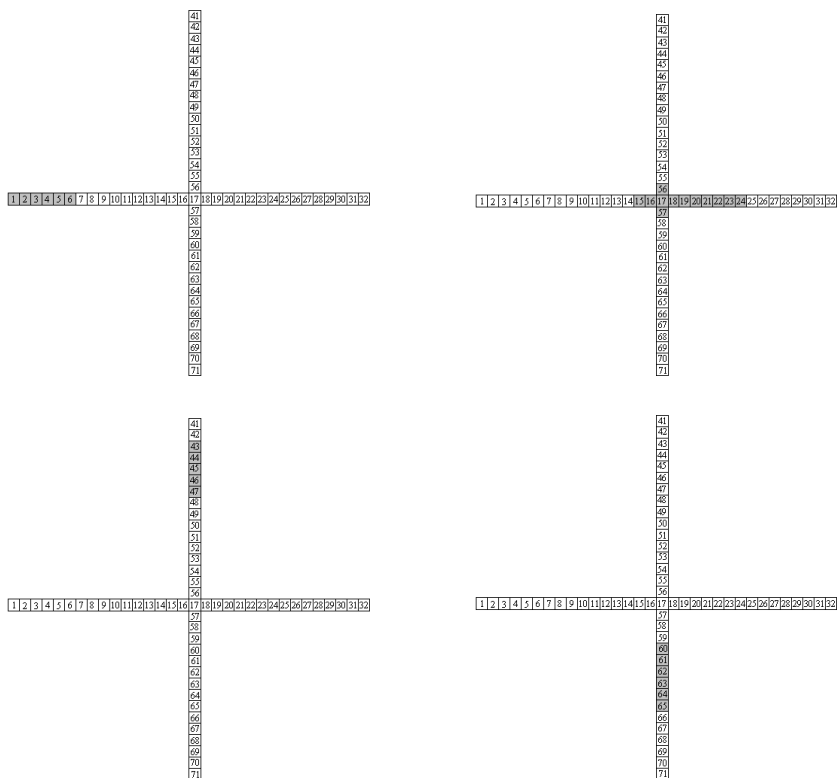
(a)



(b)



(c)

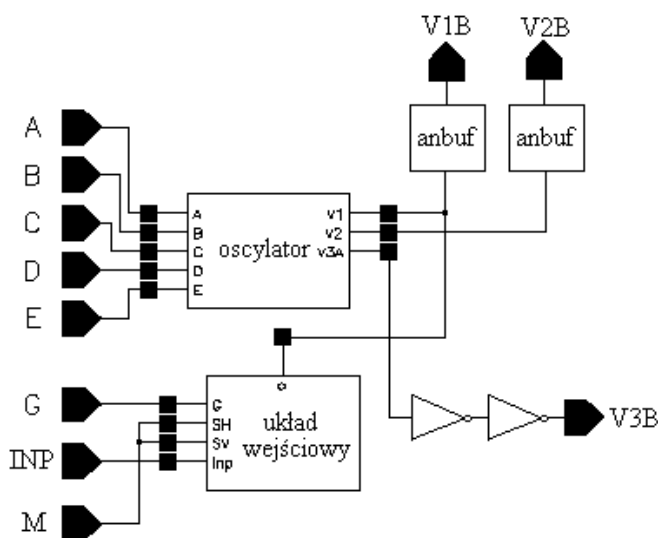


Rys. 4.19. Przykładowy obraz binarny zawierający 4 obiekty (a), przebiegi oscylatorów dołączonych do różnych obiektów obrazu (b), mapy aktywności oscylatorów (aktywne oscylatory zaznaczono na czarno) obserwowane w chwilach czasowych t1, t2, t3, t4 (c)

Mapy aktywności oscylatorów zapewniają prawidłową segmentację obrazu, co widać z rys. 4.19c. Podobnie jak w poprzednim przypadku, częstotliwość oscylacji w rozważanej sieci wynosi około 200 kHz.

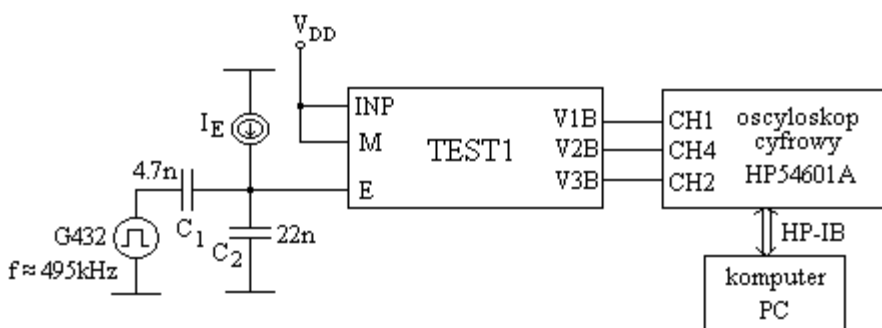
4.6. Pomiary podstawowych bloków funkcjonalnych SSO

Kluczowym blokiem funkcjonalnym zaprojektowanych układów scalonych realizujących SSO jest układ oscylatora. Schemat odseparowanej struktury testowej oscylatora zaimplementowany w układach scalonych implementujących SSO jest przedstawiony na rys. 4.20.



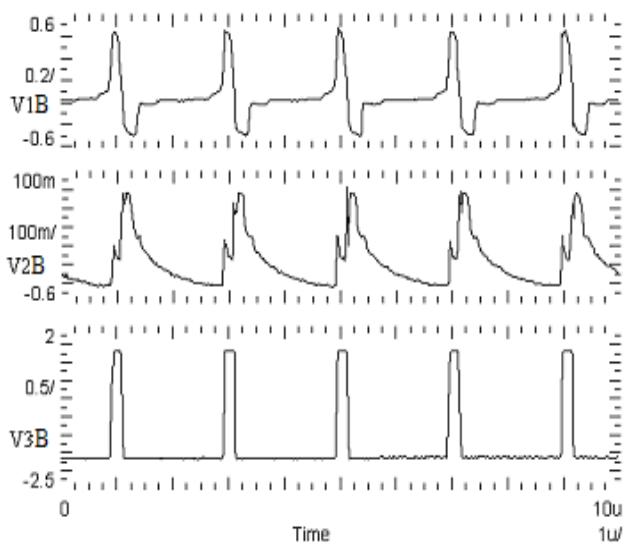
Rys. 4.20. Schemat struktury testowej oscylatora

Struktura testowa [Kowalski i Strzelecki 2005a] jest zbudowana z układu oscylatora, dwóch analogowych buforów (anbuf na rys. 4.20), jednego bufora cyfrowego oraz obwodu wejściowego. V1B jest zmienną pobudzającą oscylatora, V2B zmienną hamującą, zaś V3B jest wyrażoną cyfrowo zmienną V1B z progiem równym zero. Struktura ta została przetestowana z użyciem układu pomiarowego jak na rys. 4.21.



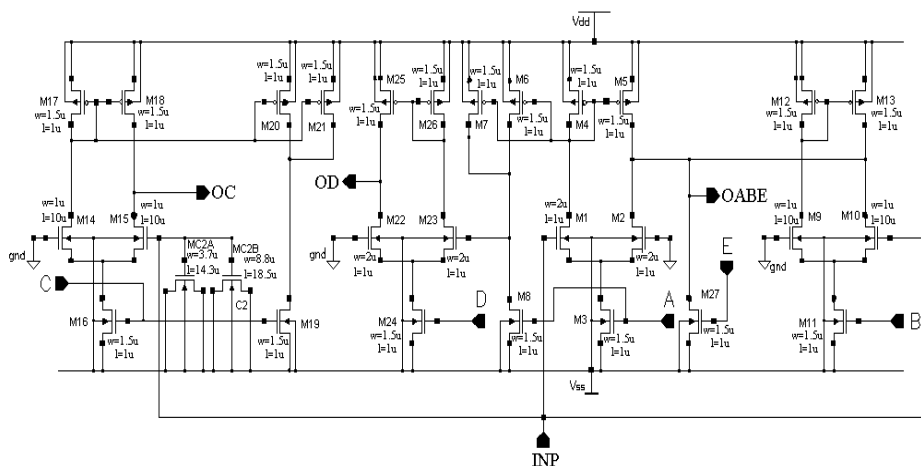
Rys. 4.21. Schemat pomiarowy do testowania układu oscylatora

Układ pomiarowy zawiera badaną strukturę oscylatora TEST1, cyfrowy oscyloskop połączony z komputerem PC przy użyciu interfejsu HP-IB oraz generator do prób zewnętrznej synchronizacji układu oscylatora. Rysunek 4.22 przedstawia przebiegi oscylacji zmiennych stanu V1B, V2B oraz przebieg V3B zaobserwowane dla przypadku, gdy $I_E = 1,5 \mu\text{A}$.

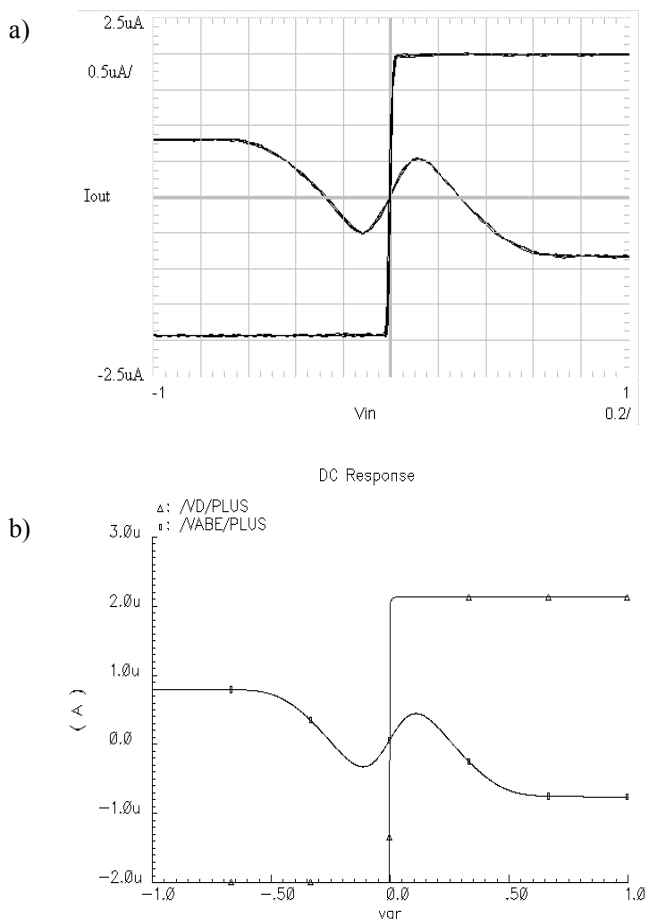


Wyniki pomiarów są zbliżone do rezultatów uzyskanych na drodze symulacji (program Spectre) przedstawionych na rys. 4.9. Wszystkie pomiary wykonano przy symetrycznym zasilaniu $V_{DD} = 1,65 \text{ V}$ i $V_{SS} = -1,65 \text{ V}$.

Wykorzystując zaimplementowaną w scalonej SSO strukturę testową, której schemat ideowy jest przedstawiony na rys. 4.23, wykonano pomiary charakterystyk przejściowych DC odpowiednich grup wzmacniaczy OTA, realizujących oscylator CMOS.



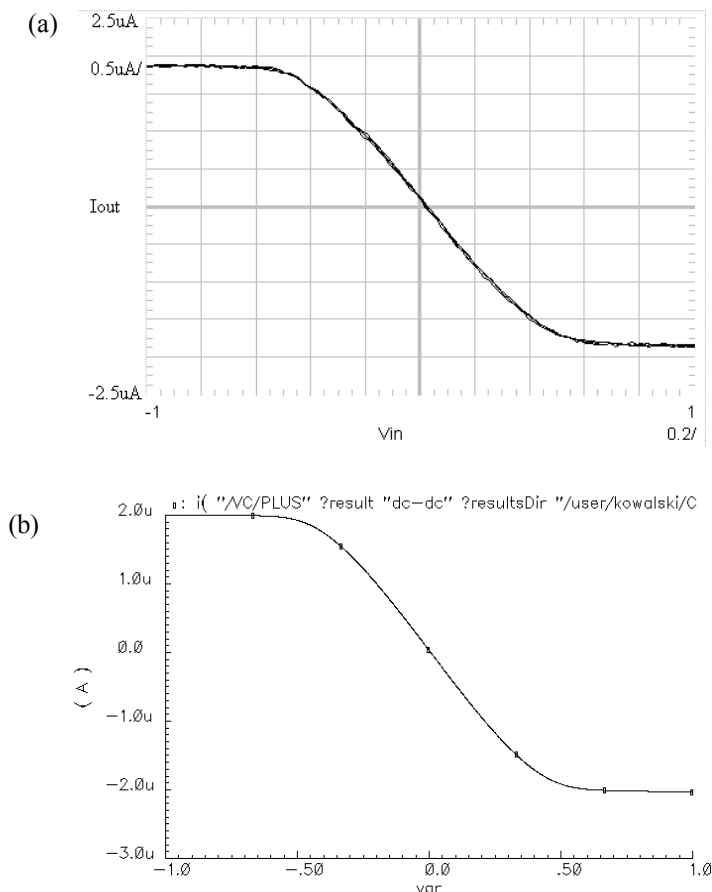
Do wejścia INP tej struktury podłączono generator wolnozmiennego przebiegu sinusoidalnego i obserwując prądy wyjść OABE, OD oraz OC zmierzono charakterystyki przejściowe DC. Przedstawiona na rys. 4.24a charakterystyka przejściowa DC o kształcie litery S została zmierzona przy założeniu, że $I_E = 0$, z wykorzystaniem wyjścia struktury testowej OABE (rys. 4.23). Realizuje ona funkcję $f_{AB} = I_A \tanh(aV_I) - I_B \tanh(bV_I)$. Druga charakterystyka przejściowa realizuje funkcję $f_D = I_D \tanh(dV_I)$ i została zmierzona wykorzystując wyjście struktury testowej OD.



Rys. 4.24. Charakterystyki przejściowe DC realizujące funkcje f_{AB} i f_D :
(a) pomiar, (b) symulacja

Wyniki symulacji charakterystyki przejściowej uzyskane za pomocą programu Spectre są zaprezentowane na rys. 4.24b. Rezultat pomiaru charakterystyki

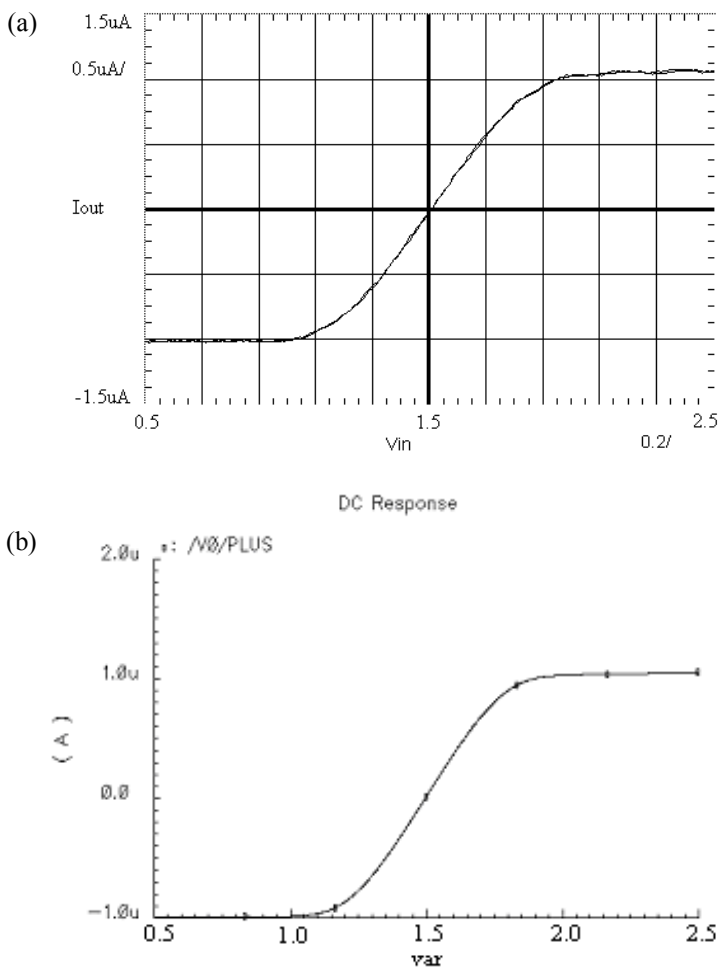
$f_C = I_C \tanh(cV_2)$ wykorzystując wyjście OC struktury testowej z rys. 4.23, jest przedstawiony na rys. 4.25a.



Rys. 4.25. Charakterystyka przejściowa DC realizująca funkcję f_C :
(a) pomiar, (b) symulacja

Ta sama charakterystyka uzyskana w wyniku symulacji (Spectre) jest pokazana na rys. 4.25b.

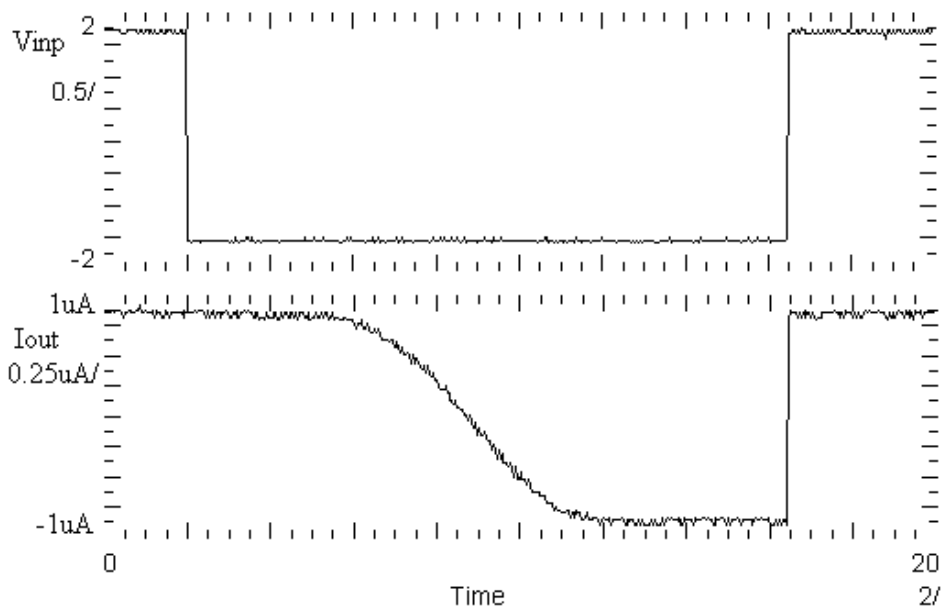
Schemat układu wejściowego do akwizycji jasności piksela obrazu przedstawiono na rys. 4.12. Charakterystykę przejściową DC $I_{out}(V_{inp})$ układu wejściowego zmierzoną przy zasilaniu niesymetrycznym $V_{DD} = 3,3$ V i $V_{SS} = 0$ V i włączonych tranzystorach M51, M52, przedstawia rys. 4.26a.



Rys. 4.26. Charakterystyka DC konwersji napięcia V_{in} na prąd I_{out} , dla układu wejściowego: (a) zmierzona, (b) wynik symulacji (Spectre)

W porównaniu do charakterystyki otrzymanej drogą symulacji komputerowej (program Spectre, krzywa „b”), zmierzona charakterystyka (krzywa „a”) posiada niewielki offset oraz nasycą się przy prądzie nieco innym niż 1 μA .

Rysunek 4.27 przedstawia przebiegi czasowe obserwowane podczas pomiaru czasu pamiętania układu wejściowego.



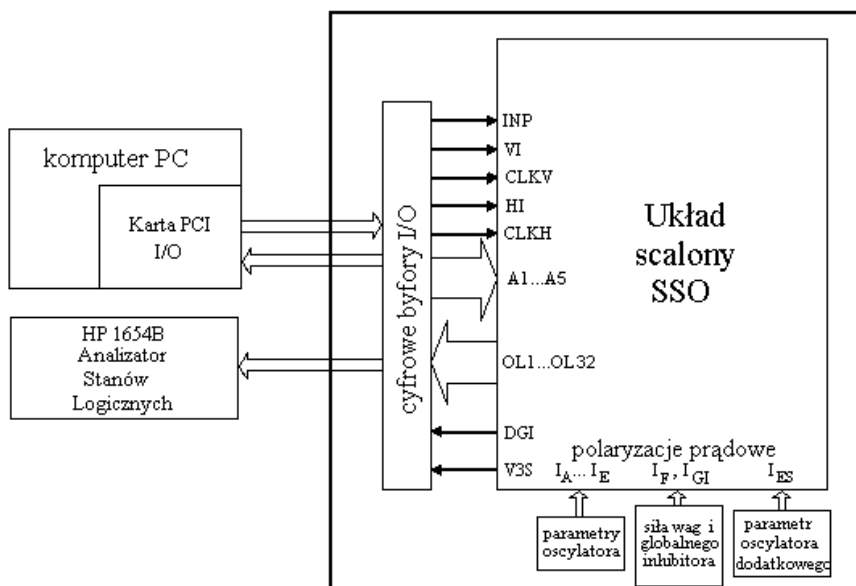
Rys. 4.27. Wynik obserwacji oscyloskopowej podczas pomiaru czasu pamiętania układu wejściowego

Górny przebieg V_{in} przedstawia sygnał wejściowy. Sygnał ten jest opóźniony względem sygnałów przełączających SH i SV (rys. 4.12) tak, aby w czasie wyłączenia tranzystorów M51, M52 (rys. 4.12) przebieg V_{in} miał jeszcze stan wysoki. Dolny przebieg przedstawia prąd wyjściowy po konwersji. Można zauważyć, że stan wysoki jest pamiętany przez około 4 sekundy, po czym następuje utrata ładunku zgromadzonego w bramkach tranzystorów M53, M54 przez złącze podłożowe tranzystora M52 tak, że po około 10 sekundach stan ten zmienia się na niski.

4.7. Platforma do testowania zintegrowanej SSO

Do testowania chipu implementującego SSO została zaprojektowana specjalna platforma pomiarowa. Platforma ta umożliwiła eksperymentalne sprawdzenie poprawności realizacji przez sieć zadania segmentacji obrazów binarnych. Schemat blokowy platformy do testowania zintegrowanych SSO przedstawia rys. 4.28. Platforma testowa składa się z następujących podstawowych elementów:

- a) komputer PC,
- b) uniwersalna karta PCI I/O NI PCI 7831R firmy National Instruments,
- c) specjalny moduł zawierający testowany układ scalony implementujący SSO.



Rys. 4.28. Schemat blokowy platformy do testowania układów scalonych realizujących SSO

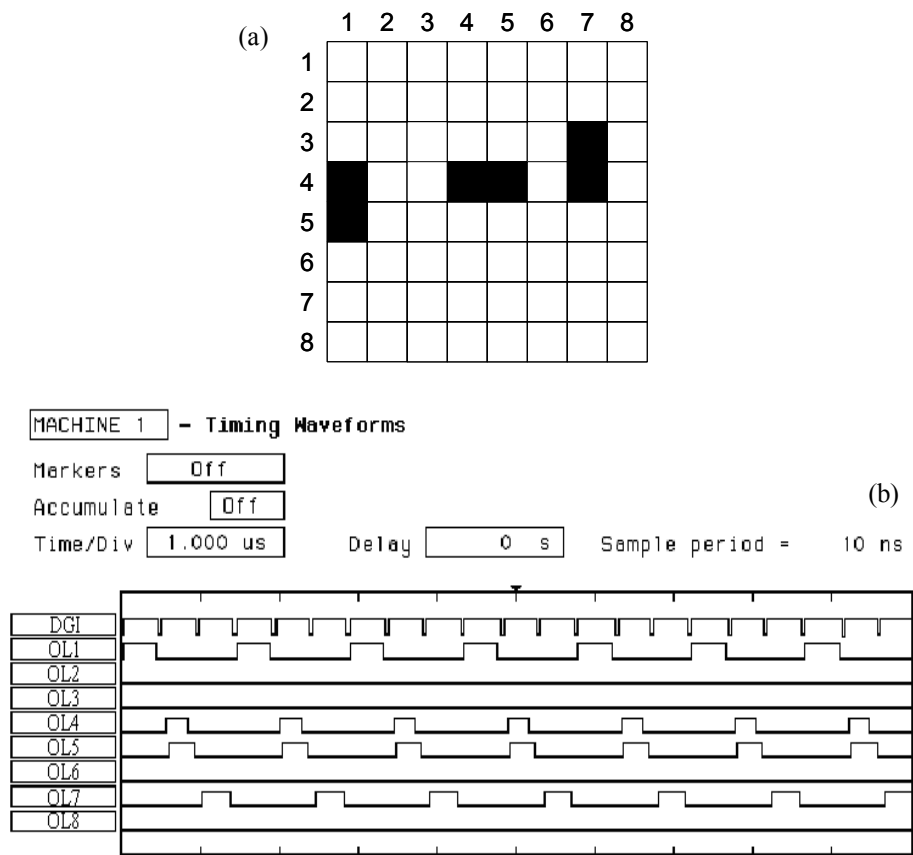
Komputer PC pracujący pod systemem operacyjnym MS Windows XP służy do programowania uniwersalnej karty I/O NI PCI 7831R w środowisku LabView ver. 7.1. Karta ta posiada 96 cyfrowych rekonfigurowanych wejść/wyjść. Częstotliwość jej pracy wynosi 40MHz. Karta posiada wewnętrzną strukturę FPGA. 10 cyfrowych rekonfigurowanych wejść/wyjść karty zostało skonfigurowanych jako wyjścia służące do wprowadzania binarnego obrazu do scalonej SSO. Są to: CLKH, HI, CLKV, VI i INP. Pozostałych 5 wyjść karty zostało wykorzystanych do adresowania 32 wierszy wyjść oscylatorów (sygnały A1, A2 ... A5 na rys. 4.28). W przypadku testowania układu scalonego implementującego SSO o wymiarach matrycy komórek 8x8 do adresowania są wykorzystywane tylko sygnały A1, A2, A3. 34 cyfrowe wejścia/wyjścia karty PCI zostały skonfigurowane jako wejścia. 32 z nich (OL1,..., OL32 na rys. 4.28) są użyte do odczytu aktywności zaadresowanego wiersza oscylatorów. W przypadku testowania scalonej SSO 8x8 wykorzystuje się tylko 8 wejść: OL1,..., OL8. Pozostałe dwa wejścia są wykorzystywane do odczytu aktywności globalnego inhibitora (DGI) i dodatkowego oscylatora (V3S). Karta I/O jest połączona ze specjalnym modułem zawierającym testowany układ scalony o strukturze SSO. Moduł ten jest wyposażony we własne bufory cyfrowe, dopasowujące poziomy logiczne scalonej sieci poziomów karty, a także w obwody służące do sterowania parametrami oscylatorów, połączeń synaptycznych i globalnego inhibitora.

Parametrami tymi są odpowiednie polaryzacje prądowe $I_A, I_B, I_C, I_D, I_E, I_{ES}, I_F, I_{GI}$ występujące we wzorach (4.2) i (4.6). Istnieje także możliwość włączania i wyłączania dodatkowego oscylatora oraz globalnego inhibitora. Oprogramowanie napisane w środowisku LabView pozwala edytować, przechowywać i odczytywać z twardego dysku przykładowe obrazy binarne. Obrazy takie mogą być następnie wprowadzane do testowanego układu scalonego implementującego SSO. Piksele obrazu są wprowadzane szeregowo do układu scalonego, używając sygnałów synchronizacji HI oraz VI, jak zostało to opisane w podrozdziale 4.3. Ze względu na wpływ ładunku w układach wejściowych (rys. 4.12 oraz rys. 4.27) obraz musi być odświeżany z określoną częstotliwością. Okres odświeżania jest kontrolowany przez oprogramowanie w LabView. Program jest zapisywany do struktury FPGA karty i pozwala na zmiany okresu odświeżania od 1ms z krokiem 1ms. Pomiary układu wejściowego wykazały, że okres odświeżania nie powinien być dłuższy niż 4 s (rys. 4.27). Po załadowaniu obrazu do sieci, oscylatory zaczynają pracować. Wyjścia oscylatorów w wierszach zaadresowanych za pomocą odpowiedniego oprogramowania, mogą być obserwowane. Zmianę adresu wiersza oscylatorów można wykonać natychmiastowo w oprogramowaniu. Polaryzacje prądowe $I_A, I_B, I_C, I_D, I_E, I_{ES}, I_F, I_{GI}$ są ustawiane na module zawierającym testowany układ scalony o strukturze SSO. Do obserwacji wyjść komórek SSO służy analizator stanów logicznych HP1654B. Jest on podłączony przez złącze RS232 z komputerem PC, co umożliwia rejestrację przebiegów aktywności oscylatorów. Przebiegi oscylatorów są także odczytywane przez kartę I/O PCI za pomocą oprogramowania w LabView i dzięki temu może być przeprowadzana segmentacja obrazów na podstawie analizy aktywności oscylatorów SSO.

4.8. Wyniki testów skuteczności działania SSO w zakresie segmentacji obrazów binarnych

Przykładowy obraz binarny poddany segmentacji przez układ scalony realizujący SSO o wymiarach 8x8 jest pokazany na rys. 4.29a [Strzelecki i Kowalski 2005, Kowalski i Strzelecki 2005c, Strzelecki i inni 2006]. Zawiera on trzy obiekty tak ustawione, że w linii nr 4 znajdują się fragmenty wszystkich trzech obiektów. Pozwala to wyciągać wnioski dotyczące zachowania SSO na bazie obserwacji aktywności oscylatorów z linii czwartej. Okres odświeżania obrazu w sieci został ustawiony na 1 s. Parametry oscylatorów, wag i globalnego inhibitora zostały ustawione na typowe wartości, co opisano w poprzednich podrozdziałach. Uzyskano desynchronizację drgań oscylatorów należących do różnych obiektów oraz synchronizację oscylatorów należących do tych samych obiektów. Dodatkowy oscylator był wyłączony. Przebiegi zaobserwowane na analizatorze

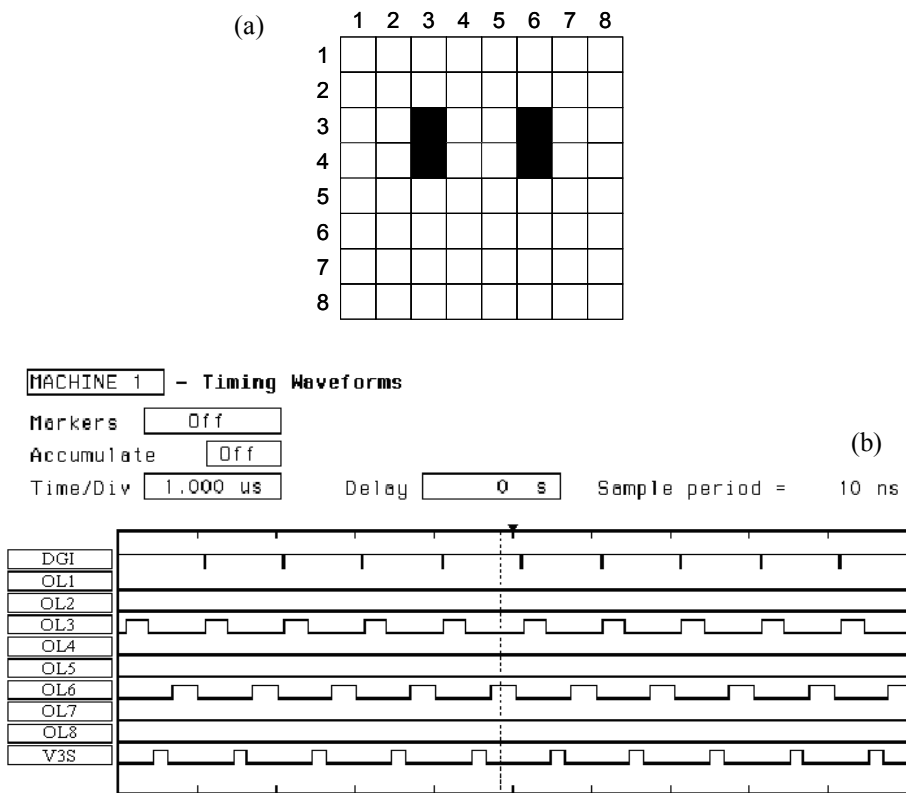
stanów logicznych dołączonym do wyjść OL1,..., OL8 oraz DGI (rys. 4.28) przedstawiono na rys. 4.29b.



Rys. 4.29. Przykładowy obraz binarny zawierający 3 obiekty (a), przebiegi na wyjściach DGI, OL1,..., OL8 (b)

Można zauważyć, że drgania oscylatorów 4 i 5 są zsynchronizowane, zaś oscylatorów 1, 5, 7 są rozsynchronizowane. Czas segmentacji wynosi niewiele powyżej 1 μ s (okres drgań oscylatorów). Rysunek 4.29b przedstawia też aktywność globalnego oscylatora DGI. Jest on aktywny tylko wtedy, kiedy przynajmniej jeden oscylator w sieci jest aktywny.

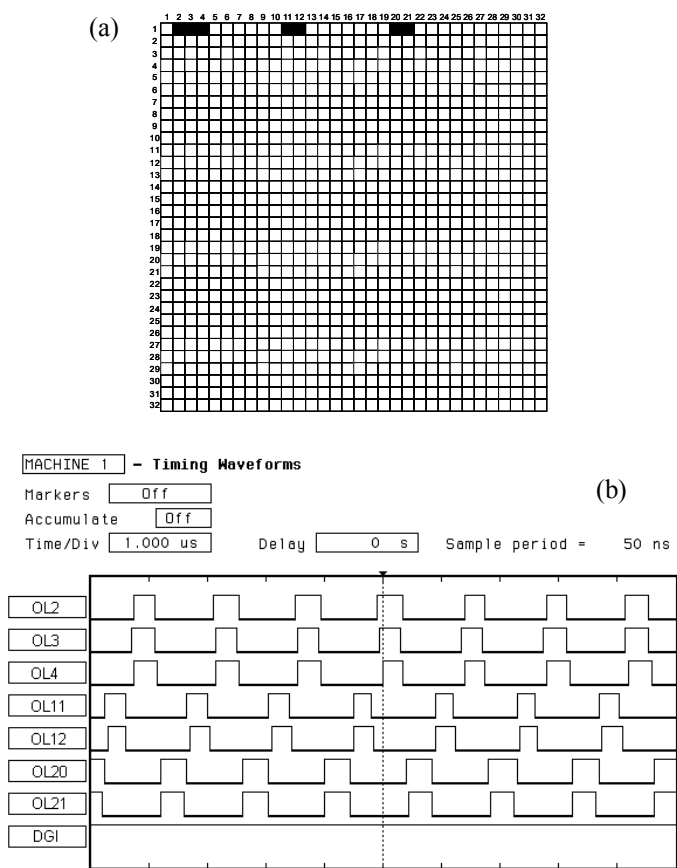
W powyższym przykładzie trudno jest określić koniec procesu segmentacji. Aby to zrobić, należy włączyć dodatkowy oscylator. Segmentacja obrazu z włączonym dodatkowym oscylatorem jest przedstawiona na rys. 4.30.



Rys. 4.30. Przykładowy obraz binarny zawierający 2 obiekty (a), przebiegi na wyjściach DGI, OL1,..., OL8, V3S (b)

Rysunek 4.30a przedstawia obraz zawierający 2 obiekty poddany procesowi segmentacji, zaś rys. 4.30b przebiegi OL1,..., OL8 z wyjść oscylatorów zaadresowanej linii czwartej oraz aktywność globalnego inhibitora DGI i dodatkowego oscylatora V3S. Segmentacja jest wykonywana pomiędzy dwoma sąsiednimi, aktywnymi stanami dodatkowego oscylatora V3S. Także analiza przebiegów oscylatorów mogłaby być ograniczona do tego przedziału czasu. Dodatkowy oscylator można rozważać jako reprezentujący ekstra obiekt, dlatego dezynchronizuje on swoje drgania z oscylatorami dołączonymi do obiektów obrazu. Oscylatory SSO pracują w sposób ciągły, uaktywnienie się dodatkowego oscylatora wskazuje na początek procesu segmentacji, a następna jego aktywność mówi nam, że wszystkie obiekty w obrazie zostały wykryte i cały ten proces zaczyna się od nowa. W ten sposób pełna informacja o wykrytych obiektach w obrazie może być odnaleziona pomiędzy dwoma sąsiednimi stanami aktywnymi V3S dodatkowego oscylatora. Czas segmentacji także wynosi tu około 1 μ s.

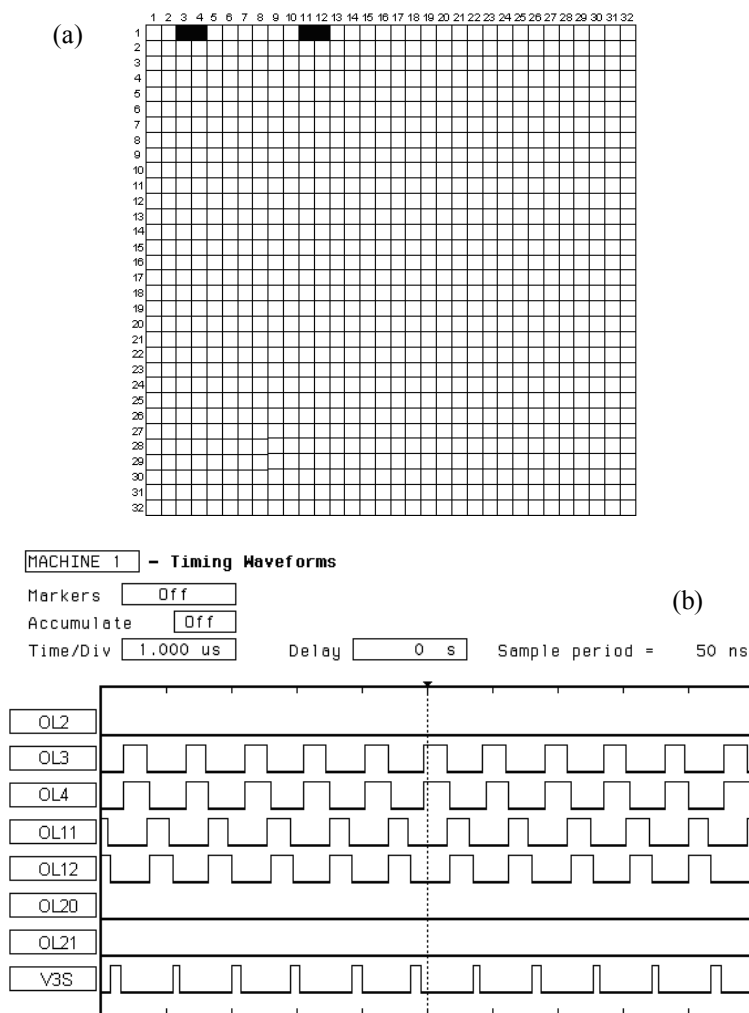
Obraz binarny poddany segmentacji przez układ scalony implementujący SSO o wymiarach 32x32 jest pokazany na rys. 4.31a [Strzelecki i Kowalski 2005]. Zawiera on 3 obiekty zlokalizowane w pierwszej linii obrazu. Okres odświeżania obrazu w scalonej SSO został ustawiony na 1 s. Przebiegi drgań oscylatorów dla pierwszej linii obrazu są przedstawione na rys. 4.31b.



Rys. 4.31. Obraz binarny zawierający 3 obiekty (a), przebiegi drgań oscylatorów (linia 1) (b)

Łatwo jest zauważyć, że oscylatory 2, 3, 4 są zsynchronizowane, oscylatory 11, 12 są zsynchronizowane i oscylatory 20, 21 są także zsynchronizowane. Trzy grupy oscylatorów 2, 3, 4 i 11, 12 oraz 20, 21 są rozsynchronizowane. Analiza tych przebiegów potwierdza prawidłową segmentację obrazu. Czas segmentacji wynosi też nieco ponad 1 μ s. Na rys. 4.31b można zauważyć jednak różnice we współczynnikach wypełnienia drgań poszczególnych oscylatorów oraz fakt, że DGI jest cały czas aktywny. Różnice we współczynnikach wypełnienia drgań oscylatorów powodują brak takich chwil, kiedy wszystkie oscylatory są nie-

aktywne. Rozrzut współczynników wypełnienia i częstotliwości drgań oscylatorów jest wywołany rozrzutem parametrów tranzystorów MOS [Pelgrom i inni 1989] w układzie scalonym o strukturze SSO. Wszystkie oscylatory w sieci są zawsze aktywne i stan globalnego inhibitora jest wysoki. Aby określić początek i koniec procesu segmentacji włączono dodatkowy oscylator. Segmentacja obrazu z włączonym dodatkowym oscylatorem jest przedstawiona na rys. 4.32. Obraz poddany segmentacji zawierający 2 obiekty przedstawiono na rys. 4.32a. Rysunek 4.32b pokazuje przebiegi drgań oscylatorów z pierwszej linii obrazu oraz aktywność dodatkowego oscylatora V3S.



Rys. 4.32. Obraz binarny zawierający 2 obiekty (a), przebiegi drgań oscylatorów (linia 1) z aktywnym dodatkowym oscylatorem (b)

Proces segmentacji jest następnie wykonywany pomiędzy dwoma sąsiednimi aktywnymi stanami V3S dodatkowego oscylatora. Pełna informacja o obiektach w segmentowanym obrazie może być znaleziona właśnie w tym przedziale czasu. Czas segmentacji wynosi także około 1 μ s.

4.9. Idea strojenia oscylatorów

Podczas pierwszych testów funkcjonalnych układów scalonych implementujących SSO (podrozdział 4.8) zauważono problemy z synchronizacją oscylatorów podłączonych do długich obiektów w obrazie. Problem ten jest wywołany przez rozrzut okresów drgań oscylatorów [Cosp i Madrenas 2003, Cosp i inni 2004]. Układy oscylatorów są wykonane w technice analogowej i dlatego rozrzut parametrów tranzystorów MOS [Pelgrom i inni 1989] w scalonej SSO wywołuje rozrzut częstotliwości drgań własnych oscylatorów. Pewna poprawa synchronizacji może być osiągnięta przez zwiększenie siły wag połączeń synaptycznych między oscylatorami, co może być zrobione poprzez zwiększenie prądu polaryzacji I_F w układzie scalonym realizującym SSO. Metoda ta czasami jest nieefektywna, ponieważ może prowadzić do problemów z rozsynchronizowaniem grup oscylatorów należących do różnych obiektów. Najlepszą metodą byłoby zestrojenie drgań swobodnych wszystkich oscylatorów SSO do jednej częstotliwości. Aby to było możliwe, każdy oscylator musi mieć możliwość dostrajania przynajmniej jednego parametru odpowiedzialnego za częstotliwość drgań, osobno dla wszystkich oscylatorów sieci. Ze względu na dość dużą liczbę oscylatorów w sieci, implementacja mechanizmu ich strojenia i wprowadzenie do układu scalonego takiego mechanizmu może znacznie zwiększyć powierzchnię płytki krzemowej i, co za tym idzie, zwiększyć koszty. Wprowadzanie obrazu do układu scalonego o strukturze SSO, połączone z jednoczesnym dostrajaniem częstotliwości drgań oscylatorów, wydaje się być najprostszą metodą rozwiązania tego problemu. Procedura strojenia oscylatorów może być zrealizowana wykorzystując analogowe własności układu wejściowego komórki SSO (rys. 4.12). Zmierzona i uzyskana w wyniku symulacji charakterystyka przejściowa $I_{out}(V_{inp})$ układu wejściowego jest przedstawiona na rys. 4.26. W przypadku wprowadzania obrazu do scalonej SSO bez strojenia $I_{out} = I_G = 1 \mu A$ dla pikseli reprezentujących obiekty w obrazie, zaś $I_{out} = -I_G = -1 \mu A$ dla pikseli tła. Zakres przejściowy charakterystyki $I_{out}(V_{inp})$ układu wejściowego do tej pory nie był wykorzystywany, ale może być zastosowany do strojenia częstotliwości drgań oscylatorów. W przypadku wprowadzania obrazu do układu scalonego realizującego SSO ze strojeniem zakres przejściowy charakterystyki $I_{out}(V_{inp})$ będzie wykorzystywany i dla pikseli reprezentujących obiekty w obrazie,

$I_{out} = I_G \tanh\{g(V_{inp} - 1,5 \text{ V})\}$, zaś dla pikseli tła $I_{out} = -1 \mu\text{A}$ (przy zasilaniu układu scalonego pojedynczym napięciem 3 V, g – stała). Oznacza to, że napięcie V_{inp} wprowadzane do układu scalonego dla pikseli obiektów w obrazie może być dostrajane tak, aby swobodne drgania wszystkich oscylatorów SSO miały jednakową częstotliwość. Możemy zaobserwować na charakterystyce z rys. 4.26, że maksymalny zakres strojenia prądu I_{out} jest od 1 μA do -1 μA i odpowiada to efektywnemu zakresowi napięcia V_{inp} od 2 V do 1 V. Dla pikseli tła obrazu $V_{inp} = 0 \text{ V}$. Wprowadźmy następującą macierz współczynników dostrożeń (przypadek SSO 32x32):

$$\mathbf{K} = \begin{bmatrix} k_{11} & k_{12} & \dots & k_{1\ 32} \\ k_{21} & k_{22} & \dots & k_{2\ 32} \\ \dots & \dots & \dots & \dots \\ k_{32\ 1} & k_{32\ 2} & \dots & k_{32\ 32} \end{bmatrix} \quad (4.7)$$

Zakładając, że maksymalne wejściowe napięcie wynosi $V_{inp} = 3 \text{ V}$, dla pikseli dotyczących obiektów w obrazie mamy:

$$I_{out\ i,j} = I_G \tanh\{g(3\text{V} \cdot k_{ij} - 1\text{V})\} \quad i, j = 1 \dots 32 \quad (4.8)$$

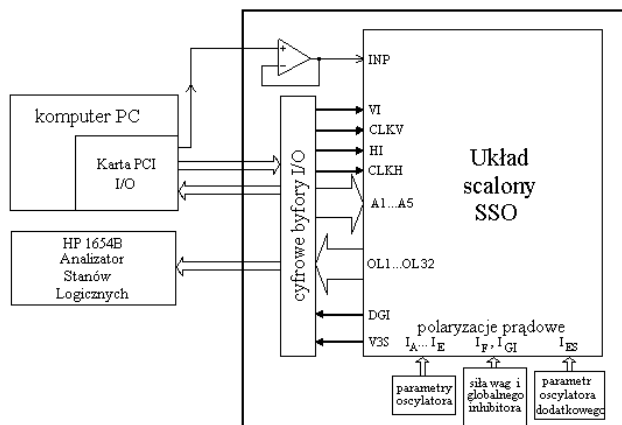
Algorytm strojenia oscylatorów

1. Wprowadź do układu scalonego realizującego SSO obraz jednego obiektu dla wszystkich pikseli. Ustaw $I_F = 0$ i $I_{GI} = 0$, aby oscylatory oscylowały bez połączeń synaptycznych oraz bez udziału globalnego inhibitora (drgania swobodne oscylatorów). Wszystkie oscylatory w SSO powinny oscylować. Jeżeli nie, to zmniejsz nieco prąd polaryzacji I_E .
2. Zakładając wstępnie $k_{ij} = 1$ dla $i, j = 1 \dots 32$, znajdź oscylator w SSO o najmniejszej częstotliwości drgań swobodnych f_S .
3. Dla każdego oscylatora w SSO dostrajaj jego współczynnik k_{ij} krok po kroku tak, aby częstotliwości drgań wszystkich oscylatorów były jak najbliższe wartości f_S .

Wynikiem działania procedury strojenia oscylatorów jest macierz współczynników dostrożeń $\mathbf{K}$, która jest zapamiętywana dla danego egzemplarza układu scalonego implementującego SSO. Precyzja segmentacji obrazów przez scaloną SSO będzie zależała od precyzji podanej procedury. Procedura ta została zimplementowana w środowisku LabView i służy do automatycznego strojenia oscylatorów SSO w układzie scalonym.

4.10. Ulepszona platforma do testowania zintegrowanej SSO

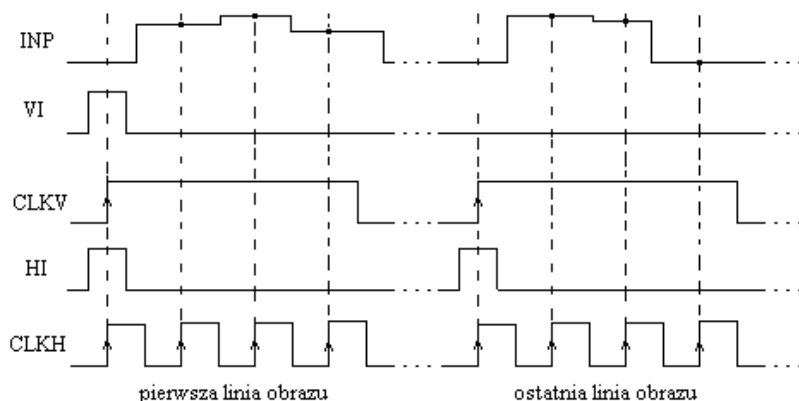
Platforma do testowania układów scalonych implementujących SSO z rys. 4.28 została w niewielkim stopniu zmodyfikowana, jak pokazuje rys. 4.33.



Rys. 4.33. Schemat blokowy ulepszonej platformy do testowania zintegrowanych SSO

Zamiast cyfrowego wyjścia z karty PCI I/O wykorzystano jedno z jej analogowych wyjść. Wyjście to zostało podłączone przez bufor analogowy do wejścia INP układu scalonego realizującego SSO. Umożliwia to wprowadzanie obrazu do zintegrowanej sieci i jej zestrojenie.

Przebiegi sterujące wymagane przy wprowadzaniu obrazu wraz ze strojeniem częstotliwości oscylatorów przedstawia rys. 4.34.

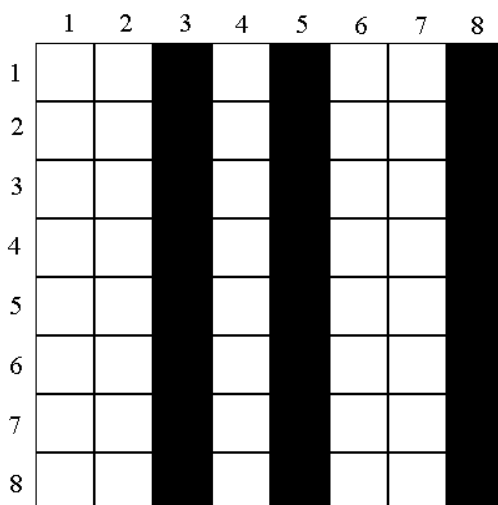


Rys. 4.34. Wymagane przebiegi sterujące przy wprowadzaniu obrazu ze strojeniem oscylatorów

Dzięki wykorzystaniu wyjścia analogowego karty PCI I/O stało się możliwe automatyczne strojenie oscylatorów w układach scalonych o strukturze SSO oraz uwzględnienie, przy wprowadzaniu obrazu do układu współczynników macierzy dostrożeń **K**, uzyskanych na etapie strojenia.

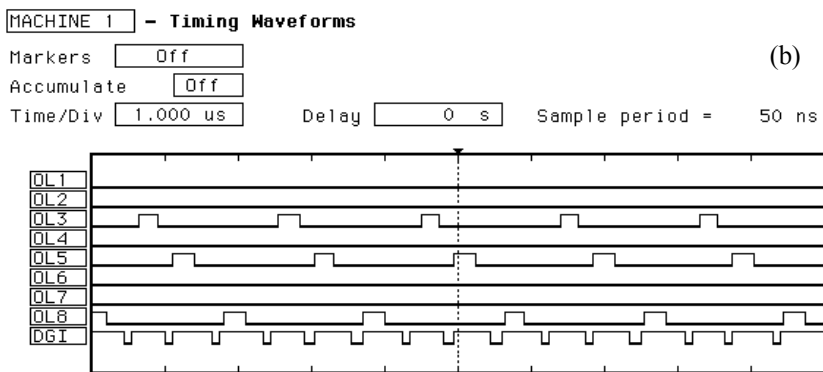
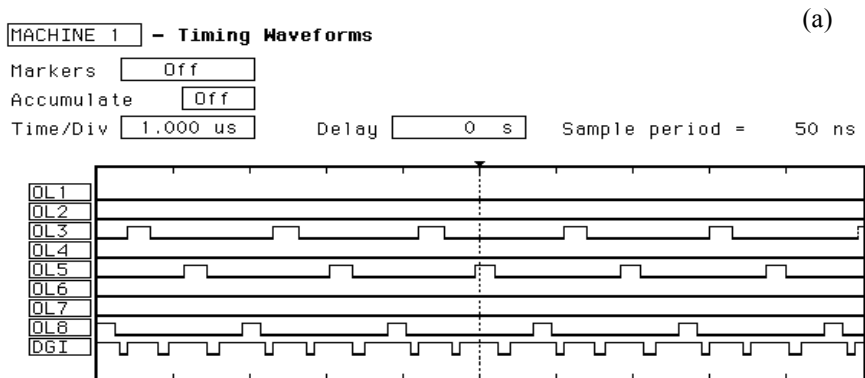
4.11. Rezultaty testów dotyczących segmentacji obrazów przy użyciu ulepszonej platformy testowej

Binarny obraz poddany segmentacji przez zestrojony układ scalony implementujący SSO o wymiarach macierzy oscylatorów 8x8 przedstawia rys. 4.35 [Kowalski i inni 2006].



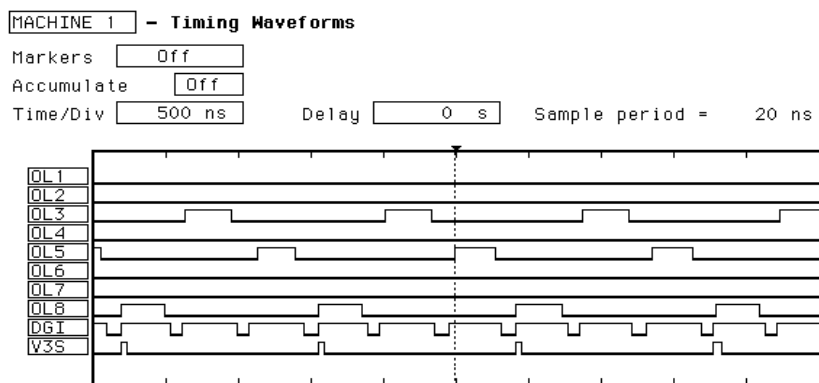
Rys. 4.35. Obraz poddany segmentacji

Obraz też zawiera 3 obiekty o długości ośmiu pikseli. Przed przystąpieniem do zadań segmentacji obrazów układ ten został automatycznie zestrojony. W wyniku tej procedury powstała macierz współczynników dostrożeń **K** wykorzystywana dalej przy funkcjonalnym testowaniu tego układu scalonego. Okres odświeżania obrazu w scalonej SSO został ustawiony na 1s, zaś dodatkowy oscylator został wyłączony. Przebiegi drgań oscylatorów dla pierwszej linii obrazu są przedstawione na rys. 4.36a, zaś dla siódmej linii na rys. 4.36b.



Rys. 4.36. Przebiegi oscylatorów dla linii 1 (a), dla linii 7 (b)

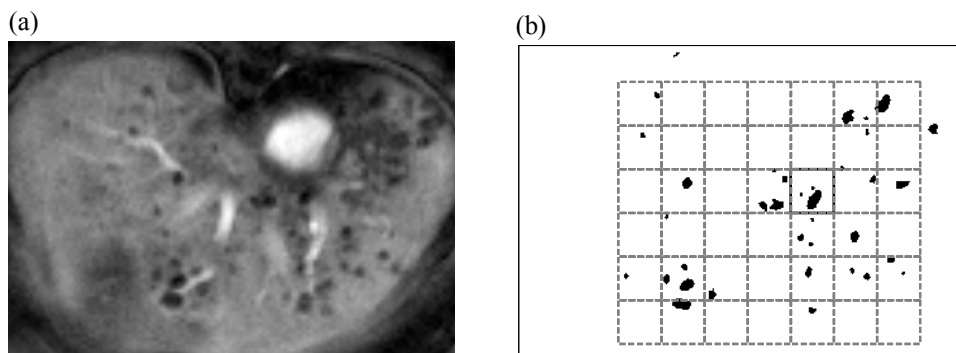
Przebiegi na rys. 4.36 bezpośrednio nie pozwalają na określenie początku i końca cyklu procedury segmentacji. Aby to uczynić, włączono dodatkowy oscylator. Wyniki segmentacji obrazu dla pierwszej linii z włączonym dodatkowym oscylatorem przedstawia rys. 4.37.



Rys. 4.37. Przebiegi oscylatorów z linii 1 z włączonym dodatkowym oscylatorem

Po tej operacji liczba wykrytych obiektów przez scaloną SSO może być łatwo policzona jako liczba impulsów globalnego inhibitora DGI pomiędzy dwoma sąsiednimi impulsami dodatkowego oscylatora V3S.

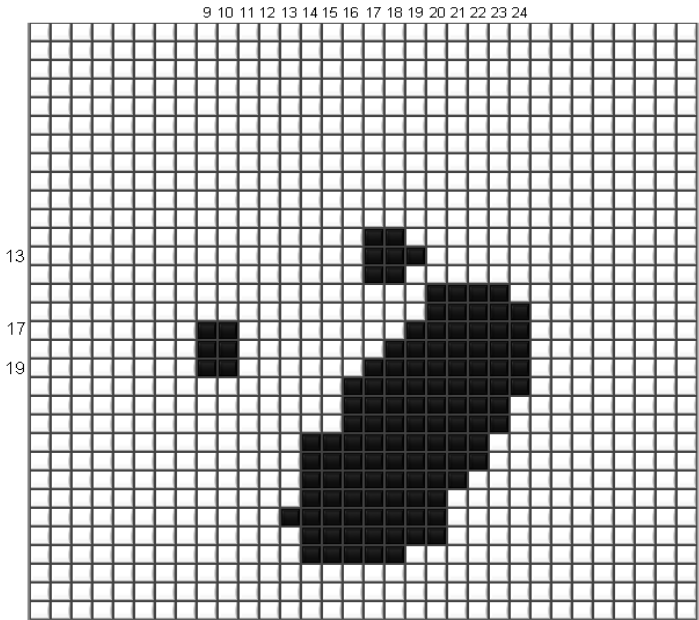
SSO w postaci układu scalonego o wymiarach maczyzy oscylatorów 32x32 może mieć praktyczne zastosowanie do segmentacji binarnych obrazów biomedycznych [Kowalski i Strzelecki 2008, Kowalski i inni 2011]. Układ ten został automatycznie zestrojony przy użyciu procedury zaimplementowanej w środowisku LabView, a uzyskana macierz współczynników **K** została wykorzystana do wprowadzania obrazu z korekcją częstotliwości pracy oscylatorów. Działanie sieci zostało przetestowane na przykładzie segmentacji obrazu rezonansu magnetycznego (MR) wysp trzustkowych w wątrobie szczura. Technika ta jest używana do leczenia cukrzycy typu 1 [Jirak i inni 2009]. Metodą transplantacji do wątroby przeszczepiono wyspy trzustkowe (wyspy Langerhansa) z trzustki zdrowego dawcy. Wyspy te zawierają m.in. komórki beta, które produkują insulinę. Aby ocenić sukces transplantacji, należy oszacować liczbę aktywnych wysp trzustkowych widocznych w obrazie MR wątroby. Przykładowy obraz MR wątroby szczura jest przedstawiony na rys. 4.38a, gdzie aktywne wyspy trzustkowe są widoczne jako czarne plamy. Rysunek 4.38b przedstawia ten sam obraz po przekształceniu go do postaci binarnej metodą lokalnego progowania.



Rys. 4.38. Obraz MR wątroby szczura z widocznymi wyspami trzustkowymi (a), ten sam obraz po przejściu na postać binarną (b), kwadraty narysowane przerywaną linią do segmentacji z użyciem SSO

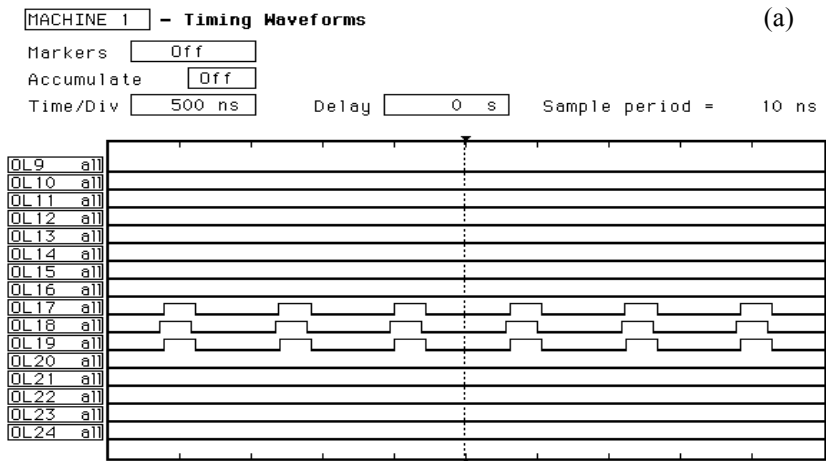
Aby wykonać segmentację i policzyć wyspy trzustkowe, obraz został podzielony na niezachodzące na siebie okna o wymiarach 32x32, co przedstawia rys 4.38b (kwadraty narysowane przerywaną linią). Każde okno oddzielnie zostało następnie poddane segmentacji. Wszystkim wykrytym obiektom w oknie nadano odpowiednie etykiety. Przebadano granice każdego okna, aby sprawdzić, czy wykryte wyspy trzustkowe nie należą też do innych okien. Jeżeli należą, to ich etykiety zostały przekonwertowane do pojedynczej etykiety. Te operacje zostały

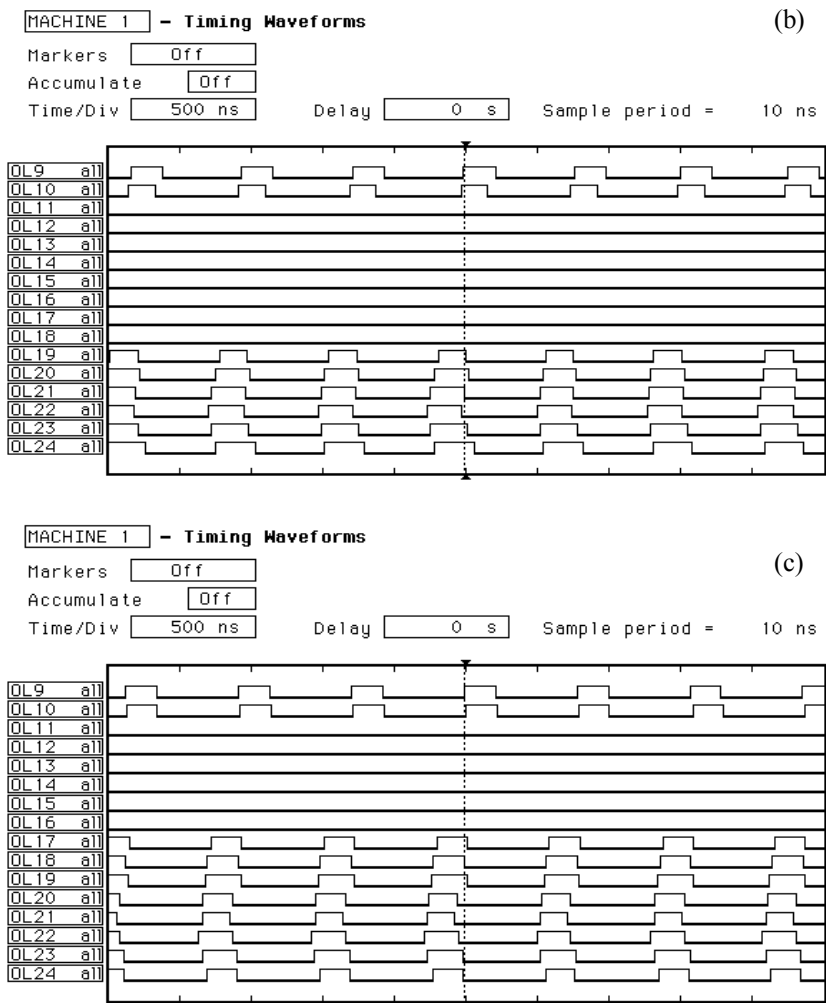
wykonane poza układem scalonym. Działanie zintegrowanej SSO zilustrowano na przykładzie okna zaznaczonego linią ciągłą na rys. 4.38b. Okno to jest szczegółowo przedstawione na rys. 4.39. Obraz zawarty w tym oknie został wprowadzony do zintegrowanej SSO.



Rys. 4.39. Przykładowe okno przetwarzane przez zintegrowaną SSO

Okres odświeżania obrazu w analizowanym przykładzie ustawiono na 1 s, zaś dodatkowy oscylator był wyłączony. Przebiegi oscylatorów dla linii 13, 17 i 19 przedstawiono na rys. 4.40.





Rys. 4.40. Przebiegi oscylatorów dla linii 13 (a), linii 17 (b), i linii 19 (c)

Przykładowo dla linii 17 i 19 oscylatory 9, 10 i 19-24 są zsynchronizowane, podczas gdy obie te grupy oscylatorów są rozsynchronizowane, co odpowiada różnym obiektom. Oscylatory 17-19 z rys 4.40a (linia 13) są zsynchronizowane i rozsynchronizowane względem dwóch grup oscylatorów z rys. 4.40bc. Analiza przebiegów oscylatorów ze wszystkich linii pozwala na detekcję i nadanie etykiet każdemu obiektowi z rys. 4.39. Można zauważyć, że wyniki analizy obrazu są poprawne i czas segmentacji wynosi około $1\mu s$. Po zakończeniu segmentacji każdego okna, do układu scalonego realizującego sieć jest wprowadzany obraz kolejnego okna i proces ten się powtarza. Czas wymagany na segmentację każdego okna jest równy $0,8\mu s$ (jeden okres aktywnego oscylatora). Czas

nadawania etykiet obiektom z rys. 4.38b (256x192 pikseli) zależy od liczby okien i w tym przypadku wynosi $42 \times (0,8 \mu\text{s} + 8 \text{ ms}) = 336 \text{ ms}$ (wprowadzenie każdego obrazu okna zajmuje 8ms i zależy od uniwersalnej karty PCI I/O firmy National Instruments). Wprowadzanie obrazu do sieci jest najbardziej czasochłonne i określa czas wymagany na segmentację.

4.12. Podsumowanie

W niniejszym rozdziale opisano projekty dwóch układów scalonych o strukturze SSO, zrealizowane w technologii AMIS 0,35 μm CO35M-D 5M/1P o wymiarach matrycy 8x8 oraz 32x32. Oba układy scalone są zdolne wykonywać szybką segmentację obrazów binarnych. Oscylatory dołączone do tła obrazu nie są aktywne, a zaproponowane rozwiązanie różni się od podejścia opisanego w pracy [Cosp i Madrenas 2003] tym, że tło nie jest traktowane jako obiekt. Idea dołączenia dodatkowego oscylatora do globalnego inhibitora okazała się być bardzo użyteczna. Takie rozwiązanie pozwala na określenie chwil rozpoczęcia i zakończenia segmentacji obrazu, gdyż segmentacja odbywa się pomiędzy dwoma sąsiednimi, aktywnymi stanami globalnego inhibitora. Rozrzut wartości okresu drgań oscylatora SSO, wywołany rozrzutem parametrów tranzystorów MOS, okazał się być jego główną wadą. To zjawisko spowodowało różnice we współczynnikach wypełnienia drgań oscylatorów i problemy z ich synchronizacją, a co za tym idzie problemy z segmentacją większej liczby obiektów i segmentacją obiektów o większej długości. Te niekorzystne zjawiska w dużej mierze zostały skompensowane przez użycie automatycznej procedury strojenia oscylatorów. Zaowocowało to poprawną segmentacją większej ilości obiektów i obiektów o większej długości. Liczba poprawnie segmentowanych obiektów w obrazie jednak rzadko przekraczała cztery. Nie jest to dużo, ale rozważając małą macierz o wymiarach 32x32 może być to wystarczające do pewnych rzeczywistych fragmentów obrazu. W podrozdziale 4.11 podano przykład analizy obrazu rezonansu magnetycznego wątroby szczura. Na rys. 4.38b, ilustrującym wyniki tej analizy, liczba obiektów w żadnym oknie nie przekraczała czterech. Przykład ten pokazuje jedną z możliwości zastosowania koncepcji układu scalonego o strukturze SSO do analizy obrazów biomedycznych.

Czas segmentacji analizowanych obrazów wynosi około 1 μs i nie zależy od ich rozmiarów, zależy jednak od liczby obiektów w obrazie. Kiedy liczba obiektów w analizowanym obrazie zwiększa się, stosunek nieaktywnego do aktywnego czasu oscylatora także wzrasta. Czas fazy nieaktywnej nie jest krótszy niż czas fazy aktywnej, pomnożony przez liczbę obiektów w obrazie [Wang i Terman 1997]. Większa liczba obiektów w obrazie prowadzi do dłuższego okresu oscylacji

i wydłużenia czasu segmentacji. Czas ten jest dużo krótszy niż czas trwania symulacji komputerowych (patrz tabela 4.1). W tabeli 4.1 porównano czas analizy obrazu z rys. 4.38b, wykonanej przez scaloną SSO z czasem trwania symulacji na komputerze PC Pentium4 3GHz. Porównanie dotyczy zarówno pojedynczego okna, jak i dla całego obrazu. Dokonano także porównania z wynikami uzyskanymi w pracy [Cosp i Madrenas 2003] dla układu scalonego z matrycą 16x16.

Tabela 4.1. Czasy segmentacji obrazu z rys. 4.38b przy użyciu różnych podejść

	Okno 32x32	Cały obraz (256x192)
Symulacja komputerowa (szybki algorytm segmentacji [Jirak i inni 2009])	0,24 s	8,57 s
Układ scalony o strukturze SSO	0,8 μ s	336 ms
Układ scalony 16x16 przedstawiony w [Cosp i Madrenas 2003]	142-38 μ s	-

W przypadku obrazu o większych wymiarach czas analizy wydłuża się, gdyż konieczne jest wprowadzanie nowych okien do scalonej SSO. Czas ten jest względnie długi i zależy jedynie od interfejsu pomiędzy układem scalonym realizującym SSO i komputerem PC. Optymalizacja architektury FPGA uniwersalnej karty PC I/O mogłaby zredukować ten czas i tym samym przyspieszyć proces segmentacji całego obrazu. Można także zauważyć w tabeli 4.1, że zaproponowany układ scalony o strukturze SSO jest znacznie szybszy niż układ scalony 16x16 opisany w [Cosp i Madrenas 2003]. Porównanie poboru mocy jest przedstawione w tabeli 4.2.

Tabela 4.2. Pobór mocy

	Częstotliwość pracy	Prąd zasilania	Pobór mocy	Moc/komórkę
Układ scalony 16x16 przedstawiony w [Cosp i Madrenas 2003]	14 kHz	0,45 mA	1,5 mW	5,8 μ W
	52 kHz	1,5 mA	5 mW	19 μ W
	200 kHz	6 mA estymowany	20 mW estymowany	76 μ W estymowana
Zintegrowana SSO	200 kHz	13 mA	39 mW	38 μ W

Estymowany pobór mocy przypadający na komórkę dla częstotliwości pracy 200 kHz dla układu scalonego przedstawionego w [Cosp i Madrenas 2003] jest większy niż dla układu scalonego o strukturze SSO przedstawionego w niniejszej pracy.

Do głównych osiągnięć autora pracy opisanych w tym rozdziale należą:

- opracowanie modelu oscylatora SSO posiadającego podobne właściwości dynamiczne jak oryginalny model zaproponowany przez Wanga i Termana a zarazem łatwego do bezpośredniej implementacji CMOS VLSI;
- opracowanie architektury układu scalonego do segmentacji obrazów implementującego sieć synchronizowanych oscylatorów;
- symulacje i projekty dwóch układów scalonych o strukturze SSO w technologii AMIS 0,35 μm CO35M-D 5M/1P oferowanej przez Europractice;
- opracowanie metody redukcji wpływu technologicznego rozrzutu parametrów tranzystorów układu scalonego na zaburzenia częstotliwości drgań oscylatorów, co umożliwiło poprawną pracę sieci;
- uruchomienie i przetestowanie układów scalonych o strukturze SSO oraz wykonanie za ich pomocą segmentacji wybranych obrazów binarnych, co potwierdziło poprawną pracę tych układów.

5. Podsumowanie

W pracy przedstawiono wyniki projektowania, symulacji i badań eksperymentalnych, dotyczące prototypowych, analogowych układów scalonych CMOS VLSI o strukturze sieci neuronowych. Skoncentrowano się głównie na sieciach neuronowych służących do przetwarzania obrazów i sygnałów. Do projektowania wykorzystywano technologie CMOS oferowane przez konsorcjum Europractice przez ostatnie kilkanaście lat. Topografia układów scalonych była projektowana za pomocą programu Cadence, a symulacje komputerowe prowadzono z wykorzystaniem programów Spectre i Hspice. Przy projektowaniu w technologii MIETEC 2,4 μm był wykorzystywany model tranzystora MOS Level2, dla technologii AMS 0,8 μm CYE model BSIM3v2. W przypadku technologii AMIS 0,35 μm CO35M-D 5M/1P był to model tranzystora BSIM3v3.2. Przy symulacji złożonych sieci neuronowych napotymano niejednokrotnie na takie trudności, jak długi czas obliczeń, kłopoty ze zbieżnością, a przy dużej liczbie tranzystorów MOS brak możliwości symulacji. Symulacje prowadzono często dla mniejszej liczby komórek sieci neuronowej niż zakładano w projekcie końcowym układu scalonego, z powodu wymienionych wyżej trudności występujących przy większych sieciach.

Rozdział 2 dotyczy układu scalonego o strukturze sieci neuronowej Kohonena i jego wykorzystania do zadań identyfikacji parametrów układów dynamicznych. Przedstawiono architekturę sieci Kohonena w postaci układu ASIC oraz jego realizację w technologii MIETEC 2,4 μm . Porównano także wyniki symulacji komputerowych z laboratoryjnymi pomiarami podstawowych bloków funkcjonalnych scalonej sieci Kohonena.

W rozdziale 3 przedstawiono układ scalony do filtracji ważonych statystyk porządkowych obrazu o architekturze sieci neuronowej komórkowej. Układ ten zaprojektowano w technologii CMOS AMS 0,8 μm CYE. Opisano model komórki tego filtru oraz jego architekturę. Podano szczegółowy opis bloków funkcjonalnych filtru ważonych statystyk porządkowych obrazu. Porównano wyniki symulacji w oparciu o program Spectre z laboratoryjnymi pomiarami podstawowych bloków funkcjonalnych filtru. Przedstawiono stanowisko do testowania prototypu układu scalonego do filtracji ważonych statystyk porządkowych obrazu oraz wyniki przetwarzania obrazu z jego zastosowaniem.

W rozdziale 4 omówiono sieć synchronizowanych oscylatorów do segmentacji obrazów binarnych. Opisano nowy model oscylatora oraz architekturę układu

scalonego implementującego sieć synchronizowanych oscylatorów. Przedstawiono szczegółowo projekt tego układu, wykonany dla technologii AMIS 0,35 μm C035M-D 5M/1P. Porównano wyniki symulacji przy użyciu programu Spectre z laboratoryjnymi pomiarami podstawowych bloków funkcjonalnych zintegrowanego układu SSO. Przedstawiono platformę do testowania tego układu oraz rezultaty segmentacji obrazów binarnych z wykorzystaniem tej platformy. Aby poprawić funkcjonalność układu scalonego realizującego sieć synchronizowanych oscylatorów, zastosowano ideę strojenia oscylatorów i przedstawiono rezultaty segmentacji obrazów binarnych z wykorzystaniem zestrojonego układu scalonego.

Do głównych osiągnięć autora pracy należą:

- opracowanie architektury układu scalonego o strukturze sieci Kohonena;
- symulacje i projekt scalonej sieci Kohonena w technologii MIETEC 2,4 μm ;
- wykonanie pomiarów podstawowych bloków funkcjonalnych CMOS sieci Kohonena w postaci układu scalonego;
- opracowanie matematycznego modelu komórki SNK filtru WSP łatwego do bezpośredniej implementacji CMOS VLSI;
- opracowanie architektury układu scalonego o strukturze SNK, do filtracji obrazów metodą WSP;
- symulacje i projekt układu scalonego implementującego filtr WSP, zrealizowany w technologii CMOS AMS 0,8 μm CYE;
- zaprojektowanie i uruchomienie stanowiska do testowania scalonego filtru WSP oraz jego przetestowanie w zadaniu filtracji sygnału wizyjnego w czasie rzeczywistym;
- opracowanie modelu oscylatora SSO łatwego do bezpośredniej implementacji CMOS VLSI;
- opracowanie architektury układu scalonego implementującego SSO do segmentacji obrazów;
- symulacje i projekty dwóch układów scalonych o strukturze SSO w technologii AMIS 0,35 μm C035M-D 5M/1P;
- opracowanie metody redukcji wpływu technologicznego rozrzutu parametrów tranzystorów układu scalonego na zaburzenia częstotliwości drgań oscylatorów SSO;
- uruchomienie i przetestowanie scalonych SSO oraz wykonanie za ich pomocą segmentacji wybranych obrazów binarnych.

Zagadnienia naukowe przedstawione w pracy należą do aktualnych problemów badawczych dotyczących projektowania analogowych układów scalonych CMOS o strukturze sieci neuronowych do przetwarzania obrazów i sygnałów.

Przedstawione przykłady projektów układów scalonych implementujących sieci neuronowe wzbogacają wiedzę na temat ich projektowania. Obok dominującej techniki cyfrowej, analogowa technika daje możliwość implementacji układów o właściwościach zbliżonych do systemów biologicznych i jest chętnie wykorzystywana do projektowania układów scalonych realizujących sieci neuronowe. Nieustanny rozwój technologii CMOS VLSI prowadzi ponadto do zmniejszenia jej rozrzutów, co umożliwia projektowanie coraz bardziej dokładnych analogowych układów scalonych. Dzięki stale zmniejszającemu się wymiarowi charakterystycznemu technologii, zwiększająca się gęstość upakowania elementów w układzie scalonym umożliwia wykonywanie bardzo złożonych, szybkich i niezawodnych analogowych sieci neuronowych do wielu zastosowań praktycznych.

Dodatek A

Dodatek zawiera wykaz nóżek układu scalonego implementującego sieć neuronową Kohonena wraz z opisem występujących sygnałów i napięć zasilających.

Nr nóżki i jej opis:

1. W11 – napięciowe wejście wagowe W_{42}
2. W12 – napięciowe wejście wagowe W_{43}
3. W14 – napięciowe wejście wagowe W_{52}
4. W13 – napięciowe wejście wagowe W_{51}
5. W16 – napięciowe wejście wagowe W_{61}
6. W15 – napięciowe wejście wagowe W_{53}
7. ZR1 – wejście pierwsze struktury testowej układu mnożącego Gilberta oraz wejście analogowego bufora
8. ZR2 – wejście trzecie struktury testowej układu mnożącego Gilberta
9. ZAO – wyjście analogowego bufora
10. W18 – napięciowe wejście wagowe W_{63}
11. W17 – napięciowe wejście wagowe W_{62}
12. W20 – napięciowe wejście wagowe W_{72}
13. W19 – napięciowe wejście wagowe W_{71}
14. W21 – napięciowe wejście wagowe W_{73}
15. W22 – napięciowe wejście wagowe W_{81}
16. W23 – napięciowe wejście wagowe W_{82} (oraz wejście napięciowe przestrajające wzmacnienie prądowe testowego wzmacniacza prądowego)
17. W24 – napięciowe wejście wagowe W_{83}
18. ZOG – wyjście struktury testowej układu mnożącego Gilberta
19. ZPI – wejście testowego przestrajanego wzmacniacza prądowego
20. ZPO – wyjście testowego przestrajanego wzmacniacza prądowego
21. ZT1 – połączone wejścia od pierwszego do szóstego testowego układu WTA
22. ZT2 – wejście siódme testowego układu WTA
23. ZT3 – wejście ósme testowego układu WTA
24. ZT6 – ósme zbuforowane wyjście cyfrowe testowego układu WTA
25. D0 – pierwsze zbuforowane wyjście cyfrowe układu WTA
26. D1 – drugie zbuforowane wyjście cyfrowe układu WTA
27. D3 – czwarte zbuforowane wyjście cyfrowe układu WTA
28. D2 – trzecie zbuforowane wyjście cyfrowe układu WTA
29. D5 – szóste zbuforowane wyjście cyfrowe układu WTA
30. D4 – piąte zbuforowane wyjście cyfrowe układu WTA
31. D7 – ósme zbuforowane wyjście cyfrowe układu WTA
32. D6 – siódme zbuforowane wyjście cyfrowe układu WTA
33. ZT5 – siódme zbuforowane wyjście cyfrowe testowego układu WTA

34. ZT4 – szóste zbuforowane wyjście cyfrowe testowego układu WTA
35. Aout12 – analogowe wyjście czwartej testowej komórki sieci
36. Aout11 – analogowe wyjście trzeciej testowej komórki sieci
37. Aout10 – analogowe wyjście drugiej testowej komórki sieci
38. Aout9 – analogowe wyjście pierwszej testowej komórki sieci
39. Aout8 – analogowe wyjście ósmej komórki sieci
40. Aout7 – analogowe wyjście siódmej komórki sieci
41. Aout6 – analogowe wyjście szóstej komórki sieci
42. Aout5 – analogowe wyjście piątej komórki sieci
43. Aout4 – analogowe wyjście czwartej komórki sieci
44. X_3 – trzecie analogowe wejście sygnałowe
45. Aout3 – analogowe wyjście trzeciej komórki sieci
46. X_2 – drugie analogowe wejście sygnałowe
47. Aout2 – analogowe wyjście drugiej komórki sieci
48. X_1 – pierwsze analogowe wejście sygnałowe
49. Aout1 – analogowe wyjście pierwszej komórki sieci
50. $V_{DD} = +5\text{ V}$ (dodatnie napięcie zasilające)
51. $V_{DD} = +5\text{ V}$ (dodatnie napięcie zasilające)
52. $GND = 0\text{ V}$ (masa)
53. $GND = 0\text{ V}$ (masa)
54. $V_{SS} = -5\text{ V}$ (ujemne napięcie zasilające)
55. $V_{SS} = -5\text{ V}$ (ujemne napięcie zasilające)
56. ZBO2 – wyjście drugiego testowego bufora cyfrowego
57. ZBO1 – wyjście pierwszego testowego bufora cyfrowego
58. W1 – napięciowe wejście wagowe W_{11}
59. ZBI – wejście testowego bufora cyfrowego
60. W2 – napięciowe wejście wagowe W_{12}
61. W4 – napięciowe wejście wagowe W_{21}
62. W3 – napięciowe wejście wagowe W_{13}
63. W6 – napięciowe wejście wagowe W_{23}
64. W5 – napięciowe wejście wagowe W_{22}
65. W8 – napięciowe wejście wagowe W_{32}
66. W7 – napięciowe wejście wagowe W_{31}
67. W10 – napięciowe wejście wagowe W_{41}
68. W9 – napięciowe wejście wagowe W_{33}

Dodatek B

W dodatku tym przedstawiono wykaz nóżek układu scalonego do filtracji WSP w implementacji SNK wraz z opisem sygnałów, napięć zasilających i polaryzacji prądowych. Zamieszczono również schematy struktur testowych zaimplementowanych w układzie scalonym, umożliwiających wykonanie pomiarów podstawowych bloków funkcjonalnych filtru.

Nr nóżki i jej opis

1. Vss = -2,5 V (ujemne napięcie zasilające)
2. b31 – wejście prądowe programowania wagi b_{31} nieliniowego szablonu **B**
3. b32 – wejście prądowe programowania wagi b_{32} nieliniowego szablonu **B**
4. IQA – polaryzacja prądowa buforów o małej wydajności prądowej
5. b22 – wejście prądowe programowania wagi b_{22} nieliniowego szablonu **B**
6. b21 – wejście prądowe programowania wagi b_{21} nieliniowego szablonu **B**
7. IQQ – polaryzacja prądowa wzmacniacza prądowego
8. Ip – wejście prądowe programowania polaryzacji I komórek SNK
9. b23 – wejście prądowe programowania wagi b_{23} nieliniowego szablonu **B**
10. b13 – wejście prądowe programowania wagi b_{13} nieliniowego szablonu **B**
11. b11 – wejście prądowe programowania wagi b_{11} nieliniowego szablonu **B**
12. b12 – wejście prądowe programowania wagi b_{12} nieliniowego szablonu **B**
13. HM – wyjście impulsów ze 150. komórki rejestru przesuwanego
14. IQB – polaryzacja prądowa buforów o dużej wydajności prądowej
15. output – wyjście wizyjne luminancji przetworzonego obrazu
16. input – wejście wizyjne luminancji obrazu poddawanego filtracji, wejście sprzężenia nieliniowego b32 struktury testowej TEST2
17. T4 – wejście sprzężenia nieliniowego b22 struktury testowej TEST2
18. T5 – wejście analogowej komórki pamiętającej struktury testowej TEST1, wejście sprzężenia nieliniowego b12 struktury testowej TEST2, wejście struktury TEST3
19. T1 – wyjście bufora analogowego o dużej wydajności prądowej struktury testowej TEST1
20. T2 – wyjście przez klucz PMOS ze struktury TEST2
21. T3 – zbuforowane wyjście ze struktury TEST2
22. T7 – wyjście ze struktury TEST3
23. T6 – wyjście sprzężenia nieliniowego b33 struktury testowej TEST1
24. Ow17 – zbuforowane wyjście zmiennej stanu siedemnastej komórki SNK
25. VI3 – wejście napięciowe dla lewego warunku brzegowego SNK dla sprzężenia nieliniowego realizującego wagę b_{31} , wejście sprzężenia nieliniowego b33 i sterowanie kluczem PMOS komórki analogowej pamięci struktury

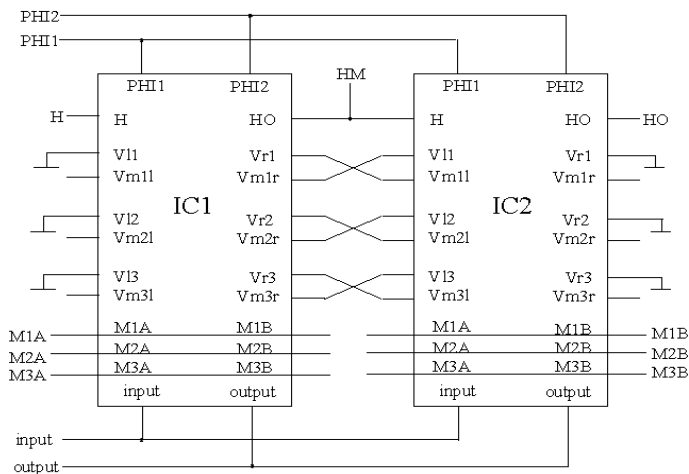
- TEST1, wejście sterujące kluczem PMOS komórki analogowej pamięci struktury TEST3,
26. Vm3l – zbuforowane wyjście komórki pamięci analogowej czwartego rzędu pamięci analogowej w pierwszej lewej komórce SNK
 27. M3A – wejście sterujące przepisaniem zawartości trzeciego rzędu pamięci analogowej na czwarty rząd pamięci dla pierwszej połowy SNK (komórki 1-150)
 28. Vm2l – zbuforowane wyjście komórki pamięci analogowej trzeciego rzędu pamięci analogowej w pierwszej lewej komórce SNK
 29. VI2 – wejście napięciowe dla lewego warunku brzegowego SNK dla sprzężenia nieliniowego realizującego wagę b_{2l}
 30. M2A – wejście sterujące przepisaniem zawartości drugiego rzędu pamięci analogowej na trzeci rząd pamięci dla pierwszej połowy SNK (komórki 1-150)
 31. Vm1l – zbuforowane wyjście komórki pamięci analogowej drugiego rzędu pamięci analogowej w pierwszej lewej komórce SNK
 32. VI1 – wejście napięciowe dla lewego warunku brzegowego SNK dla sprzężenia nieliniowego realizującego wagę b_{1l}
 33. M1A – wejście sterujące przepisaniem zawartości pierwszego rzędu pamięci analogowej na drugi rząd pamięci dla pierwszej połowy SNK (komórki 1-150)
 34. H – wejście znormalizowanych impulsów synchronizacji poziomej
 35. PHI2 – wejście fazy drugiej zegara
 36. PHI1 – wejście fazy pierwszej zegara
 37. HO – wyjście impulsów z ostatniej 300. komórki rejestru przesuwne
 38. M1B – wejście sterujące przepisaniem pierwszego rzędu pamięci analogowej na drugi rząd pamięci dla drugiej połowy SNK (komórki 151-300)
 39. Vm1r – zbuforowane wyjście komórki pamięci analogowej drugiego rzędu pamięci analogowej w ostatniej prawej komórce SNK
 40. Vr1 – wejście napięciowe dla prawego warunku brzegowego SNK dla sprzężenia nieliniowego realizującego wagę b_{1r}
 41. M2B – wejście sterujące przepisaniem drugiego rzędu pamięci analogowej na trzeci rząd pamięci dla drugiej połowy SNK (komórki 151-300)
 42. Vm2r – zbuforowane wyjście komórki pamięci analogowej trzeciego rzędu pamięci analogowej w ostatniej prawej komórce SNK
 43. Vr2 – wejście napięciowe dla prawego warunku brzegowego SNK dla sprzężenia nieliniowego realizującego wagę b_{2r}
 44. M3B – wejście sterujące przepisaniem trzeciego rzędu pamięci analogowej na czwarty rząd pamięci dla drugiej połowy SNK (komórki 151-300)
 45. Vm3r – zbuforowane wyjście komórki pamięci analogowej czwartego rzędu pamięci analogowej w ostatniej prawej komórce SNK
 46. Vr3 – wejście napięciowe dla prawego warunku brzegowego SNK dla sprzężenia nieliniowego realizującego wagę b_{3r}

47. b33 – wejście prądowe programowania wagi b33 nieliniowego szablonu B
 48. $V_{dd} = 2,5 \text{ V}$ (dodatnie napięcie zasilające)

Układ scalony wymaga szeregu zewnętrznych polaryzacji prądowych, takich jak:

- polaryzacja prądowa sprzężeń nieliniowego szablonu b_{xy} , wewnętrzna wartość maksymalna $4 \mu\text{A}$, równoważna zewnętrzna $40 \mu\text{A}$ (prąd wpływający),
- polaryzacja wzmacniaczy prądowych I_{QQ} , wewnętrzna $1 \mu\text{A}$, równoważna zewnętrzna $48 \mu\text{A}$ (prąd wypływający),
- polaryzacja prądowa I_{QA} buforów analogowych o małej wydajności prądowej, wewnętrzna $2 \mu\text{A}$, równoważna zewnętrzna $20 \mu\text{A}$ (prąd wpływający),
- polaryzacja prądowa I_{QB} buforów analogowych wyjściowych o dużej wydajności prądowej, wewnętrzna $15 \mu\text{A}$, równoważna zewnętrzna $150 \mu\text{A}$ (prąd wpływający),
- polaryzacja prądowa I_p wszystkich komórek SNK ważonego filtru medianowego, wewnętrzna od $-16 \mu\text{A}$ do $+16 \mu\text{A}$, równoważna zewnętrzna od $-48 \mu\text{A}$ do $48 \mu\text{A}$ (prąd wypływający jest dodatni).

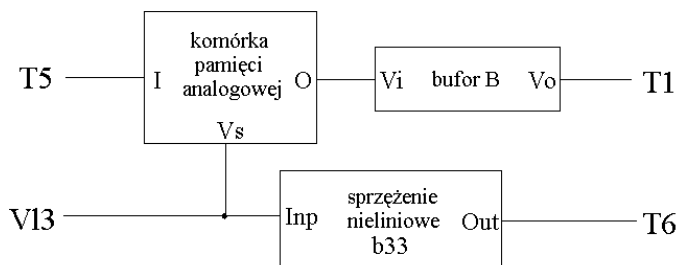
Układy scalone do filtracji WSP obrazu o rozdzielczości 300 pikseli/linię można łączyć ze sobą w celu zwiększenia rozdzielczości przetwarzanego obrazu. Sposób połączenia dwóch układów scalonych w celu zwiększenia rozdzielczości przetwarzanego obrazu do 600 pikseli/linię przedstawia rys. B.1.



Rys. B.1. Połączenie dwóch układów scalonych w celu zwiększenia rozdzielczości do 600 pikseli/linię

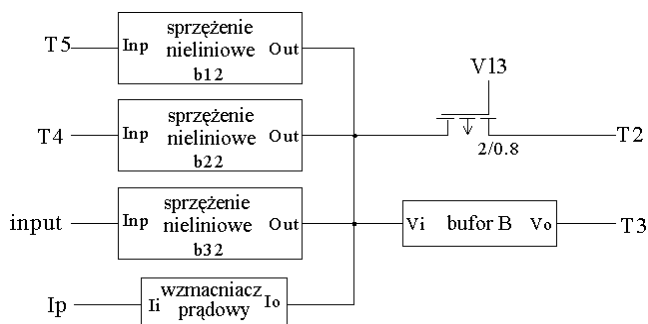
W układzie scalonym do filtracji WSP obrazu o architekturze SNK zaimplementowano specjalne wyprowadzenia testowe mające na celu umożliwienie wykonania pomiarów statycznych i dynamicznych niektórych bloków funkcjonalnych sieci neuronowej filtru. Strukturę testową o nazwie TEST1 przedsta-

wiono na rys. B.2. Umożliwia ona przeprowadzenie pomiarów komórki pamięci analogowej (pomiar błędu dynamicznego pamięci analogowej po otwarciu klucza, pomiar czasu ładowania, czasu pamiętania) i przeprowadzenie pomiarów bufora wyjściowego o dużej wydajności prądowej (błędy charakterystyki przejściowej bufora, stany przejściowe w buforze). Struktura ta umożliwia również pomiar odseparowanego układu sprzężenia nieliniowego.



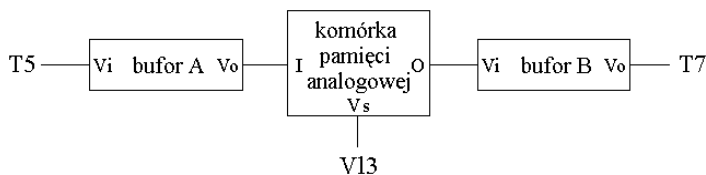
Rys. B.2. Struktura TEST1

Struktura TEST2, przedstawiona na rys. B.2, umożliwia wykonanie pomiarów sprzężeń nieliniowych, prostej komórki trójpikselowej i pomiary wzmacniacza prądowego.



Rys. B.3. Struktura TEST2

Struktura TEST3, przedstawiona na rys. B.4, umożliwia wykonanie pomiarów szybkości przepisywania pamięci analogowej przez bufor analogowy o małej wydajności prądowej.



Rys. B.4. Struktura TEST3

Dodatek C

W dodatku tym omówiono podstawowe parametry oraz rozkład wyprawadzeń układów scalonych o strukturze sieci synchronizowanych oscylatorów wraz z opisem występujących sygnałów, napięć zasilających i polaryzacji prądowych.

C.1. Układ o wymiarach matrycy 8x8

Technologia: AMIS 0,35 μm CO35M-D 5M/1P

Obudowa: DIL40

Liczba tranzystorów MOS: 6368

Liczba bramek logicznych: 159

Liczba zatrzasków D: 64

Liczba przerzutników D: 16

Łączna liczba bloków cyfrowych: 239

Powierzchnia płytki krzemowej: 1,473 mm x 1,5525 mm ($\sim 2,29 \text{ mm}^2$)

Nr nóżki i jej opis:

1. Vss = -1,65 V (ujemne napięcie zasilające), opcjonalnie 0 V
2. Gnd (0 V), opcjonalnie 1,65 V
3. A – polaryzacja prądowa OTA A w oscylatorach (prąd wpływający)
4. B – polaryzacja prądowa OTA B w oscylatorach (prąd wpływający)
5. C – polaryzacja prądowa OTA C w oscylatorach (prąd wpływający)
6. D – polaryzacja prądowa OTA D w oscylatorach (prąd wpływający)
7. OL1 – cyfrowe wyjście aktywności pierwszego oscylatora zaadresowanego wiersza oscylatorów w sieci
8. OL2 – cyfrowe wyjście aktywności drugiego oscylatora zaadresowanego wiersza oscylatorów w sieci
9. OL3 – cyfrowe wyjście aktywności trzeciego oscylatora zaadresowanego wiersza oscylatorów w sieci
10. OL4 – cyfrowe wyjście aktywności czwartego oscylatora zaadresowanego wiersza oscylatorów w sieci
11. OL5 – cyfrowe wyjście aktywności piątego oscylatora zaadresowanego wiersza oscylatorów w sieci
12. OL6 – cyfrowe wyjście aktywności szóstego oscylatora zaadresowanego wiersza oscylatorów w sieci

13. OL7 – cyfrowe wyjście aktywności siódmego oscylatora zaadresowanego wiersza oscylatorów w sieci
14. OL8 – cyfrowe wyjście aktywności ósmego oscylatora zaadresowanego wiersza oscylatorów w sieci
15. M – sterowanie zatrzaskami D pamięci przetworzonego obrazu, sterowanie zapisem do struktur testowych TEST1 i TEST3
16. OUT – wyjście szeregowe obrazu
17. INP – wejście szeregowe obrazu, wejście struktur testowych: TEST1, TEST2, TEST3
18. VO – wyjście rejestru przesuwneho pionowego
19. A3 – najstarszy bit adresu wyprowadzanego wiersza aktywności oscylatorów sieci
20. A2 – drugi bit adresu wyprowadzanego wiersza aktywności oscylatorów sieci
21. A1 – najmłodszy bit adresu wyprowadzanego wiersza aktywności oscylatorów sieci
22. CLKV – zegar rejestru przesuwneho pionowego
23. VI – wejście rejestru przesuwneho pionowego
24. DGI – cyfrowe wyjście aktywności globalnego inhibitora
25. H – polaryzacja prądowa globalnego inhibitora (prąd wypływający)
26. HO – wyjście rejestru przesuwneho poziomego
27. OD – wyjście prądowe do pomiaru charakterystyki przejściowej DC wzmacniacza OTA D w oscylatorze (struktura testowa TEST2)
28. OABE – wyjście prądowe do pomiaru charakterystyki przejściowej DC wzmacniaczy OTA A i B z polaryzacją prądową E (struktura testowa TEST2)
29. OC – wyjście prądowe do pomiaru charakterystyki przejściowej DC wzmacniacza OTA C w oscylatorze (struktura testowa TEST2) oraz wyjście prądowe struktury testowej TEST3
30. V3B – cyfrowe wyjście V3 aktywności odosobnionego oscylatora (struktura testowa TEST1)
31. V2B – analogowe wyjście V2 aktywności odosobnionego oscylatora (struktura testowa TEST1)
32. V1B – analogowe wyjście V1 aktywności odosobnionego oscylatora (struktura testowa TEST1)
33. CLKH – zegar rejestru przesuwneho poziomego
34. HI – wejście rejestru przesuwneho poziomego
35. V3S – cyfrowe wyjście V3 aktywności dodatkowego oscylatora synchronizującego sterowanie M dla wyjścia szeregowego OUT

36. ES – polaryzacja prądowa źródła prądowego w dodatkowym oscylatorze synchronizującym (prąd wpływający)
37. F – polaryzacja prądowa układu wag (prąd wypływający)
38. G – polaryzacja prądowa wzmacniacza OTA układu próbkowania wartości napięcia piksela i konwersji na prąd w komórkach sieci (prąd wpływający)
39. E – polaryzacja prądowa źródła prądowego w oscylatorach sieci (prąd wpływający)
40. Vdd = 1,65 V (dodatknie napięcie zasilające), opcjonalnie 3,3 V

C.2. Układ o wymiarach matrycy 32x32

Technologia: AMIS 0,35 μm CO35M-D 5M/1P

Obudowa: JLCC68

Liczba tranzystorów MOS: 90952

Liczba bramek logicznych: 2191

Liczba zatrzasków D: 1024

Liczba przerzutników D: 64

Łączna liczba bloków cyfrowych: 3279

Powierzchnia płytki krzemowej: 2,670 mm x 2,958 mm ($\sim 7,9 \text{ mm}^2$)

Nr nóżki i jej opis:

1. Vss = -1,65 V (ujemne napięcie zasilające), opcjonalnie 0 V
2. Vss = -1,65 V (ujemne napięcie zasilające), opcjonalnie 0 V
3. OL1 – cyfrowe wyjście aktywności pierwszego oscylatora zaadresowanego wiersza oscylatorów w sieci
4. OL2 – cyfrowe wyjście aktywności drugiego oscylatora zaadresowanego wiersza oscylatorów w sieci
5. OL3 – cyfrowe wyjście aktywności trzeciego oscylatora zaadresowanego wiersza oscylatorów w sieci
6. OL4 – cyfrowe wyjście aktywności czwartego oscylatora zaadresowanego wiersza oscylatorów w sieci
7. OL5 – cyfrowe wyjście aktywności piątego oscylatora zaadresowanego wiersza oscylatorów w sieci
8. OL6 – cyfrowe wyjście aktywności szóstego oscylatora zaadresowanego wiersza oscylatorów w sieci
9. OL7 – cyfrowe wyjście aktywności siódmego oscylatora zaadresowanego wiersza oscylatorów w sieci

10. OL8 – cyfrowe wyjście aktywności ósmego oscylatora zaadresowanego wiersza oscylatorów w sieci
11. OL9 – cyfrowe wyjście aktywności dziewiątego oscylatora zaadresowanego wiersza oscylatorów w sieci
12. OL10 – cyfrowe wyjście aktywności dziesiątego oscylatora zaadresowanego wiersza oscylatorów w sieci
13. OL11 – cyfrowe wyjście aktywności jedenastego oscylatora zaadresowanego wiersza oscylatorów w sieci
14. OL12 – cyfrowe wyjście aktywności dwunastego oscylatora zaadresowanego wiersza oscylatorów w sieci
15. OL13 – cyfrowe wyjście aktywności trzynastego oscylatora zaadresowanego wiersza oscylatorów w sieci
16. OL14 – cyfrowe wyjście aktywności czternastego oscylatora zaadresowanego wiersza oscylatorów w sieci
17. OL15 – cyfrowe wyjście aktywności piętnastego oscylatora zaadresowanego wiersza oscylatorów w sieci
18. OL16 – cyfrowe wyjście aktywności szesnastego oscylatora zaadresowanego wiersza oscylatorów w sieci
19. OL17 – cyfrowe wyjście aktywności siedemnastego oscylatora zaadresowanego wiersza oscylatorów w sieci
20. OL18 – cyfrowe wyjście aktywności osiemnastego oscylatora zaadresowanego wiersza oscylatorów w sieci
21. OL19 – cyfrowe wyjście aktywności dziewiętnastego oscylatora zaadresowanego wiersza oscylatorów w sieci
22. OL20 – cyfrowe wyjście aktywności dwudziestego oscylatora zaadresowanego wiersza oscylatorów w sieci
23. OL21 – cyfrowe wyjście aktywności dwudziestego pierwszego oscylatora zaadresowanego wiersza oscylatorów w sieci
24. OL22 – cyfrowe wyjście aktywności dwudziestego drugiego oscylatora zaadresowanego wiersza oscylatorów w sieci
25. OL23 – cyfrowe wyjście aktywności dwudziestego trzeciego oscylatora zaadresowanego wiersza oscylatorów w sieci
26. OL24 – cyfrowe wyjście aktywności dwudziestego czwartego oscylatora zaadresowanego wiersza oscylatorów w sieci
27. OL25 – cyfrowe wyjście aktywności dwudziestego piątego oscylatora zaadresowanego wiersza oscylatorów w sieci
28. OL26 – cyfrowe wyjście aktywności dwudziestego szóstego oscylatora zaadresowanego wiersza oscylatorów w sieci

29. OL27 – cyfrowe wyjście aktywności dwudziestego siódmego oscylatora zaadresowanego wiersza oscylatorów w sieci
30. OL28 – cyfrowe wyjście aktywności dwudziestego ósmego oscylatora zaadresowanego wiersza oscylatorów w sieci
31. OL29 – cyfrowe wyjście aktywności dwudziestego dziewiątego oscylatora zaadresowanego wiersza oscylatorów w sieci
32. OL30 – cyfrowe wyjście trzydziestego oscylatora zaadresowanego wiersza oscylatorów w sieci
33. OL31 – cyfrowe wyjście trzydziestego pierwszego oscylatora zaadresowanego wiersza oscylatorów w sieci
34. OL32 – cyfrowe wyjście trzydziestego drugiego oscylatora zaadresowanego wiersza oscylatorów w sieci
35. M – sterowanie zatrząskami D pamięci przetworzonego obrazu, sterowanie zapisem do struktur testowych TEST1 i TEST3
36. OUT – wyjście szeregowo obrazu
37. INP – wejście szeregowo obrazu, wejście struktur testowych: TEST1, TEST2, TEST3
38. VO – wyjście rejestru przesuwanego pionowego
39. A5 – najstarszy bit adresu wyprowadzanego wiersza aktywności oscylatorów sieci
40. A4 – czwarty bit adresu wyprowadzanego wiersza aktywności oscylatorów sieci
41. A3 – trzeci bit adresu wyprowadzanego wiersza aktywności oscylatorów sieci
42. A2 – drugi bit adresu wyprowadzanego wiersza aktywności oscylatorów sieci
43. A1 – najmłodszy bit adresu wyprowadzanego wiersza aktywności oscylatorów sieci
44. CLKV – zegar rejestru przesuwanego pionowego
45. VI – wejście rejestru przesuwanego pionowego
46. DGI – cyfrowe wyjście aktywności globalnego inhibitora
47. H – polaryzacja prądowa globalnego inhibitora (prąd wypływający)
48. HO – wyjście rejestru przesuwanego poziomego
49. V3B – cyfrowe wyjście V3 aktywności odosobnionego oscylatora (struktura testowa TEST1)
50. V2B – analogowe wyjście V2 aktywności odosobnionego oscylatora (struktura testowa TEST1)
51. V1B – analogowe wyjście V1 aktywności odosobnionego oscylatora (struktura testowa TEST1)

52. OD – wyjście prądowe do pomiaru charakterystyki przejściowej DC wzmacniacza OTA D w oscylatorze (struktura testowa TEST2)
53. OABE – wyjście prądowe do pomiaru charakterystyki przejściowej DC wzmacniaczy OTA A i B z polaryzacją prądową E (struktura testowa TEST2)
54. OC – wyjście prądowe do pomiaru charakterystyki przejściowej DC wzmacniacza OTA C w oscylatorze (struktura testowa TEST2) oraz wyjście prądowe struktury testowej TEST3
55. CLKH – zegar rejestru przesuwnego poziomego
56. HI – wejście rejestru przesuwnego poziomego
57. V3S – cyfrowe wyjście V3 aktywności dodatkowego oscylatora synchronizującego sterowanie M dla wyjścia szeregowego OUT
58. ES – polaryzacja prądowa źródła prądowego w dodatkowym oscylatorze synchronizującym (prąd wpływający)
59. G – polaryzacja prądowa wzmacniacza OTA układu próbkowania wartości napięcia piksela i konwersji na prąd w komórkach sieci (prąd wpływający)
60. F – polaryzacja prądowa układu wag (prąd wypływający)
61. E – polaryzacja prądowa źródła prądowego w oscylatorach sieci (prąd wpływający)
62. D – polaryzacja prądowa OTA D w oscylatorach (prąd wpływający)
63. C – polaryzacja prądowa OTA C w oscylatorach (prąd wpływający)
64. B – polaryzacja prądowa OTA B w oscylatorach (prąd wpływający)
65. A – polaryzacja prądowa OTA A w oscylatorach (prąd wpływający)
66. Gnd (0 V), opcjonalnie 1,65 V
67. Vdd = 1,65 V (dodatknie napięcie zasilające), opcjonalnie 3,3 V
68. Vdd = 1,65 V (dodatknie napięcie zasilające), opcjonalnie 3,3 V

Oba układy scalone o strukturze sieci synchronizowanych oscylatorów wymagają szeregu zewnętrznych polaryzacji prądowych, takich jak:

- A – prąd wpływający o typowej wartości 12 μA (wewnętrzna wartość 1,2 μA)
- B – prąd wpływający o typowej wartości 20 μA (wewnętrzna wartość 2 μA)
- C – prąd wpływający o typowej wartości 20 μA (wewnętrzna wartość 2 μA)
- D – prąd wpływający o typowej wartości 20 μA (wewnętrzna wartość 2 μA)
- E – prąd wpływający o typowej wartości 25 μA (wewnętrzna wartość 2,5 μA)
- F – prąd wypływający o typowej wartości 8 μA (wewnętrzna wartość 0,8 μA)
- G – prąd wpływający o typowej wartości 10 μA (wewnętrzna wartość 1 μA)
- H – prąd wypływający o typowej wartości 2,2 μA (wewnętrzna wartość 0,22 μA)
- ES – prąd wpływający o typowej wartości 15 μA (wewnętrzna wartość 1,5 μA)

Literatura

Ando H., Morie T., Nagata M., Iwata A., A nonlinear oscillator network for gray-level image segmentation in PWM/PPM circuits for its VLSI implementation, *IEICE Trans. Fundamentals Electron., Commn. Comput. Sci.*, E83A, pp. 329-336, 2000.

Asai T., Kanazawa Y., Amemiya Y., A Subthreshold MOS Neuron Circuit Based on the Volterra System, *IEEE Transactions on Neural Networks, Special Issue on Neural Networks Hardware Implementations*, Vol. 14, No. 5, pp. 1308-1312, September 2003.

Aunet S., Berg Y., Saether T., Real-Time Reconfigurable Linear Threshold Elements Implemented in Floating-Gate CMOS, *IEEE Transactions on Neural Networks, Special Issue on Neural Networks Hardware Implementations*, Vol. 14, No. 5, pp. 1244-1256, September 2003.

Baktir I.A., Tan M.A., Analog CMOS Implementation of Cellular Neural Networks, *IEEE Trans. on Circuits and Systems - II: Analog and Digital Signal Processing*, Vol. 40, No. 3, pp.200-206, March 1993.

Beiu V., Quintana J. M., Avedillo M. J., VLSI Implementation of Threshold Logic – A Comprehensive Servey, *IEEE Transactions on Neural Networks, Special Issue on Neural Networks Hardware Implementations*, Vol. 14, No. 5, pp. 1217-1243, September 2003.

Bult K., Wallinga H., A Class of Analog CMOS Circuits Based on the Square-Law Characteristic of an MOS Transistor in Saturation, *IEEE Journal of Solid-State Circuits*, Vol. 22, No. 3, 357-365, June 1987.

Cardarilli G.C., Sargeni F., Very efficient VLSI implementation of CNN with discrete templates, *Electronics Letters*, Vol. 29, No. 14, pp. 1286-1287, 8 July 1993.

Çesmeli E., Wang D., Motion segmentation Based on Motion/Brightness Integration and Oscillatory Correlation, *IEEE Trans. on Neural Networks*; Vol. 11, No. 4, pp. 935-947, 2000.

Çesmeli E., Wang D., Texture Segmentation Using Gaussian-Markov Random Fields and Neural Oscillator Networks, *IEEE Trans. on Neural Networks*; Vol. 12, No. 2, pp. 394-404, 2001.

Chen C.L. and Hsiao J., VLSI implementation of selective median filter, *IEEE on Consumer Electronics*, Vol. 42, No. 1, pp. 33-42, February 1996.

Chicca E., Badoni D., Dante V., D'Andreagiovanni M., Salina G., Carota L., Fusi S., Del Guidice P., A VLSI Recurrent Network of Integrate-and-Fire Neurons Connected by Plastic Synapses With Long-Term Memory, *IEEE Transactions on Neural Networks, Special Issue on Neural Networks Hardware Implementations*, Vol. 14, No. 5, pp. 1297-1307, September 2003.

Christopher L.A., Mayweather W.T., Perlman S.S., A VLSI median filter for impulse noise elimination in composite or component TV signals, *IEEE on Consumer Electronics*, Vol. 34, pp. 262-267, Feb. 1988.

[a] Chua L.O. and Yang L., Cellular Neural Networks: Theory, *IEEE Trans. on Circuits and Systems*, Vol. 35, pp. 1257-1272, October 1988.

- [b] Chua L.O. and Yang L., Cellular Neural Networks: Applications, *IEEE Trans. on Circuits and Systems*, Vol. 35, pp. 1273-1290, October 1988.
- Chua L.O., Roska T., The CNN Universal Machine, Part 1: The Architecture, *CNNA 1992*, pp. 1-10, 1992.
- Ciota Z., Teoria i praktyczna realizacja analogowych filtrów scalonych ze szczególnym uwzględnieniem filtrów o skończonej odpowiedzi impulsowej, *Politechnika Łódzka, Zeszyty Naukowe* Nr 757, *Rozprawy Naukowe*, Z. 231, Łódź 1996.
- Cosp J., Madrenas J., Scene Segmentation Using Neuromorphic Oscillatory Networks, *IEEE Trans. on Neural Networks*; Vol. 14, No. 5, pp. 1278-1296, 2003.
- Cosp J., Madrenas J., Alarcón E., Vidal E., Villar G., Synchronization of Nonlinear Electronic Oscillators for Neural Computation, *IEEE Trans. on Neural Networks*; Vol. 15, No. 5, pp. 1315-1327, 2004.
- Cruz J.M., Chua L.O., A CNN Chip for Connected Component Detection, *IEEE Transactions on Circuits and Systems*, Vol. 38, No. 7, pp. 812-817, July 1991.
- Culurciello E., Andreou A.G., A Comparative Study of Access Topologies for Chip-Level Address-Event Communication Channels, *IEEE Transactions on Neural Networks, Special Issue on Neural Networks Hardware Implementations*, Vol. 14, No. 5, pp. 1266-1277, September 2003.
- Diaz-Sanchaz A., Ramirez-Angulo J., Lopez A. and Sanchez-Sinencio E., A Parallel Analog Median Filter, *IEEE International Conference on Electronics, Circuits and Systems*, Vol. 1, Lisboa, Portugal, 7-10, pp. 381- 384, September 1998.
- Dietz P.H., Carley L.R., Simple Networks for Pixel plane median filtering, *IEEE Trans. Circuits and Systems-II: Analog and Digital Signal Processing*, Vol. 40, pp. 799-801, Dec. 1993.
- Długosz R., Talaśka T., Dalecki J., Wojtyna R., Experimental Kohonen Neural Network implemented in the CMOS 0.18μm technology, *International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Poznań, 2008.
- Dominguez-Castro R., Espejo S., Rodríguez-Vázquez A., Carmona R., A CNN Universal Chip in CMOS Technology, *Proceedings of the Third IEEE International Workshop on Cellular Neural Networks and their Applications*, pp. 91-96, 18-21 Dec. 1994.
- Dominguez-Castro R., Espejo S., Rodríguez-Vázquez A., Carmona R., Foldesy P., Zarándy A., Szolgay P., Sziranyi T., Roska T., A 0.8 μm CMOS Programmable Mixed-Signal Focal-Plane Array Processor with On-Chip Binary Imaging and Instructions Storage, *IEEE Journal of Solid State Circuits*, Vol. 32, No. 7, pp. 1013-1026, July 1997.
- Eckhorn R., Bauer R., Jordan W., Brosch M., Kruse W., Munk M., Retböck H.J., Coherent oscillations: a mechanism of feature linking in the visual cortex, *Biol. Cyber*, Vol. 60, pp. 265-280, 1988.
- Espejo S., Dominguez-Castro R., Rodríguez-Vázquez A., Realization of a CNN universal chip in CMOS technology, *IEEE International Symposium on Circuits and Systems*, Vol.1, pp. 657-659, 30 Apr-3 May 1995.
- [a] Espejo S., Carmona R., Dominguez-Castro R., Rodríguez-Vázquez A., CNN Universal Chip in CMOS Technology, *International Journal of Circuit Theory and Applications, Special Issue on CNN II: Part I*, Vol. 24, pp. 93-111, 1996.

- [b] Espejo S., Carmona R., Domínguez-Castro R., Rodríguez-Vázquez A., A 0.8 μm CMOS Programmable Analog-Array-Processing Vision-Chip with Local Logic and Image-Memory, *Proceedings of ESSCIRC'96*, pp. 280-283, 1996.
- Fang W.C., Sheu B.J., Chen O.T.C., Choi J., A VLSI Neural Processor for Image Data Compression Using Self-Organization Networks, *IEEE Trans. on Neural Networks*, Vol. 3, No. 3, pp. 506-517, May 1992.
- Fikos G., Vlassis S., Siskos S., High-speed, accurate analogue CMOS rank filter, *Electronics Letters*, Vol. 36, No. 7, pp. 593-594, 30th March 2000.
- Galan R.C., Jimenez-Garrido F., Dominguez-Castro R., Espejo S., Roska T., Rekeczky C., Petras I., Rodriguez-Vazquez A., A Bio-Inspired Two-Layer Mixed-Signal Flexible Programmable Chip for Early Vision, *IEEE Transactions on Neural Networks, Special Issue on Neural Networks Hardware Implementations*, Vol. 14, No. 5, pp. 1313-1336, September 2003.
- Gatet L., Tap-Béteille H., Bony F., Comparison Between Analog and Digital Neural Network Implementations for Range-Finding Applications, *IEEE Transactions on Neural Networks*, Vol. 20, No. 3, pp. 460-470, March 2009.
- Golda A., Kos A., Projektowanie układów scalonych CMOS, *Wydawnictwo Komunikacji i Łączności*, Warszawa, 2010.
- Gopalan A., Titus A.H., A New Wide Range Euclidean Distance Circuit for Neural Network Hardware Implementation, *IEEE Transactions on Neural Networks, Special Issue on Neural Networks Hardware Implementations*, Vol. 14, No. 5, pp. 1176-1186, September 2003.
- Harrer H., Nossek J.A., Stelzt R., An Analog Implementation of Discrete-Time Cellular Neural Networks, *IEEE Trans. on Neural Networks*, Vol.3, pp. 446-477, 1992.
- Harrer H., Nossek J.A., Roska T., Chua L.O., A current-mode DTCNN Universal Chip, *Proceedings of ISCAS*, pp. 135-138, 1994.
- Hertz J., Krogh A., Palmer R.G., Wstęp do obliczeń neuronowych, *Wydawnictwa Naukowo-Techniczne*, Warszawa 1995.
- Hirose A., Nakazawa K., Analog Recurrent Decision Circuit With High Signal-Voltage Symmetry and Delay-Time Equality to Improve Continuous-Time Convergence Performance, *IEEE Transactions on Neural Networks, Special Issue on Neural Networks Hardware Implementations*, Vol. 14, No. 5, pp. 1201-1206, September 2003.
- Horio Y., Aihara K., Yamamoto O., Neuron-Synapse IC Chip-Set for Large-Scale Chaotic Neural Networks, *IEEE Transactions on Neural Networks, Special Issue on Neural Networks Hardware Implementations*, Vol. 14, No. 5, pp. 1393-1404, September 2003.
- Hoseini P., Mashoufi B., Circuit Design of Weighted Order Statistics Filter Based on Neural Network in CMOS Process, *International Conference on Electronic Devices, Systems and Applications*, pp. 174-178, 2010.
- Hu Y., Hwang J. (ed.), Handbook of Neural Network Signal Processing, *CRC Press*, 2002.
- Huertas J.L., Rodriguez-Vazquez A. and Espejo S., Analog VLSI Implementation of Cellular Neural Networks, *Second International Workshop CNNA'92*, Monachium, Niemcy, pp. 141-150, listopad 1992.
- Jirak D., Kriz J., Strzelecki M., Yang J., Hasilo C., White D.J., Foster P.J., Monitoring the survival of islet transplants by MRI using a novel technique for their automated detection and quantification, *MAGMA*, PMID: 19390886, 24 Apr. 2009.

- Kacprzak T., Ślot K., Sieci neuronowe komórkowe, *PWN*, Warszawa 1995.
- Kameda S., Yagi T., An Analog VLSI Chip Emulating Sustained and Transient Response Channels of the Vertebrate Retina, *IEEE Transactions on Neural Networks, Special Issue on Neural Networks Hardware Implementations*, Vol. 14, No. 5, pp. 1405-1412, September 2003.
- Kinget P., Steyaert M.S.J., A Programmable Analog Cellular Neural Network CMOS Chip for High Speed Image Processing, *IEEE Journal of Solid-State Circuits*, Vol. 30, No. 3, pp. 235-243, March 1995.
- Kinget P., Steyaert M., Analog VLSI Integration of Massive Parallel Processing Systems, *Ed. Kluwer Academic Publishers*, 1996.
- Korbel P., Wykorzystanie sieci neuronowych komórkowych i modeli deformowalnych do rozpoznawania obiektów dwuwymiarowych, Rozprawa Doktorska, *Politechnika Łódzka, Instytut Elektroniki*, Łódź 2006.
- Korbicz J., Obuchowicz A., Uciński D., Sztuczne sieci neuronowe. Podstawy i zastosowania, *Akademicka Oficyna Wydawnicza PLJ*, Warszawa 1994.
- Kozieł S., Szczepański S., Dynamic range comparison of voltage-mode and current-mode state-space Gm-C biquad filters, *The 8th IEEE International Conference on Electronics, Circuits and Systems - ICECS 2001*, Vol. 2, pp. 819-822, 2001.
- Kozieł S., Szczepański S., Dynamic range comparison of voltage-mode and current-mode state-space Gm-C biquad filters in reciprocal structures, *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, Vol. 50, No. 10, pp. 1245-1255, Oct. 2003.
- Kuźmich W., Projektowanie analogowych układów scalonych, *Wydawnictwo Naukowo-Techniczne*, Warszawa 1985.
- Laiho M., Poikonen J., Virta P., Paasio A., A 64x64 cell mixed-mode array processor prototyping system, *11th International Workshop on Cellular Neural Networks and Their Applications*, pp. 1-1, Santiago de Compostela, Hiszpania, 14-16 lipca 2008.
- Laiho M., Poikonen J., Paasio A., Space-dependent binary image processing within a 64x64 mixed-mode array processor, *European Conference on Circuit Theory and Design*, pp. 189-192, 23-27 sierpnia 2009.
- [a] Liñán G., Foldesy P., Espejo S., Domínguez-Castro R., Rodríguez-Vázquez A., A 0.5 μm CMOS 10^6 Transistors Analog Programmable Array Processor for Real-Time Image Processing, *Proc. of the 25th European Solid-State Circuits Conference*, pp. 358-361, Duisburg-Germany, Sept. 1999.
- [b] Liñán G., Domínguez-Castro R., Espejo S., Rodríguez-Vázquez A., Design of a Large-Complexity Analog I/O CNNUC, *ECCTD'99 Design Automation Day*, September 1999.
- Liñán G., Espejo S., Domínguez-Castro R., Rodríguez-Vázquez A., The CNNUC3: An Analog I/O 64 x 64 CNN Universal Machine with 7-bit Analog Accuracy, *IEEE 2000 Int. Workshop on Cellular Neural Networks and Their Applications*, pp. 201-206, Catania, 2000.
- Linares-Barranco B., Serrano-Gotarredona T., Serrano-Gotarredona R., Compact Low-Power Calibration Mini-DACs for Neural Array With Programmable Weights, *IEEE Transactions on Neural Networks, Special Issue on Neural Networks Hardware Implementations*, Vol. 14, No. 5, pp. 1207-1216, September 2003.

- Linsay P., Wang D., Fast numerical integration of relaxation oscillator networks based on singular limit solutions, *IEEE Trans. on Neural Networks*, Vol. 9, No. 3, 523-532, 1998.
- Makowski P., Pelczyński P., Romaniuk P., "Signal Acquisition and Classification Modules for Model Parameter Identification System, *Proc. of Int. Conference MIXDES '98*, Łódź, Poland, pp. 375-379, 1998.
- [a] Materka A., Nowa metoda identyfikacji parametrów układu dynamicznego za pomocą sztucznej sieci neuronowej, *Kwartalnik Elektroniki i Telekomunikacji*, Vol. 41, Z. 1, pp. 47-65, 1995.
- [b] Materka A., Parametric Fault Identification in Mixed-Signal Circuits Using Feedforward Neural Networks, *2nd Advanced Training Course MIXED DESIGN OF VLSI CIRCUITS*, Kraków, pp. 84-89, 1995.
- [c] Materka A., Modular Neural Network Architecture for Accurate Estimation of Dynamical System Parameters, *XVIII KTOiUE*, Polana-Zgorzelisko, pp. 635-640, 1995.
- [d] Materka A., New Technique for Analog Circuit Parameter Identification Using Neural-Network-Based Approximators, *XVIII KTOiUE*, Polana-Zgorzelisko, pp. 407-412, 1995.
- Materka A., Mizushina S., Parametric Signal Restoration Using Artificial Neural Networks, *IEEE Transactions on Biomedical Engineering*, Vol. 43, No. 4, pp. 357-372, April 1996.
- Materka A., System Parameter Estimation Using Neural-Network-Like Approximators of Multivariable Functions, *System Analysis-Modelling-Simulation*, Gordon and Breach Publishers, Vol. 24, pp. 107-120, 1996.
- Materka A., Pelczynski P., Strzelecki M., Design of A Mixed-Signal ANN Prototype System for Model Parameter Identification, *6th Advanced Training Course MIXDES '97*, Poznań, pp. 463-469, czerwiec 1997.
- Materka A., Modular Artificial Neural Network for Model Parameter Identification , *6th Advanced Training Course MIXDES '97*, Poznań, pp. 469-474, czerwiec 1997.
- [a] Materka A., Pelczyński P., Strzelecki M., Artificial Neural Network Mixed-Signal Prototype System for Model Parameter Identification, *Mixed Design of Integrated Circuits and Systems*, A. Napieralski et al. (Eds.), Kluwer Academic Publishers, pp. 97-102, 1998.
- [b] Materka A., Pelczyński P., Strzelecki M., Artificial Neural Network Mixed-Signal Prototype System for Model Parameter Identification, *Kwartalnik Elektroniki i Telekomunikacji*, Vol. 44, Z. 3, pp. 373-390, 1998.
- Materka A., Strzelecki M., Observation Domain Partitioning by Means of Perceptron-like ANNs in Real-Time Parameter Estimation Systems, *9-th International Symposium System-Modelling-Control*, Zakopane, Poland, 6 pages, on CD-ROM, 1998.
- Materka A., Strzelecki M., Observation Domain Partitioning by Means of ANNs in Real-Time Parameter Estimation Systems, *Computational Intelligence and Applications*, P. S. Szczepaniak (ed.), pp. 234-243, 1999.
- Materka A., Analogowo-cyfrowa sieć neuronowa do identyfikacji parametrów układów dynamicznych, *Prace Naukowe Elektronika*, Z. Korzec, M. Strzelecki (eds.), Vol. 4, pp. 81-100, 1999.
- Milev M., Hristov M., Analog Implementation of ANN With Inherent Quadratic Nonlinearity of the Synapses, *IEEE Transactions on Neural Networks, Special Issue on Neural Networks Hardware Implementations*, Vol. 14, No. 5, pp. 1187-1200, September 2003.

Nakada K., Asai T., Amemiya Y., An Analog CMOS Central Pattern Generator for Interlimb Coordination in Quadruped Locomotion, *IEEE Transactions on Neural Networks, Special Issue on Neural Networks Hardware Implementations*, Vol. 14, No. 5, pp. 1356-1365, September 2003.

Navas-Gonzales de J.R., Vidal-Verdu F., Rodriguez-Vazquez A., Neuro-Fuzzy Chip to Handle Complex Tasks With Analog Performance, *IEEE Transactions on Neural Networks, Special Issue on Neural Networks Hardware Implementations*, Vol. 14, No. 5, pp. 1375-1392, September 2003.

Ng H.S., Lam K.P., Analog and Digital FPGA Implementation of BRIN for Optimization Problems, *IEEE Transactions on Neural Networks, Special Issue on Neural Networks Hardware Implementations*, Vol. 14, No. 5, pp. 1413-1425, September 2003.

Opris I.E., Kovacs G.T.A., A High-Speed Median Circuit, *IEEE Journal of Solid-State Circuits*, Vol. 32, No. 6, pp. 905-908, June 1997.

Opris I.E., Analog rank extractors, *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, Vol. 44, Issue 12, pp. 111 –1121, Dec. 1997.

Osowski S., Sieci neuronowe, *Oficina Wydawnicza Politechniki Warszawskiej*, Warszawa 1994.

Osowski S., Sieci neuronowe w ujęciu algorytmicznym, *Wydawnictwa Naukowo-Techniczne*, Warszawa 1996.

Osowski S., Sieci neuronowe do przetwarzania informacji, *Oficina Wydawnicza Politechniki Warszawskiej*, Warszawa 2000.

Paasio A., Dawidziuk A., Halonen K., Porra V., Minimum Size 0.5 μm CMOS Programmable 48 x 48 CNN Test Chip, *Proc. of the 1997 European Conference on Circuit Theory and Design*, pp. 154-156, Budapest, Hungary, September 1997.

Paasio A., Kananen A., Halonen K., Porra V., A 48 by 48 CNN chip operating with B/W images, *IEEE International Conference on Electronics, Circuits and Systems*, Vol. 1, pp. 191-194, Lisboa, 1998.

Paasio A., Halonen K., An analogue circuit for weighted rank order filtering, *European Conference on Circuit Theory and Design*, Espoo, Finland, pp. I-125-I-128, 28-31 August 2001.

Pelgrom M.J., Duinmaijer A.C.J., Welbers A.P.G., Matching Properties of MOS Transistors, *IEEE Journal of Solid-State Circuits*, Vol.24, No.5, pp. 1433-1439, October 1989.

Pelczynski P., Materka A., Romaniuk P., Performance Investigation of a Hardware-Implemented Classifier-Approximator Neural Network, *4th Conf. Neural Networks and Their Applications*, Zakopane, pp. 475-480, maj 1999.

Pitas I., Venetsanopoulos A.N., Nonlinear Digital Filters, *Boston: Kluwer Academic Publishers*, 1990.

Poikonen J., Paasio A., Implementing Grayscale Morphological Operators with a Compact Ranked Order Extractor Circuit, *Proceedings of 7-th IEEE International Workshop on Cellular Neural Networks and their Applications: Nonlinear Information Processing and Intelligent Sensors - CNNA-2002*, Johann Wolfgang Goethe - University, Frankfurt/Main, Germany, pp. 646-653, 22-24 July 2002.

Poikonen J., Paasio A., An 8x8 Cell Analog Order-Statistic-Filter Array With Asynchronous Grayscale Morphology in 0.13 μm CMOS, *IEEE Transactions on Circuits and Systems-I: Regular Papers*, Vol. 56, No. 8, pp. 1541-1553, Sierpień 2009.

Rodriguez-Vazquez A., Linan-Cembrano G., Carranza L., Roca-Moreno E., Carmona-Galan R., Jimenez-Garrido F., Dominguez-Castro R., Meana S. E., ACE16k: The Third Generation of Mixed-Signal SIMD-CNN ACE Chips Toward VSoCs, *IEEE Transactions on Circuits and Systems - I: Regular Papers*, Vol. 51, No. 5, pp. 851-863, Maj 2004.

Romaniuk P., Strumiłło P., Materka A., Strzelecki M., Electrical Properties and Post-Manufacture Optimization of Analog VLSI Kohonen Classifier, *4th Conf. Neural Networks and Their Applications*, Zakopane, pp. 481-486, maj 1999.

Roska T., Chua L.O., The CNN Universal Machine, Part II: Programmability and Applications, *CNNA 1992*, pp. 181-190, 1992.

Roska T., Chua L.O., The CNN Universal Machine: an Analogic Array Computer, *IEEE Trans. on Circuits and Systems*, Vol. 40, pp. 163-173, March 1993.

Ruikang Yang L.Y., Gabbouj M., Neuvo Y., Weighted Median Filters: A Tutorial, *IEEE Trans. Circuits and Systems-II: Analog and Digital Signal Processing*, Vol. 43, No. 3, pp. 157-192, March 1996.

Rutkowski L., Sieci neuronowe i neurokomputery, *Wydawnictwo Politechniki Częstochowskiej*, Częstochowa 1996.

Sakurai T., Newton A.R., A simple MOSFET model for Circuit Analysis, *IEEE Trans. on Electron Devices*, Vol. 38, No. 4, pp. 887-893, 1991.

Salerno M., Sargeni F., Bonaiuto V., Taraglio S., Zanela A., A new board for CNN stereo vision algorithm, *The 2000 IEEE International Symposium on Circuits and Systems*, Vol.3, pp. 702-705, Geneva, 28-31 May 2000.

Seevinick E., Wassenaar R.F., A Versatile CMOS Linear Transconductor/Square-Law Function Circuit, *IEEE Journal of Solid-State Circuits*, Vol. 22, No. 3, pp. 366-377, June 1987.

Serrano-Gotarredona T., Linares-Barranco B., Log-Domain Implementation of Complex Dynamics Reaction-Diffusion Neural Networks, *IEEE Transactions on Neural Networks, Special Issue on Neural Networks Hardware Implementations*, Vol. 14, No. 5, pp. 1337-1355, September 2003.

Shareef N., Wang D., Yagel R., Segmentation of Medical Images Using LEGION, *IEEE Trans. on Med. Imaging*, Vol. 18, No. 1, pp. 74-91, 1999.

Shi B.E., Order Statistic Filtering with Cellular Neural Networks, *CNNA-94 Third IEEE International Workshop on Cellular Neural Networks and their Applications*, Rome, Italy, pp. 441-443, 18-21 December 1994.

Strzelecki M., Materka A., Sygut J., Zalewska A., Digital Image Processing Methods For Morphological Characterization Of Mast Cells In Selected Skin Diseases, *Image Processing & Communications*, Vol. 5, No. 1, pp. 45-56, 1999.

Strzelecki M., Liberski P., Zalewska A.: Segmentation of Mast Cell Images Using network of Synchronised Oscillators, *Proc. of the Int. Conf. of Informatics for Health Care*, Lithuania, pp. 81-88, 19-20 Sept. 2002.

[a]Strzelecki M., Pattern Recognition Using Network of Synchronised Oscillators, *Int. Proc. of Int. Conf. of Computer Vision and Graphics*, Vol. 2, Zakopane, pp. 716-721, 25-29 September 2002.

- [b]Strzelecki M., Segmentation of MRI trabecular-bone images using network of synchronized oscillators, *Machine Graphics & Vision*, Vol. 11, No. 1, pp. 77-100, 2002.
- [a]Strzelecki M., Texture boundary detection using network of synchronized oscillators, *Electron. Lett.*, Vol. 40, No. 8, pp. 466-467, 2004.
- [b]Strzelecki M., Segmentacja tekstury obrazów z wykorzystaniem neuronowych sieci oscylacyjnych i metod statystycznych, *Politechnika Łódzka, Zeszyty Naukowe* Nr 949, *Rozprawy Naukowe*, Z. 336, Łódź 2004.
- Strzelecki M., Materka A., Drozd J., Krzeminska-Pakula M., Kasprzak J.D., Classification and segmentation of intracardiac masses in cardiac tumor echocardiograms, *Computerized Medical Imaging and Graphics*, Vol. 30, No. 2, pp. 95-107, 2006.
- Ślot K., Sieci neuronowe komórkowe: efektywne narzędzia przetwarzania informacji obrazowej“, *Politechnika Łódzka, Zeszyty Naukowe* Nr 819, *Rozprawy Naukowe*, Z. 257, Łódź 1999.
- Szczepański S., Pankiewicz B., Jakusz J., A Four-Quadrant Multiplier For Application in Analog Neural Networks, *XVIII-th National Conference Circuits Theory and Electronic Networks*, Polana Zgorzelisko, Poland, pp. 653-658, 25-28 Oct. 1996.
- Tadeusiewicz R., Sieci neuronowe, *Akademicka Oficyna Wydawnicza RM*, Warszawa, 1993.
- Talaśka T., Wojtyna R., Długosz R., Iniewski K., Implementation of conscience mechanism for Kohonen's neural network in CMOS 0.18 μ m technology, *Proceedings of Mixed Design of Integrated Circuits and Systems – MIXDES'2006*, pp. 310-315, Gdynia, 22-24 June 2006.
- Talaśka T., Długosz R.R., Wojtyna R., Current mode analog Kohonen neural network, *International Conference Mixed Design of Integrated Circuits and Systems (MIXDES)*, Ciechocinek 2007.
- Thompson C.D., The VLSI complexity of sorting, *IEEE Trans. Comput.*, Vol. C-32, pp. 1171-1183, Dec. 1983.
- Varrientos J.E., Sanchez-Sinencio E., Ramirez-Angulo J., A Current-Mode Cellular Neural Network Implementation, *IEEE Transactions on Circuits and Systems-II: Analog and Digital Processing*, Vol. 40, No. 3, pp.147-155, March 1993.
- Veni S., Yamuna B., Hardware implementation of CNN, *Proceedings of 2005 International Conference on Intelligent Sensing and Information Processing*, pp. 320-325, 4-7 Jan. 2005.
- Von der Malsburg C., Schneider W., A neural cocktail-party processor, *Biol. Cybern.*, Vol. 54, pp. 29-40, 1986.
- Wang D. Terman D., Locally excitatory globally inhibitory oscillators network, *IEEE Trans. on Neural Networks*, Vol. 6, No. 1, pp. 283-286, 1995.
- Wang D., Terman D., Image segmentation based on oscillatory correlation, *Neural Computation*, Vol. 9, pp. 805-836, 1997.
- Wang Z., A CMOS Four-Quadrant Analog Multiplier with Single-Ended Voltage Output and Improved Temperature Performance, *IEEE Journal of Solid-State Circuits*, Vol. 26, No. 9, pp. 1293-1301, September 1991.
- Wawryn K., Układy z przełączanymi prądami, *Wydawnictwa Naukowo-Techniczne*, Warszawa 1997.

Wilamowski B.M., Układy scalone. Budowa, działanie i technologia, *Wydawnictwa Komunikacji i Łączności*, Warszawa 1989.

Wojtyna R., Generatory CMOS drgań harmoniczných pracujące w trybie prądowym, *Akademia Techniczno-Rolnicza im. Jana i Jędrzeja Śniadeckich w Bydgoszczy*, Rozprawy Nr 73, Bydgoszcz 1996.

Wojtyna R., Current-mode analog memory with extended storage time for hardware-implemented neural networks, *Elektronika – konstrukcje, technologie, zastosowania. Miesięcznik naukowo-techniczny Stowarzyszenia Elektryków Polskich*, Nr 3, pp. 34-38, 2009.

Wojtyna R., Analog signal processing suited for neural-network hardware implementation, *Elektronika – konstrukcje, technologie, zastosowania. Miesięcznik naukowo-techniczny Stowarzyszenia Elektryków Polskich*, Nr 3, pp. 97-101, 2010.

Yamasaki T., Shibata T., Analog Soft-Pattern-Matching Classifier Using Floating-Gate MOS Technology, *IEEE Transactions on Neural Networks, Special Issue on Neural Networks Hardware Implementations*, Vol. 14, No. 5, pp. 1257-1265, September 2003.

Yang L., Chua L.O., Krieg K.R., VLSI Implementation of Cellular Neural Networks, *Proceedings of IEEE ISCAS*, Vol. 3, pp. 2425-2427, Maj 1990.

Zalewska A., Strzelecki M., Janowski P., Brzezińska-Błaszczyk E., Computer analysis of normal and basal cell carcinoma mast Wells, *Medical Science Monitor*, Vol. 7, No. 2, pp. 260-265, 2001.

Literatura – prace autorskie i współautorskie dotyczące tematyki monografii

Kowalski J., Analiza projektowa reprogramowalnych sieci neuronowych komórkowych w technice półprzewodnikowych układów analogowych CMOS wielkiej skali integracji, Rozprawa Doktorska, *Politechnika Łódzka, Instytut Elektroniki*, Łódź 1998.

Kowalski J., Kacprzak T., Ślot K., VLSI Implementation of Analog Image Median Filter with Average Filter Option Based on Cellular Neural Network Architecture, *Proceedings of XXI National Conference on Circuit Theory and Electronic Networks*, Vol. 2, Poznań - Kiekrz, Poland, pp.643-648, 22-24 October 1998.

Kowalski J., Strzelecki M., De Vos A., Kohonen Neural Network Chip: Preliminary Results of Circuit Tests, *Proceedings of the 6th International Conference on Mixed Design of Integrated Circuits and Systems –MIXDES'99*, Kraków, pp. 503-506, 17-19 June 1999.

Kowalski J., Kacprzak T., De Vos A., A VLSI Circuit Idea of Cellular Neural Network Based Weighted Median Image Filter, *Proceedings of the 7th International Conference on Mixed Design of Integrated Circuits and Systems - MIXDES'2000*, Gdynia, Poland, pp. 403-406, 15-17 June 2000.

Kowalski J., Strzelecki M., A VLSI Kohonen Neural Network Chip and its Basic Measurements Results, *International Symposium on Nonlinear Theory and its Applications - NOLTA 2000*, Dresden, Germany, Proceedings, Vol. 1, pp. 401-404, 17-21 September 2000.

Kowalski J., Breuer V., Kacprzak T., BSIM3v3 MOSFET Model Several Important DC Parameters Extraction Using Triode Region Static Characteristics, *Proceedings of the*

International Conference on Signals and Electronic Systems - ICSES'2000, Ustroń, Poland, pp. 301-306, 17-20 October 2000.

[a] Kowalski J., Raport naukowy z realizacji badań własnych nr I-16/2/BW/00, Weryfikacja doświadczalna filtru medianowego czasu rzeczywistego obrazów wideo, *Politechnika Łódzka, Instytut Elektroniki*, Łódź, luty 2001.

[b] Kowalski J., Półprzewodnikowa realizacja filtrów medianowych obrazu o architekturze sieci neuronowych komórkowych, *WEE PŁ Elektronika – Prace Naukowe*, Zeszyt nr 6, pp. 95-113, Łódź 2001.

Kowalski J., Kacprzak T., De Vos A. Parallel Weighted Median Image Filter Based on Cellular Neural Network Paradigm, *Proceedings of the 8th International Conference on Mixed Design of Integrated Circuits and Systems – MIXDES'2001*, Zakopane, Poland, pp. 201-206, 21-23 June 2001.

[a] Kowalski J., Kacprzak T., Ślot K., Analogue VLSI Chip of Image Median/Average Filter Based on Cellular Neural Network Paradigm, *Proceedings of the International Conference on Signals and Electronic Systems -ICSES'2001*, Łódź, Poland, pp. 457-462, 18-21 September 2001.

[b] Kowalski J., Kacprzak T., Ślot K., Dębiec P., Functional Tests Results of Analogue VLSI Chip of Image Median/Average Filter Based on Cellular Neural Network Paradigm, *Proceedings of the International Conference on Signals and Electronic Systems -ICSES'2001*, Łódź, Poland, pp. 221-226, 18-21 September 2001.

[a] Kowalski J., Kacprzak T., Analiza i projektowanie sieci neuronowych komórkowych realizowanych w technice układowej wzmacniaczy transkonduktancyjnych jedno- i wielowejściowych, *Kwartalnik Elektroniki i Telekomunikacji*, Tom 47, Zeszyt 1, pp. 87-119, PWN, Warszawa 2001.

[b] Kowalski J., Kacprzak T., Cellular Neural Network Based Weighted Median Filter for Real Time Image Processing, *Proceedings of 2001 IEEE International Conference on Image Processing – ICIP 2001*, Thessaloniki, Greece, Vol. 1, pp. 545-548, 7-10 October 2001.

[a] Kowalski J., Raport naukowy z realizacji badań własnych nr I-16/2/BW/2001, Platforma testowa analogowego układu scalonego ważonego filtru statystycznego sygnałów/obrazów, *Politechnika Łódzka, Instytut Elektroniki*, Łódź, luty 2002.

[b] Kowalski J., Weighted Median Image Filter Chip Based on Cellular Neural Network Paradigm: Basic Measurements Results, *Proceedings of the 9th International Conference on Mixed Design of Integrated Circuits and Systems – MIXDES'2002*, Wrocław, Poland, pp. 641-646, 20-22 June 2002.

[c] Kowalski J., Analogue Weighted Median Filter Based on Cellular Neural Network for Standard Video Signal Processing, *Proceedings of 7-th IEEE International Workshop on Cellular Neural Networks and their Applications: Nonlinear Information Processing and Intelligent Sensors - CNNA-2002*, Johann Wolfgang Goethe - University, Frankfurt/Main, Germany, pp. 638-645, 22-24 July 2002.

[a] Kowalski J., Raport naukowy z realizacji badań własnych nr I-16/247/02/BW/6, Filtracja sygnałów dźwiękowych z wykorzystaniem analogowego układu scalonego ASIC ważonego filtru statystyk porządkowych, *Politechnika Łódzka, Instytut Elektroniki*, Łódź, luty 2003.

[b] Kowalski J., Weighted Order Statistic Image Filter Chip Based on Cellular Neural Network Architecture, *IEEE International Conference on Image Processing – ICIP 2003*, Barcelona, Spain, Vol. 2, pp. 575-578, 14-17 September 2003.

[c] Kowalski J., 0.8 μm CMOS Implementation of Weighted Order Statistic Image Filter Based on Cellular Neural Network Architecture, *IEEE Transactions on Neural Networks, Special Issue on Neural Networks Hardware Implementations*, Vol. 14, No. 5, pp. 1366-1374, September 2003.

Kowalski J., Strzelecki M., Projekt realizacji CMOS sieci oscylatorów do segmentacji obrazów binarnych, *II Krajowa Konferencja Elektroniki – KKE'2003*, Materiały Konferencji, Kołobrzeg, Tom 1/2, pp. 169-174, 9-12 Czerwiec 2003.

Kowalski J., Kacprzak T., Ślot K., New VLSI CMOS analogue median filter for real-time video applications, *Electronics and Telecommunications Quarterly*, Vol. 50, No. 2, pp. 209-230, Wydawnictwo Naukowe PWN, Warszawa 2004.

Kowalski J., Strzelecki M., De Vos A., Relaxation oscillator circuit design for image segmentation, *Proc. of IEEE Signal Processing Workshop*, Poznań, pp. 27-31, September 2004.

[a] Kowalski J., Strzelecki M., Weryfikacja pomiarowa bloków funkcjonalnych CMOS układu scalonego VLSI sieci oscylatorów do segmentacji obrazów binarnych, *IV Krajowa Konferencja Elektroniki – KKE'2005*, Materiały Konferencji, Darłowo Wschodnie, Tom 2/2, pp. 519-524, 12-15 Czerwiec 2005.

[b] Kowalski J., Strzelecki M., CMOS VLSI Design of Synchronized Oscillators Network for Binary Image Segmentation, *Proceedings of the 12th International Conference on Mixed Design of Integrated Circuits and Systems – MIXDES'2005*, pp. 71-76, Kraków, 22-25 June 2005.

[c] Kowalski J., Strzelecki M., CMOS VLSI Chip for Segmentation of Binary Images, *Workshop Proceedings of IEEE Signal Processing'2005*, pp. 149-154, Poznań, 30th September 2005.

Kowalski J., Strzelecki M., Majewski P., CMOS VLSI Chip of Network of Synchronised Oscillators: Functional Tests Results, *Workshop Proceedings of IEEE Signal Processing'2006*, pp.71-76, Poznań, 29th September 2006.

Kowalski J., Strzelecki M., Synchronization test results of oscillator network CMOS VLSI chip, *Elektronika – konstrukcje, technologie, zastosowania. Miesięcznik naukowo-techniczny Stowarzyszenia Elektryków Polskich*, Nr 4, pp. 53-57, 2007.

Kowalski J., Strzelecki M., 32x32 Oscillator Network Chip For Binary Image Segmentation, *International Conference on Signals and Electronic Systems - ICSES 2008*, pp. 227-230, Kraków, 14-17 September 2008.

Kowalski J., Strzelecki M., Kim H., Implementation of a Synchronized Oscillator Circuit for Fast Sensing and Labeling of Image Objects, *Sensors*, Vol. 11, No. 4, pp. 3401-3417, 2011.

Strzelecki M., Kowalski J., Model układowy CMOS oscylatora do segmentacji obrazów, *Pierwsza Krajowa Konferencja Elektroniki – KKE'2002*, Materiały Konferencji, Kołobrzeg – Dźwirzyno, Tom 1/2, pp. 253-258, 10-12 Czerwiec 2002.

Strzelecki M., Kowalski J., Realizacja układowa CMOS VLSI sieci synchronicznych oscylatorów dla celów segmentacji obrazów binarnych, sprawozdanie z projektu badawczego KBN nr T11 B 041 25, Łódź 2005.

Strzelecki M., Kowalski J., Majewski P., Hyongsuk K., Synchronized Oscillator Network ASIC CMOS Chip for Segmentation of Binary Images, *The 6th International Workshop on MSPT 2006 Multimedia, Signal Processing & Transmission*, Jeonju, Korea, Materiały konferencyjne, pp. 113-122, 20 Listopad 2006.

Strzelecki M., Kowalski J., Hyongsuk Kim, Soohong Ko, A New CNN Oscillator Model for Parallel Image Segmentation, *International Journal of Bifurcation and Chaos*, Vol. 18, No. 7, pp. 1999-2015, 2008.

Ślot K., Kowalski J., Napieralski A., Kacprzak T., Analogue median/average image filter based on cellular neural network paradigm, *Electronics Letters*, Vol. 35, No. 19, pp. 1619-1620, 16th September 1999.

Designing CMOS analog integrated circuits to implement neural networks for image and signal processing

Summary

This monograph summarizes Author's research in the field of designing and testing CMOS prototype analog-integrated-circuit neural networks for image and signal processing. Three chips are presented which implement three various types of neural networks. The circuits have been designed using different CMOS technologies offered by Europractice, i.e. 2,4 μm , 0,8 μm and 0,35 μm ones. Apart from a main neural network, special test structures have been implemented in the circuits. The test structures enable the neural-network basic building blocks to be measured. This allows us to compare simulation with measurement results and provides some information needed for proper designing the integrated-circuit functional-test set-up. A special test set-up has been realized for each integrated circuit to perform functional verification of a given neural network.

The first ASIC circuit considered in this monograph is a Kohonen network, operating with analog signals, dedicated for estimation of dynamic-system parameters. Architecture of the circuit, its implementation in the MIETEC 2,4 μm technology, as well as measurement results has been presented.

The second integrated circuit presented in the monograph is a filter, based on a cellular neural network architecture, suitable for weighted-order-statistic image processing. It has been designed in the AMS 0,8 μm CYE technology. The filter cell model and structure have been described. Detailed description of its basic building blocks and the chip test results have been shown.

The final part of this monograph is a description of a synchronized-oscillators-based neural network implemented in an ASIC form, which is well suited for binary-image-segmentation tasks. A new oscillator model and architecture of the designed circuit have been proposed. The AMIS 0,35 μm C035M-D 5M/1P technology has been used. Design, simulation and measurement results have been presented as well.

Charakterystyka zawodowa autora

Jacek Kowalski urodził się 5 lipca 1967 roku w Chełmie, woj. lubelskie. Studia na Wydziale Elektrycznym Politechniki Łódzkiej ukończył w 1991 roku, uzyskując dyplom magistra inżyniera elektronika o specjalności Aparatura Elektroniczna. Bezpośrednio po studiach rozpoczął pracę w Instytucie Elektroniki Politechniki Łódzkiej na stanowisku asystenta. W 1999 roku obronił pracę doktorską pod tytułem Analiza projektowa reprogramowalnych sieci neuronowych komórkowych w technice półprzewodnikowych układów analogowych CMOS wielkiej skali integracji. Od tego roku do chwili obecnej pracuje na stanowisku adiunkta.

Zainteresowania naukowe autora koncentrują się na dziedzinie teorii i realizacji analogowych sieci neuronowych, wykonywanych w technologii półprzewodnikowej CMOS wielkiej skali integracji.

Jacek Kowalski jest autorem lub współautorem łącznie 55 artykułów, raportów naukowych oraz prezentacji konferencyjnych krajowych i zagranicznych (w tym 39 po uzyskaniu stopnia naukowego dr. n.t.), z czego 11 opublikowano w czasopismach naukowych, w tym 4 w czasopismach zagranicznych z listy filadelfijskiej. Był współwykonawcą w sześciu projektach badawczych finansowanych ze środków budżetowych na naukę (granty KBN, MNiI i MNiSW) oraz współwykonawcą w projekcie badawczym Unii Europejskiej CRIT2 realizowanym w latach 1997-2000. Za swoje osiągnięcia w zakresie prac badawczych był wyróżniony siedmioma nagrodami Dyrektora Instytutu Elektroniki PŁ. W roku 2000 zostało przyznane jemu zespołowe wyróżnienie w konkursie miesięcznika telekomunikacyjnego INFOTEL za gotowy do wdrożenia projekt pt. Filtr statystyczny do przetwarzania obrazów w systemach wizyjnych czasu rzeczywistego. Odbił półroczny naukowy staż zagraniczny w Niemczech w roku 1997 na Technische Universität Berlin, Institut für Nachrichtentechnik und Theoretische Elektrotechnik, Fachgebiet Mikrowellentechnik, gdzie pracował nad ekstrakcją parametrów modelu BSIM3v3 tranzystora MOS. Kolejne jego kilkumiesięczne staże były w Belgii w latach 1997, 1999 i 2004 na University of Ghent, Vakgroep Elektronica en Informatiesystemen, gdzie projektował układy scalone VLSI CMOS o strukturze sieci neuronowej.

W ramach obowiązków dydaktycznych autor prowadził zajęcia z przedmiotów Przyrządy Półprzewodnikowe, Układy Elektroniczne, Technika Mikrofalowa, zaś obecnie Kompatybilność Elektromagnetyczna, Projektowanie Modułów Radiowych oraz Architektura Komputerów.

