

SKRYPTY DLA SZKÓŁ WYŻSZYCH

POLITECHNIKA ŁÓDZKA

ANDRZEJ NAPIERAŁSKI

**ANALIZA I PROJEKTOWANIE
KOMPUTEROWE
UKŁADÓW ELEKTRONICZNYCH
PRZY POMOCY PROGRAMU SPICE**

**BIBLIOTEKA GŁÓWNA
POLITECHNIKI ŁÓDZKIEJ**

72500/S

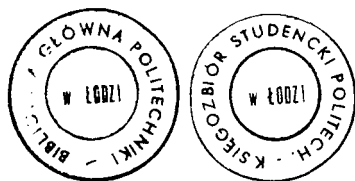


000-072500-00-0

ŁÓDŹ 1993

NAKŁADEM POLITECHNIKI ŁÓDZKIEJ





Recenzent: **prof. dr hab. Zdzisław Korzec**

WYDAWNICTWO POLITECHNIKI ŁÓDZKIEJ
93-005 Łódź, ul. Wólczńska 223

Nakład 300+40 egz. Ark. wyd. 6,2. Ark. druk. 8.
Podpisano do druku 15 IX 1993 r. Druk ukończono w październiku 1993 r.
Zamówienie 3594. Cena zł 29 000,–

Drukarnia Wydawnictw Naukowych S.A.
Łódź, ul. Żwirki 2



SPIS TREŚCI

1. PRZEDMOWA.....	5
2. WSTĘP.....	6
2.1. OPIS UKŁADU ELEKTRONICZNEGO.....	7
2.2. Możliwości symulacji komputerowej.....	8
2.2.1. Analiza stałoprądowa DC.....	8
2.2.2. Analiza zmiennoprądowa AC.....	8
2.2.3. Analiza czasowa stanów przejściowych TR.....	9
2.3. Język wejściowy.....	9
2.4. Podstawowe stałe fizyczne występujące w dalszej części skryptu.....	10
3. MODEL DIODY PN W PROGRAMIE PSPICE.....	11
3.1. Charakterystyki statyczne diody.....	11
3.1.1. Wpływ temperatury na charakterystyki statyczne diody.....	13
3.2. Charakterystyki dynamiczne diody.....	14
3.2.1. Wpływ temperatury na charakterystyki dynamiczne diody.....	20
3.3. Małosygnałowy model diody dla analizy AC.....	21
3.4. Umieszczenie diody w układzie.....	23
4. MODEL TRANZYSTORA BIPOLARNEGO W PROGRAMIE SPICE.....	25
4.1 Charakterystyki statyczne tranzystora bipolarnego.....	27
4.1.1. Wpływ temperatury na charakterystyki statyczne tranzystora bipolarnego.....	28
4.2. Charakterystyki dynamiczne tranzystora bipolarnego.....	30
4.2.2. Wpływ temperatury na charakterystyki dynamiczne tranzystora bipolarnego.....	32
4.3. Małosygnałowy model tranzystora bipolarnego dla analizy AC.....	35
4.4. Umieszczenie tranzystora bipolarnego w układzie.....	36
5. MODEL TRANZYSTORA JFET W PROGRAMIE SPICE.....	38
5.1 Charakterystyki statyczne tranzystora JFET.....	44
5.1.1. Wpływ temperatury na charakterystyki statyczne tranzystora JFET.....	45

5.2. Charakterystyki dynamiczne tranzystora JFET.....	45
5.2.2. Wpływ temperatury na charakterystyki dynamiczne tranzystora JFET.....	46
5.3. Małosygnałowy model tranzystora JFET dla analizy AC.....	48
5.4. Umieszczenie tranzystora JFET w układzie.....	48
6. MODEL TRANZYSTORA MOS W PROGRAMIE PSPICE.....	50
6.1 Charakterystyki statyczne tranzystora MOST.....	60
6.1.1. Wpływ temperatury na charakterystyki statyczne tranzystora MOS.....	61
6.2. Charakterystyki dynamiczne tranzystora MOST.....	62
6.2.2. Wpływ temperatury na charakterystyki dynamiczne tranzystora MOS.....	63
6.3. Małosygnałowy model tranzystora MOS dla analizy AC.....	64
6.4. Umieszczenie tranzystora MOS w układzie.....	70
6.6. Modelowanie tranzystora VDMOS w programie PSPICE.....	71
7. MODEL WZMACNIACZA OPERACYJNEGO W PROGRAMIE PSPICE.....	76
8. ZWIĘZŁY OPIS PROGRAMU PSPICE.....	80
9. SYMULACJA UKŁADÓW ELEKTRONICZNYCH Z ZASTOSOWANIEM PROGRAMU PSPICE.....	102
10. SYMULACJA UKŁADÓW ELEKTRONICZNYCH Z ZASTOSOWANIEM PROGRAMU NAP2.....	122
11. LITERATURA UZUPEŁNIAJĄCA.....	123



1. PRZEDMOWA

Skrypt niniejszy przeznaczony jest dla studentów studium dziennego kierunku Elektronika. Zagadnienia omawiane w skrypcie są wykładane w ramach przedmiotu "Metody Numeryczne" na semestrze III i IV, oraz "Analiza i Projektowanie Komputerowe Układów Elektronicznych" na semestrze V i VI.

Materiał zawarty w skrypcie ma za zadanie ułatwienie słuchaczom posługiwania się programem SPICE stosowanym obecnie powszechnie przy projektowaniu układów elektronicznych. Program ten stanowi podstawę laboratorium "Komputerowego Projektowania Układów Elektronicznych" wyposażonego dzięki pomocy programu TEMPUS JEP-2031 w komputery IBM PC 486.

Program SPICE znajduje obecnie bardzo szerokie zastosowanie przy projektowaniu układów VLSI i będzie również wykorzystywany w nowych laboratoriach opartych na stosowaniu komputerów SUN zakupionych w ramach programów TEMPUS JEP 2031 i JEP 4343.

Program SPICE jest najczęściej obecnie stosowanym pakietem do analogowej symulacji układów elektronicznych i skrypt ten może być również bardzo przydatny dla dyplomantów, doktorantów i pracowników Wydziału Elektrotechniki i Elektroniki P.Ł.

2. WSTĘP

Od kilku lat obserwuje się znaczne rozpowszechnienie zastosowania programów symulacji komputerowej. Pozwalają one zastąpić próby doświadczalne, które są bardzo kosztowne, a często nawet niemożliwe do przeprowadzenia.

Największe zastosowanie programów analizy komputerowej obserwuje się przy projektowaniu układów scalonych VLSI. Cała koncepcja układów zwanych "ASIC" (Application Specific Integrated Circuits) oparta jest na zastosowaniu symulacji komputerowej.

Poza projektowaniem układów scalonych, gdzie C.A.D. stało się narzędziem podstawowym, w ostatnich latach obserwuje się coraz częstsze zastosowanie komputerów w następujących dziedzinach:

1° Elektronika

- a) Analiza zachowania się przyrządów i układów półprzewodnikowych w kosmosie. Badanie wpływu promieniowania kosmicznego.
- b) Badanie wpływu temperatury
- c) Badanie niezawodności układów
- d) Symulacja uzysku produkcyjnego
- e) Analiza statystyczna

2° Elektronika dużych mocy (dawniej zwana energoelektroniką)

- a) Zmniejszenie kosztów projektowania układów przez uniknięcie montażu kosztownych układów.
- b) Możliwość symulowania procesów niszczących bez obawy o zniszczenie układu
- c) Optymalizacja układów i możliwość projektowania układów hybrydowych

3° Zastosowanie symulacji z wykorzystaniem analogii pomiędzy badanymi procesami a wielkościami elektrycznymi

- a) Termika
- b) Hydraulika
- c) Biologia
- d) Medycyna



e) Chemia

f) ...

Ażeby móc posługiwać się programem należy przede wszystkim dokonać opisu topologii układu.

2.1. Opis układu elektronicznego

Na wstępie należy otrzymać modele złożonych przyrządów półprzewodnikowych takich jak: diody, tranzystory, wzmacniacze operacyjne itp.). Modele te można utworzyć samemu, lub też skorzystać z istniejących bibliotek przyrządów półprzewodnikowych i elementów magnetycznych.

Następnie należy przygotować opis układu elektronicznego nadając nazwy wszystkim elementom obwodu, oraz numery wszystkim jego węzłom. Po dokonaniu opisu topologii, należy zdefiniować sygnały wymuszeń zewnętrznych pobudzających układ, oraz zdefiniować interesujące nas wielkości wyjściowe.

Ten etap nazywa się często etapem opisu topologii układu. Na podstawie tych danych komputer dokona sprawdzenia poprawności połączeń oraz utworzy wszystkie niezbędne macierze topologiczne jak na przykład macierz incydencji A, fundamentalną macierz cykli B, czy też fundamentalną macierz rozcięć D.

Następnie komputer utworzy równania, których rozwiązanie da w wyniku żądane rezultaty symulacji.

Do układania równań i do analizy układu elektronicznego stosowane są następujące metody:

a) Metoda potencjałów węzłowych lub też zmodyfikowana metoda potencjałów węzłowych: [16,19,21,50)

NAP2, SPICE [39, 52, 52]

b) Metoda hybrydowa i metoda zmiennych stanu:

CORNAP, SCRIPT [48]

c) Metoda prądów obwodowych (w 3 wymiarach)

PAUT2

Po zdefiniowaniu układu należy określić rodzaje analiz jakim ma



być poddany układ.

2.2. Możliwości symulacji komputerowej

Po jednorazowym wykonaniu opisu układu elektronicznego, można wykonać jego symulację w trzech rodzajach pracy:

- 1° Analiza stałoprądowa (D.C.)
- 2° Analiza zmiennoprądowa zwana też małosygnałową A.C.
- 3° Analiza stanów przejściowych zwana często analizą wielkosygnałową T.R.

2.2.1. Analiza stałoprądowa DC

Ten typ symulacji pozwala na znalezienie stanu równowagi układu czyli punktu pracy układu liniowego bądź nieliniowego.

W układzie w którym znajdują się pojemności lub indukcyjności, stan równowagi odpowiada stanowi gdy nie ma sygnałów pobudzających, a wszystkie składowe przejściowe są równe zeru. Wszystkie napięcia i prądy osiągnęły więc swoje stałe wartości i są niezienne w czasie.

Ten typ analizy pozwala na przeprowadzenie obliczenia punktu pracy (symulacja jednopunktowa), lub też na obliczenie charakterystyk wejściowych, przejściowych itp. (symulacja wielopunktowa).

W uproszczeniu można powiedzieć, że symulacja stałoprądowa odpowiada obliczaniu układu w którym zostały zwarte wszystkie indukcyjności i rozwarte wszystkie pojemności.

2.2.2. Analiza zmiennoprądowa AC

Symulacja zmiennoprądowa odbywa się w dziedzinie częstotliwości i daje w wyniku małosygnałową odpowiedź częstotliwościową układu liniowego poddanego wymuszeniu sinusoidalnemu.

Obwody nieliniowe muszą zostać uprzednio zlinearyzowane wokół określonego wstępnie (w analizie D.C.) punktu pracy, a następnie obliczana jest odpowiedź częstotliwościowa układu zlinearyzowanego.



Punkt pracy układu nieliniowego może być podany przez użytkownika programu, bądź też obliczony automatycznie w analizie D.C.

2.2.3. Analiza czasowa stanów przejściowych TR

Symulacja stanów przejściowych daje w wyniku odpowiedź układu w dziedzinie czasu dla układu liniowego lub nieliniowego poddanego wymuszeniom zdefiniowanym przez użytkownika. Wymuszenia mogą być stałe lub też być funkcjami czasu.

Warunki początkowe dla przeprowadzenia symulacji stanów przejściowych mogą być:

- 1° Obliczone automatycznie przez wykonanie analizy DC.
- 2° Wyznaczone na podstawie wartości podanych przez użytkownika.
- 3° Wyznaczone na podstawie wartości będących wynikiem obliczeń dla czasu poprzedzającego początek symulacji.

Po wykonaniu symulacji numerycznej, napięcia, prądy i inne wyniki obliczeń mogą być otrzymane w formie wykresów lub też w formie tabelarycznej. Przy analizie statystycznej można otrzymać histogramy. Można przeprowadzić też analizę wrażliwościową, a w niektórych programach (NAP2) nawet optymalizację.

2.3. Język wejściowy

Język wejściowy składa się ze zbioru instrukcji pozwalających na opis poszczególnych elementów obwodu (rezystory, pojemności, itp.), oraz na opis zależności pomiędzy wartościami pewnych elementów i elektrycznych zmiennych sieci. Musi on również pozwolić na określenie warunków symulacji i na wybranie zmiennych do edycji wyników.

Ogólnie można stwierdzić, że istnieje format sztywny i swobodny.

2.4. Podstawowe stałe fizyczne występujące w dalszej części skryptu

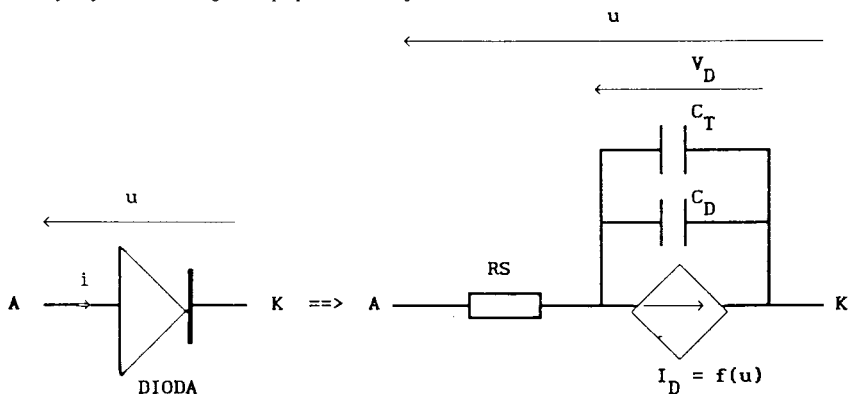
TABLICA 2.1

ładunek elektronu:	$e = q = 1.60207 \cdot 10^{-19} \text{ C}$
masa spoczynkowa elektronu:	$m = 9.1085 \cdot 10^{-31} \text{ kg}$
stała Plancka:	$h = 6.6252 \cdot 10^{-34} \text{ J s}$
stała Boltzmannna:	$k = 1.38042 \cdot 10^{-23} \text{ J/K}$
przenikalność dielektryczna próżni	$\epsilon_0 = \frac{10^7}{4\pi c^2} \frac{\text{F}}{\text{m}} = 8.854 \cdot 10^{-12} \frac{\text{F}}{\text{m}}$
przenikalność względna krzemu	$\epsilon = 11.7$
przenikalność dielektryczna krzemu	$\epsilon_{\text{Si}} = 103.5918 \cdot 10^{-12} \frac{\text{F}}{\text{m}}$
	$\epsilon_{\text{Si}} = 1.035918 \cdot 10^{-12} \frac{\text{F}}{\text{cm}}$
przenikalność magnetyczna próżni	$\mu_0 = \frac{4\pi}{10^7} \frac{\text{H}}{\text{m}} = 1.257 \cdot 10^{-6} \frac{\text{H}}{\text{m}}$
ruchliwość elektronów w krzemie:	$\mu_n = 1350 \frac{\text{cm}^2}{\text{Vs}}$
ruchliwość dziur w krzemie:	$\mu_p = 480 \frac{\text{cm}^2}{\text{Vs}}$
stała dyfuzji elektronów:	$D_n = \mu_n \frac{kT}{q} = 35 \frac{\text{cm}^2}{\text{s}} \text{ (dla } T=300\text{K)}$
Dla elektronów prędkość nasycenia wynosi:	$v_{\text{nsat}} = 10^7 \frac{\text{cm}}{\text{s}} \left(\frac{T}{300 \text{ K}} \right)^{-0.87}$
Dla dziur prędkość nasycenia wynosi:	$v_{\text{psat}} = 8.37 \cdot 10^6 \frac{\text{cm}}{\text{s}} \left(\frac{T}{300 \text{ K}} \right)^{-0.52}$



3. MODEL DIODY PN W PROGRAMIE PSPICE

Model diody wbudowany w program PSPICE może być z łatwością zastosowany do symulacji diody Schottky'ego lub też diody Zenera. Model ten przedstawiono schematycznie na rysunku 3.1. Rezystancja szeregowa diody symulowana jest poprzez rezystor RS.



RYSUNEK 3.1. Wielkosygnałowy model diody wbudowany w program PSPICE

3.1. Charakterystyki statyczne diody

Charakterystyki statyczne diody opisane są równaniem:

$$I_d = \text{powierzchnia} \cdot (I_{fwd} - I_{rev}) \quad (3.1)$$

przy czym:

I_{fwd} - prąd w kierunku przewodzenia

I_{rev} - wsteczny prąd upływu

Prąd w kierunku przewodzenia I_{fwd} opisany jest wzorem (3.2):

$$I_{fwd} = I_{nrm} \cdot K_{inj} + I_{rec} \cdot K_{gen} \quad (3.2)$$

przy czym:

I_{nrm} - podstawowy prąd diody (patrz wzór 3.3)

K_{inj} - współczynnik wysokiego poziomu wstrzykiwania (patrz wzór 3.4)

I_{rec} - prąd rekombinacji (patrz wzór 3.5)

K_{gen} - współczynnik generacji (patrz wzór 3.6)

$$I_{nrm} = IS \cdot \left(\exp \left(\frac{V_d}{N \cdot V_T} \right) - 1 \right) \quad (3.3)$$

gdzie:

IS - prąd nasycenia diody

$V_T = \frac{k \cdot T}{q}$ - potencjał termiczny

T - temperatura analizowanego układu w stopniach Kelvina

$k = 1.38042 \cdot 10^{-23}$ J/K - stała Boltzmanna

$$K_{inj} = \begin{cases} \sqrt{\frac{IKF}{IKF + I_{nrm}}} & \text{dla } I_{nrm} > 0 \\ 1 & \text{dla } I_{nrm} \leq 0 \end{cases} \quad (3.4)$$

gdzie:

IKF - prąd określający granicę wysokiego poziomu wstrzykiwania

$$I_{rec} = ISR \cdot \left(\exp \left(\frac{V_d}{NR \cdot V_T} \right) - 1 \right) \quad (3.5)$$

gdzie:

ISR - współczynnik prądu rekombinacji

NR - współczynnik emisji dla ISR

$$K_{gen} = \left(\left(1 - \frac{V_d}{VJ} \right)^2 + 0.005 \right)^{M/2} \quad (3.6)$$

gdzie:

VJ - potencjał dyfuzyjny złącza pn

Wsteczny prąd upływu opisany jest równaniem:

$$I_{rev} = I_{rev_{high}} = I_{rev_{low}} \quad (3.7)$$

$$I_{rev_{high}} = IBV \cdot \exp \left(- \left(\frac{V_d + BV}{NBV \cdot V_T} \right) \right) \quad (3.8)$$

przy czym:

IBV - prąd przebicia lawinowego

BV - napięcie przebicia lawinowego

NBV - współczynnik dopasowania charakterystyki przebicia



lawninowego

$$I_{rev_{low}} = IBVL \exp \left(- \left(\frac{V_d + BV}{NBVL \cdot V_T} \right) \right) \quad (3.9)$$

przy czym:

IBVL - prąd określający punkt przebicia lawinowego dla niskiego poziomu (początek przebicia)

NBVL - współczynnik dopasowania charakterystyki przebicia lawinowego dla niskiego poziomu

3.1.1. Wpływ temperatury na charakterystyki statyczne diody

Nominalna temperatura przyjęta do obliczeń w programie PSPICE T_{nom} wynosi 27 stopni Celsjusza. Zmiany temperatury na inną wartość T dokonuje się za pomocą instrukcji:

.TEMP = nowa wartość T

na przykład: .TEMP = 100

Instrukcja powyższa powoduje, że temperatura 100 stopni C zostanie przyjęta dla całego analizowanego układu. Nie jest możliwe w sposób bezpośredni określenie innej temperatury dla każdej z wybranych części układu elektronicznego.

Wpływ temperatury na charakterystyki statyczne diody uwzględniony jest przy pomocy następujących równań:

$$IS(T) = IS \exp \left(\frac{\left(\frac{T}{T_{nom}} - 1 \right) \cdot EG}{N \cdot V_T} \right) \cdot \left(\frac{T}{T_{nom}} \right)^{\frac{XTI}{N}} \quad (3.10)$$

$$ISR(T) = ISR \exp \left(\frac{\left(\frac{T}{T_{nom}} - 1 \right) \cdot EG}{NR \cdot V_T} \right) \cdot \left(\frac{T}{T_{nom}} \right)^{\frac{XTI}{NR}} \quad (3.11)$$

$$IKF(T) = IKF \left[1 + TIKF \cdot (T - T_{nom}) \right] \quad (3.12)$$

$$BV(T) = BV \left[1 + TBV1 \cdot (T - T_{nom}) + TBV2 \cdot (T - T_{nom})^2 \right] \quad (3.13)$$



$$RS(T) = RS \left[1 + TRS1 \cdot (T - T_{nom}) + TRS2 \cdot (T - T_{nom})^2 \right] \quad (3.14)$$

przy czym:

TIKF - liniowy współczynnik temperaturowy dla prądu IKF

TBV1 - liniowy współczynnik temperaturowy dla napięcia przebicia lawinowego

TBV2 - kwadratowy współczynnik temperaturowy dla napięcia przebicia lawinowego

TRS1 - liniowy współczynnik temperaturowy dla rezystancji szeregowej RS

TRS2 - kwadratowy współczynnik temperaturowy dla rezystancji szeregowej RS

3.2. Charakterystyki dynamiczne diody

Dynamika diody symulowana jest w programie PSPICE poprzez uwzględnienie ładunku związanego z pojemnością dyfuzyjną C_D (przepływ prądu przez diodę przy polaryzacji przepustowej) oraz z pojemnością złączową C_T .

Całkowita pojemność diody jest dana wzorem:

$$C_{DIODY} = C_D + \text{powierzchnia} \cdot C_T \quad (3.15)$$

C_T jest pojemnością złączową daną wzorem:

$$C_T = \frac{dQ_T}{dV_D} \quad (3.16)$$

przy czym:

Q_T - ładunek zgromadzony po jednej stronie złącza

$$Q_T = A_j \cdot q \cdot x_p \cdot N_A = A_j \cdot q \cdot x_n \cdot N_D \quad (3.17)$$

gdzie:

A_j jest powierzchnią złącza

x_p szerokość warstwy ładunku przestrzennego w materiale p

x_n szerokość warstwy ładunku przestrzennego w materiale n

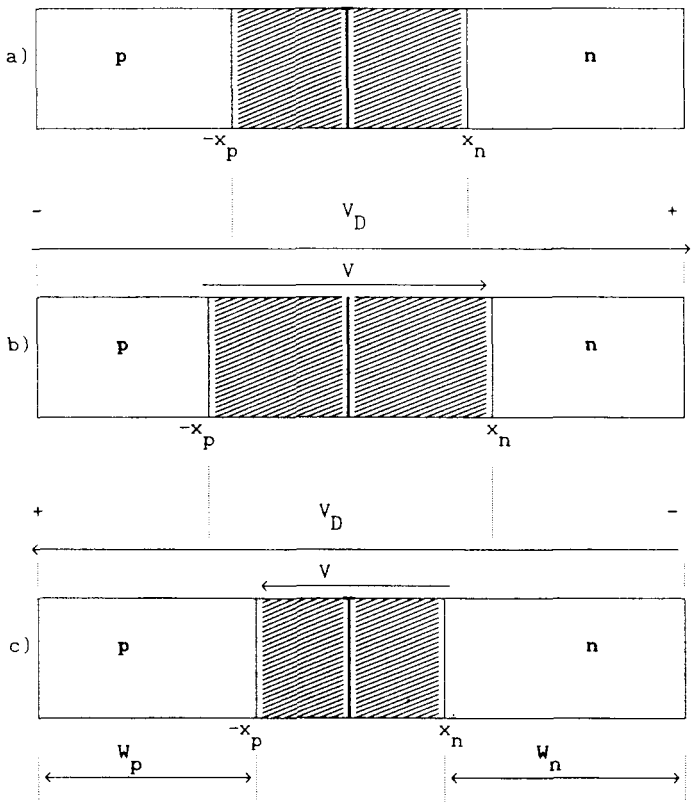
Wielkość x_p i x_n jest funkcją przyłożonego napięcia zewnętrznego.

Na rysunku 3.2. zilustrowano zachowanie się złącza dla trzech



przypadków polaryzacji zewnętrznej:

- a) bez napięcia zewnętrznego
- b) polaryzacja w kierunku zaporowym
- c) polaryzacja w kierunku przewodzenia



RYSUNEK 3.2. Ładunek określający pojemność złączową diody w funkcji napięcia polaryzacji:

- a) bez napięcia zewnętrznego
- b) polaryzacja w kierunku zaporowym
- c) polaryzacja w kierunku przewodzenia

Rozważmy rysunek 3.2. i określmy prąd płynący przez złącze p-n na skutek zmian napięcia na złączu. Całkowita szerokość złącza l_d określona jest wzorem:

$$l_d = x_p + x_n \quad (3.18)$$

Jeżeli napięcie przyłożone do złącza pn ulega zmianie, to różnica potencjałów V która odkłada się na obszarze ładunku przestrzennego (zwanego też obszarem przejściowym) zawartego pomiędzy płaszczyzną $-x_p$ i x_n zmienia się również. Powoduje to zmianę ładunku zawartego w tym obszarze, a co za tym idzie modyfikację natężenia pola elektrycznego E . Ze zmianą natężenia pola elektrycznego o wartość dE związany jest pewien prąd przesunięcia dany wzorem:

$$i = -\epsilon_{Si} \cdot A_j \frac{dE}{dt} \quad (3.19)$$

przy czym:

E natężenie pola elektrycznego:

$$E = - \frac{V}{l} \quad (3.20)$$

$$dE = - \frac{dV}{l_d} \quad (3.21)$$

Tak więc:

$$dQ = i \cdot dt = - \epsilon_{Si} \cdot A_j \cdot dE \quad (3.22)$$

$$\frac{dQ}{dE} = -\epsilon_{Si} \cdot A_j \quad (3.23)$$

$$\frac{dQ}{dV} = \frac{\epsilon_{Si} \cdot A_j}{l_d} \quad (3.24)$$

$$i = \frac{dQ}{dt} = \frac{\partial Q}{\partial V} \frac{\partial V}{\partial t} = \frac{\epsilon_{Si} \cdot A_j}{l_d} \cdot \frac{dV}{dt} \quad (3.25)$$

$$i = C_T \cdot \frac{dV}{dt} \quad (3.26)$$

gdzie:

$$C_T = \frac{dQ}{dV} = \frac{\epsilon_{Si} \cdot A_j}{l_d} \quad (3.27)$$

zwana jest pojemnością złączową.

W modelu diody wbudowanym w program PSPICE, rezystancja szeregową zawiera również rezystancję obszarów p i n. Napięcie V może być zatem



utożsamiane z napięciem V_D .

Dla złącza skokowego szerokość warstwy ładunku przestrzennego l_d dana jest wzorem:

$$l_d = x_p + x_n = \sqrt{\frac{2\epsilon_{Si} \cdot (N_A + N_D) \cdot (V_J - V_D)}{q \cdot N_A \cdot N_D}} \quad (3.28)$$

tak więc:

$$C_T = \epsilon_{Si} \cdot A_j \sqrt{\frac{q \cdot N_A \cdot N_D}{2\epsilon_{Si} \cdot (N_A + N_D) \cdot (V_J - V_D)}} = A_j \sqrt{\frac{\epsilon_{Si} \cdot q \cdot N_A \cdot N_D}{2 \cdot (N_A + N_D) \cdot (V_J - V_D)}} \quad (3.29)$$

Dla złącza liniowego szerokość warstwy ładunku przestrzennego l_d dana jest wzorem:

$$l_d = x_p + x_n = \left[\frac{12 \cdot \epsilon_{Si}}{q \cdot a} \cdot (V_J - U_D) \right]^{1/3} \quad (3.30)$$

gdzie:

a - współczynnik określający "nachylenie" domieszkowania złącza

tak więc:

$$C_T = \epsilon_{Si} \cdot A_j \left[\frac{q \cdot a}{12 \cdot \epsilon_{Si} \cdot (V_J - U_D)} \right]^{1/3} = A_j \left[\frac{\epsilon_{Si}^2 \cdot q \cdot a}{12 \cdot \epsilon_{Si} \cdot (V_J - U_D)} \right]^{1/3} \quad (3.31)$$

Oba przypadki złącza opisane wzorem (3.29) i (3.31) można opisać przy pomocy następującej zależności:

$$C_T = CJO \cdot \left(1 - \frac{V_D}{V_J} \right)^{-M} = \frac{CJO}{\left(1 - \frac{V_D}{V_J} \right)^M} \quad (3.32)$$

gdzie:

CJO - pojemność złącza przy zerowej polaryzacji

Równanie to jest słuszne dla polaryzacji zaporowej i przy małych

wartościach napięcia w kierunku przewodzenia. Dla $V_D \approx V_J$ wzór (3.32) przestaje być słuszny gdyż $C_T \approx \infty$ co nie ma sensu fizycznego.

UWAGA:

Ładunek przestrzenny zgromadzony w złączu jest dany wzorem (3.17):

$$Q_T = A_j \cdot q \cdot x_p \cdot N_A = A_j \cdot q \cdot x_n \cdot N_D$$

Założmy, że złącze jest skokowe, oraz $N_D \gg N_A$, tak więc na podstawie wzoru (3.28) możemy napisać:

$$x_p \approx l_d = \sqrt{\frac{2\epsilon_{Si} \cdot N_D \cdot (V_J - V_D)}{q \cdot N_A \cdot N_D}} = \sqrt{\frac{2\epsilon_{Si} \cdot (V_J - V_D)}{q \cdot N_A}} \quad (3.33)$$

tak więc ładunek zgromadzony w złączu jest równy:

$$\begin{aligned} Q_T &= A_j \cdot q \cdot x_p \cdot N_A = A_j \cdot q \cdot N_A \cdot \sqrt{\frac{2\epsilon_{Si} \cdot (V_J - V_D)}{q \cdot N_A}} = \\ &= A_j \cdot \sqrt{2 \cdot q \cdot N_A \cdot \epsilon_{Si}} \cdot \sqrt{V_J - V_D} \end{aligned}$$

widać więc wyraźnie, że dla $V_D \approx V_J$, ładunek Q_T dąży do zera.

Dla uniknięcia tych problemów w programie PSPICE stosowane są następujące wzory:

$$\text{Dla } V_D \leq FC \cdot V_J: \quad C_T = \frac{C_{JO}}{\left(1 - \frac{V_D}{V_J}\right)^M} \quad (3.34)$$

$$\text{Dla } V_D > FC \cdot V_J: \quad C_T = C_{JO} \cdot (1 - FC)^{-(1+M)} \cdot \left(1 - FC \cdot (1+M) + M \cdot \frac{V_D}{V_J}\right)$$

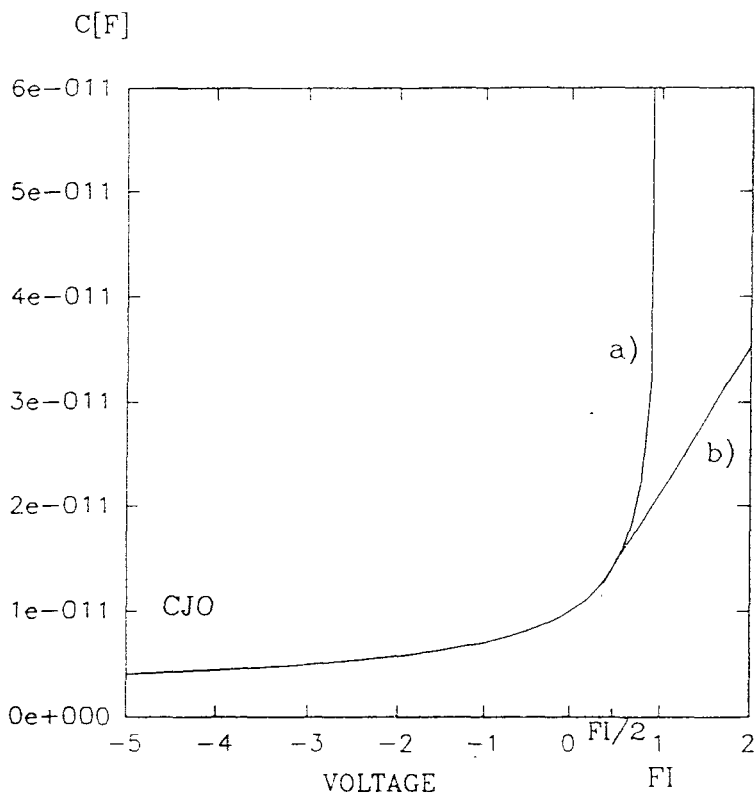
gdzie:

FC - współczynnik dopasowania charakterystyki

Na rysunku 3.3 przedstawiono wykres pojemności złączowej opisanej klasycznym równaniem 3.32), oraz równaniem (3.34), przy założeniu



następujących parametrów modelu: $VJ=1$, $CJO=10\text{pF}$, $M=0.5$, $FC=0.5$.



RYSUNEK 3.3. Zależność pojemności złączowej od napięcia polaryzacji:

a) równanie (3.32)

b) równanie (3.34)

Pojemność dyfuzyjna C_D związana jest z przepływem prądu przez diodę i z ładunkiem nośników mniejszościowych Q_D zgromadzonym w

przypadzie.

Nie wnikając w szczegóły, można powiedzieć, że ładunek magazynowany w diodzie jest proporcjonalny do prądu i określony wzorem:

$$Q_D = \tau_D \cdot I_D(V_D) \quad (3.35)$$

przy czym:

$$\tau_D = \frac{W_n^2}{2D_p} \text{ dla diody } P^+n$$

$$\tau_D = \frac{W_p^2}{2D_n} \text{ dla diody } n^+p$$

D_n, D_p - stała dyfuzji dla dziur i elektronów odpowiednio

W_n, W_p - zdefiniowane są na rysunku (3.2)

τ_D zwany jest czasem przelotu przez diodę. Dla diody krótkiej typu p^+n z równomiernym profilem domieszkowania czas ten jest równy czasowi przelotu nośników mniejszościowych (dziur) poprzez obszar typu n zwany bazą.

3.2.1. Wpływ temperatury na charakterystyki dynamiczne diody
uwzględniony jest przy pomocy następujących równań:

$$VJ(T) = VJ \cdot \frac{T}{T_{nom}} - 3 \cdot V_T \cdot \ln\left(\frac{T}{T_{nom}}\right) - EG(T_{nom}) \cdot \frac{T}{T_{nom}} + EG(T) \quad (3.36)$$

gdzie:

$EG(T)$ - szerokość przerwy energetycznej krzemu:

$$EG(T) = 1.16 - 0.000702 \cdot \frac{T^2}{T + 1108} \quad (3.37)$$

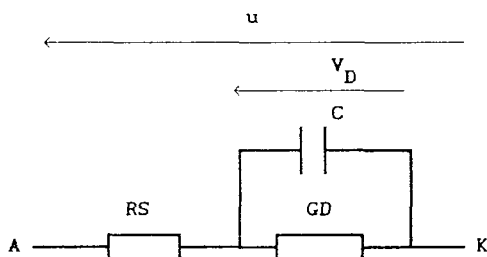
$$CJO(T) = CJO \cdot \left[1 + M \cdot \left(0.0004 \cdot (T - T_{nom}) + \left(1 - \frac{VJ(T)}{VJ} \right) \right) \right] \quad (3.38)$$

W tabelicy 3.1 przedstawiono parametry diody oraz ich wartości wbudowane dla modelu z programu PSPICE 5.1



3.3. Małosygnałowy model diody dla analizy AC

Dla analizy częstotliwościowej, przy której układ elektroniczny zastępowany jest liniowym schematem zastępczym dla punktu pracy wyznaczonego uprzednio podczas analizy DC wielkosygnałowy model diody z rysunku 3.1 upraszcza się do postaci przedstawionej poniżej:



RYSTONEK 3.4. Małosygnałowy model diody pn

Konduktancja GD określona jest wzorem:

$$GD = \frac{\partial I_D}{\partial V_D} \bigg|_{\text{w punkcie pracy}} = \frac{q \cdot I_S}{n \cdot k \cdot T} \exp\left(\frac{qV_D}{n \cdot k \cdot T}\right) \quad (3.39)$$

Natomiast całkowita pojemność C:

$$C = \frac{\partial Q}{\partial V_D} \bigg|_{\text{w punkcie pracy}} = \frac{\partial (Q_T + Q_D)}{\partial V_D} \bigg|_{\text{w punkcie pracy}} =$$

$$C = \begin{cases} TT \cdot GD + \frac{CJO}{\left(1 - \frac{V_D}{VJ}\right)^M} & \text{dla } V_D < FC \cdot VJ \\ TT \cdot GD + \frac{CJO}{F2} \cdot \left(F3 + \frac{m \cdot V_D}{VJ}\right) & \text{dla } V_D \geq FC \cdot VJ \end{cases} \quad (3.40)$$

TABLICA 3.1

NAZWA PARAMETRU	OPIS	JEDNOSTKA	WARTOŚĆ WBUDOWANA
IS	prąd nasycenia	Amper	1.0E-14
XTI	wykładnik temperaturowy dla prądu IS		3
N	współczynnik emisji		1
ISR	współczynnik prądu rekombinacji	Amper	0
NR	współczynnik emisji dla ISR		2
IKF	prąd określający granicę wysokiego poziomu wstrzykiwania	Amper	∞
BV	wsteczne napięcie przebicia lawinowego	Volt	∞
IBV	prąd przebicia lawinowego	Amper	1E-10
NBV	współczynnik dopasowania charakterystyki przebicia lawinowego		1
IBVL	prąd przebicia lawinowego dla niskiego poziomu	Amper	0
NBVL	współczynnik dopasowania charakterystyki przebicia lawinowego dla niskiego poziomu		1
RS	rezystancja szeregową	Ohm	0
TT	czas przelotu (τ_D)	sec	0
CJO	pojemność złącza przy zerowej polaryzacji	Farad	0
VJ	potencjał dyfuzyjny złącza pn	Volt	1
M	współczynnik zależny od typu złącza (skokowe 0.5, liniowe 0.33)		0.5
FC	współczynnik dopasowania charakterystyki		0.5
EG	wartość przerwy energetycznej (bariera potencjału)	eV	1.11
TIKF	liniowy współczynnik temperatury dla prądu IKF	1/K	0
TBV1	liniowy współczynnik temperatury dla napięcia przebicia lawinowego	1/K	0



NAZWA PARAMETRU	OPIS	JEDNOSTKA	WARTOŚĆ WBUDOWANA
TBV2	kwadratowy współczynnik temperatury dla napięcia przebicia lawinowego	$1/K^2$	0
TRS1	liniowy współczynnik temperatury dla rezystancji szeregowej	$1/K$	0
TRS2	kwadratowy współczynnik temperatury dla rezystancji szeregowej	$1/K^2$	0
KF	współczynnik szumów (liniowy)		0
AF	współczynnik szumów (potęga)		1

przy czym:

$$F2 = (1 - FC)^{1+M} \quad (3.41)$$

$$F3 = 1 - FC \cdot (1 + M) \quad (3.42)$$

3.4. Umieszczenie diody w układzie

Raz zdefiniowany model diody może być następnie wielokrotnie użyty w programie PSPICE.

Model definiujemy w następujący sposób:

.MODEL <nazwa modelu> D [(parametry modelu)]

Przykład:

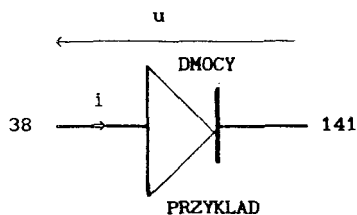
.MODEL PRZYKŁAD D (IS 1E-12)

Ogólna forma umieszczania diody w obwodzie jest postaci:

D<nazwa> <węzeł dodatni> <węzeł ujemny> <nazwa modelu> [powierzchnia]

Teraz możemy przykładowo wpisać diodę z rysunku 3.5 do programu PSPICE:





RYSUNEK 3.5. Przykład wpisywania diody od obwodu.

DMOCY 38 141 PRZYKŁAD 8.56

Współczynnik 8.56 oznacza, że dioda o nazwie DMOCY ma powierzchnię 8.56 raza większą niż model zdefiniowany listą parametrów PRZYKŁAD. Oznacza to pomnożenie następujących parametrów modelu diody przez współczynnik POWIERZCHNIA = 8.56:

$$IS = IS \cdot POWIERZCHNIA$$

$$CJO = CJO \cdot POWIERZCHNIA$$

$$RS = RS / POWIERZCHNIA$$

Wartość wbudowana parametru POWIERZCHNIA (AREA) wynosi 1.



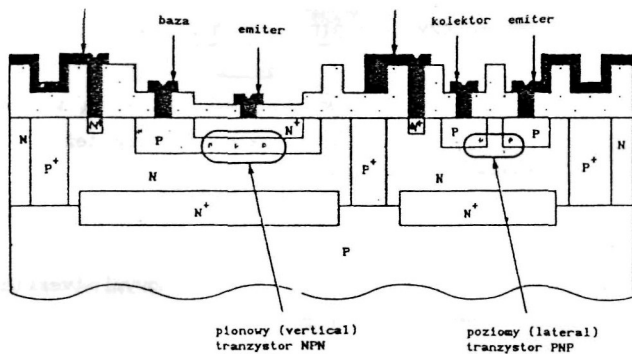
4. MODEL TRANZYSTORA BIPOLARNEGO W PROGRAMIE SPICE

Współczesne tranzystory bipolarne wykonywane są w wielu różnych technologiach. W przypadku układów scalonych, czy też układów "SMART POWER" musimy mieć bezpośredni dostęp do wszystkich kontaktów tranzystora z powierzchni płytki krzemu i trudno jest wykonać przyrząd o dużej wytrzymałości napięciowej. Struktury w których warstwy położone są jedna na drugiej nazywamy strukturami pionowymi (vertical), a gdy warstwy położone są jedna obok drugiej nazywamy je poziomymi (lateral). W układach scalonych możliwe jest wykonywanie w jednym układzie zarówno tranzystorów o strukturze poziomej jak i pionowej. W tranzystorach mocy kolektor położony jest na dole struktury, a emiter i baza na jego powierzchni. Prąd płynie więc pionowo od emitera do kolektora, a warstwy ułożone są jedna na drugiej. Przyrządy mocy mają na ogół strukturę pionową. Na rysunku 4.1 a) przedstawiono przykładowo przekrój pionowego tranzystora NPN i poziomego tranzystora PNP występujących w układzie monolitycznym. Na rysunku 4.1 b) i 4.1c) przedstawiono dwa tranzystory mocy jeden wykonany w wychodzącej powoli z użycia technologii "potrójnej dyfuzji" (TD) (rys 4.1b)), a drugi w technologii podwójnej dyfuzji z epitaksją kolektora (Epi D2) (rys 4.1c)) produkowany aktualnie ze względu na mniejsze rozrzuty parametrów, lecz mający mniejszą wytrzymałość napięciową (zaledwie 1500V w porównaniu do 2000V dla technologii TD).

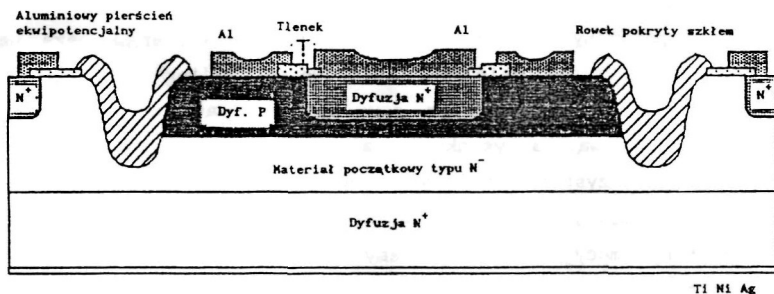
Model tranzystora bipolarnego wbudowany w program PSPICE jest modelem Gommel'a-Poon'a i ma on w aktualnej wersji programu PSPICE 55 parametrów, których listę można znaleźć w Tablicy 4.1. Model ten przedstawiono schematycznie na rysunku 4.2.



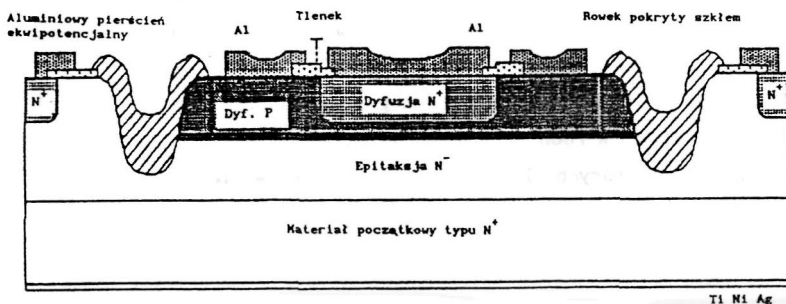
a)



b)



c)

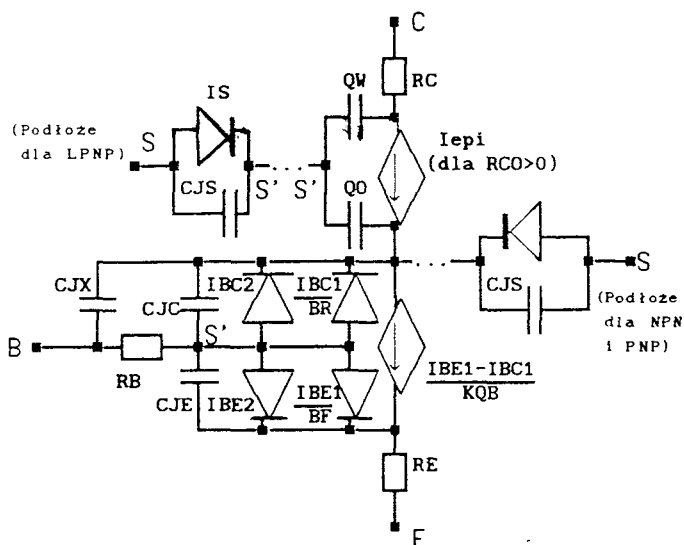


RYСУNEK 4.1 a) Pionowy (vertical) i poziomy (lateral) tranzystor bipolarny w układzie scalonym.

b) Tranzystor mocy wykonany w technologii potrójnej dyfuzji (TD).

c) Tranzystor mocy wykonany w technologii podwójnej dyfuzji z epitaksją kolektora (Epi d2) .





RYSUNEK 4.2. Wielkosygnałowy model Gummel'a Poon'a tranzystora bipolarnego

4.1 Charakterystyki statyczne tranzystora bipolarnego

Charakterystyki statyczne tranzystora bipolarnego typu NPN opisane są równaniami:

a) prąd bazy:
$$IB = \text{powierzchnia} \cdot \left(\frac{IBE1}{BF} + IBE2 + \frac{IBC1}{BR} + IBC2 \right) \quad (4.1)$$

b) prąd kolektora:
$$IC = \text{powierzchnia} \cdot \left(\frac{IBE1}{KQB} - \frac{IBC1}{KQB} - \frac{IBC1}{BR} - IBC2 \right) \quad (4.2)$$

przy czym:
$$IBE1 = IS \cdot \left(\exp \left(\frac{VBE}{NF \cdot VT} \right) - 1 \right) - \text{normalny prąd dyfuzji} \quad (4.3)$$

$$IBE2 = ISE \cdot \left(\exp \left(\frac{VBE}{NE \cdot VT} \right) - 1 \right) - \text{prąd upływu baza-emiter} \quad (4.4)$$

$$IBC1 = IS \cdot \left(\exp \left(\frac{VBC}{NR \cdot VT} \right) - 1 \right) - \text{wsteczny prąd dyfuzji} \quad (4.5)$$

$$IBC2 = ISC \cdot \left(\exp \left(\frac{VBC}{NC \cdot VT} \right) - 1 \right) - \text{prąd upływu baza-kolektor} \quad (4.7)$$

gdzie:

$$KQ1 = \frac{1}{1 - \frac{VBC}{VAF} - \frac{VBE}{VAR}} \quad (4.8)$$

$$KQ2 = \frac{IBE1}{IKF} + \frac{IBC1}{IKR} \quad (4.9)$$

c) Prąd podłoża: $IS = \text{powierzchnia} \cdot ISS \cdot \left(\exp \left(\frac{VJS}{NS \cdot VT} \right) - 1 \right) \quad (4.10)$

d) nieliniowa (rozproszona) rezystancja bazy:

Dla $IRB = \infty$ $R_b = \left(RBM + \frac{(RB - RBM)}{KQB} \right) \cdot \frac{1}{\text{powierzchnia}} \quad (4.11a)$

Dla $IRB > 0$ $R_b = \left(RBM + \frac{(RB - RBM) \cdot (\tan(x) - x)}{x \cdot \tan^2(x)} \right) \cdot \frac{1}{\text{powierzchnia}} \quad (4.11b)$

gdzie: $x = \frac{\sqrt{1 + \frac{144}{\pi^2} \cdot \frac{IB}{\text{powierzchnia} \cdot IRBB}} - 1}{\frac{24}{\pi^2} \cdot \sqrt{\frac{IB}{\text{powierzchnia} \cdot IRBB}}} \quad (4.12)$

e) Prąd związany z efektem quasi-nasylenia (tylko gdy podany jest parametr RCO):

$I_{epi} = \text{powierzchnia} \cdot$

$$\frac{VO \cdot \left[VT \cdot \left[K(V_{bc}) - K(V_{bn}) - \ln \left(\frac{1 + K(V_{bc})}{1 + K(V_{bn})} \right) \right] + V_{bc} - V_{bn} \right]}{RCO \cdot \left(|V_{bc} - V_{bn}| + VO \right)} \quad (4.13)$$

4.1.1. Wpływ temperatury na charakterystyki statyczne tranzystora bipolarnego

Wpływ temperatury na charakterystyki statyczne tranzystora bipolarnego uwzględniony jest przy pomocy następujących równań (oznaczenia są opisane w Tabelcy 4.1):



$$IS(T) = IS \exp \left(\frac{\left(\frac{T}{T_{nom}} - 1 \right) \cdot EG}{N \cdot V_T} \right) \left(\frac{T}{T_{nom}} \right)^{\frac{XTI}{N}} \quad (4.14)$$

przy czym: $N=1$

$$ISE(T) = \frac{ISE}{\left(\frac{T}{T_{nom}} \right)^{XTB}} \exp \left(\frac{\left(\frac{T}{T_{nom}} - 1 \right) \cdot EG}{NE \cdot V_T} \right) \left(\frac{T}{T_{nom}} \right)^{\frac{XTI}{NE}} \quad (4.15)$$

$$ISC(T) = \frac{ISC}{\left(\frac{T}{T_{nom}} \right)^{XTB}} \exp \left(\frac{\left(\frac{T}{T_{nom}} - 1 \right) \cdot EG}{NC \cdot V_T} \right) \left(\frac{T}{T_{nom}} \right)^{\frac{XTI}{NC}} \quad (4.16)$$

$$ISS(T) = \frac{ISS}{\left(\frac{T}{T_{nom}} \right)^{XTB}} \exp \left(\frac{\left(\frac{T}{T_{nom}} - 1 \right) \cdot EG}{NS \cdot V_T} \right) \left(\frac{T}{T_{nom}} \right)^{\frac{XTI}{NS}} \quad (4.17)$$

$$BF(T) = BF \left(\frac{T}{T_{nom}} \right)^{XTB} \quad (4.18)$$

$$BR(T) = BR \left(\frac{T}{T_{nom}} \right)^{XTB} \quad (4.19)$$

$$RE(T) = RE \left[1 + TRE1 \cdot (T - T_{nom}) + TRE2 \cdot (T - T_{nom})^2 \right] \quad (4.20)$$

$$RB(T) = RB \left[1 + TRB1 \cdot (T - T_{nom}) + TRB2 \cdot (T - T_{nom})^2 \right] \quad (4.21)$$

$$RBM(T) = RBM \left[1 + TRB1 \cdot (T - T_{nom}) + TRB2 \cdot (T - T_{nom})^2 \right] \quad (4.22)$$

$$RC(T) = RC \left[1 + TRC1 \cdot (T - T_{nom}) + TRC2 \cdot (T - T_{nom})^2 \right] \quad (4.23)$$

$$VJE(T) = VJE \cdot \frac{T}{T_{nom}} - 3 \cdot VT \cdot \ln \left(\frac{T}{T_{nom}} \right) - EG(T_{nom}) \cdot \frac{T}{T_{nom}} + EG(T) \quad (4.24)$$

$$VJC(T) = VJC \cdot \frac{T}{T_{nom}} - 3 \cdot VT \cdot \ln \left(\frac{T}{T_{nom}} \right) - EG(T_{nom}) \cdot \frac{T}{T_{nom}} + EG(T) \quad (4.25)$$

$$VJS(T) = VJS \cdot \frac{T}{T_{nom}} - 3 \cdot VT \cdot \ln\left(\frac{T}{T_{nom}}\right) - EG(T_{nom}) \cdot \frac{T}{T_{nom}} + EG(T) \quad (4.26)$$

4.2. Charakterystyki dynamiczne tranzystora bipolarnego

Podobnie jak dla diody, dynamika tranzystora bipolarnego symulowana jest w programie PSPICE poprzez uwzględnienie ładunków związanych z przepływem prądu (pojemności dyfuzyjne) oraz pojemności złączowych tranzystora.

Zwróćmy uwagę, że model z rysunku 4.2 uwzględnia rezystancje doprowadzeń (kontaktów) przyrządu. Tak więc wszystkie pojemności (za wyjątkiem C_{bx}) połączone są pomiędzy końcówkami wewnętrznego (właściwego) tranzystora.

a) Pojemność baza-emiter: $C_{be} = C_{tbe} + \text{powierzchnia} \cdot C_{jbe} \quad (4.27)$

przy czym: C_{tbe} - pojemność dyfuzyjna: $C_{tbe} = t_f \cdot G_{be} \quad (4.28)$

gdzie: t_f jest efektywnym czasem przelotu w kierunku normalnym:

$$t_f = TF \cdot \left(1 + XTF \cdot \left(3 \cdot x^2 - 2 \cdot x^3 \right) \cdot \exp\left(\frac{V_{bc}}{1.44 \cdot VT}\right) \right) \quad (4.29)$$

przy czym: $x = \frac{I_{be1}}{I_{be1} + \text{powierzchnia} \cdot ITF} \quad (4.30)$

G_{be} - konduktancja baza-emiter: $G_{be} = \frac{dI_{be1}}{dV_{be}} \quad (4.31)$

C_{jbe} - pojemność złączowa dana wzorem:

Dla $V_{be} \leq FC \cdot V_{JE}$: $C_{jbe} = \frac{C_{JE}}{\left(1 - \frac{V_{be}}{V_{JE}}\right)^{M_{JE}}} \quad (4.32)$ Dla $V_{be} > FC \cdot V_{JE}$: $C_{jbe} = C_{JE} \cdot \left(1 - FC\right)^{-(1+M_{JE})} \cdot \left(1 - FC \cdot (1+M_{JE}) + M_{JE} \cdot \frac{V_{be}}{V_{JE}}\right)$
--

b) Pojemność baza-kolektor: $C_{bc} = C_{tbc} + \text{powierzchnia} \cdot XCJC \cdot C_{jbc} \quad (4.33)$



przy czym: C_{tbc} - pojemność dyfuzyjna: $C_{tbc} = TR \cdot G_{bc}$ (4.34)

G_{bc} - konduktancja baza-kolektor: $G_{bc} = \frac{dI_{bc1}}{dV_{bc}}$ (4.35)

C_{jbc} - pojemność złączowa dana wzorem:

$$\text{Dla } V_{bc} \leq FC \cdot V_{JC}: C_{jbc} = \frac{C_{JC}}{\left(1 - \frac{V_{bc}}{V_{JC}}\right)^{M_{JC}}} \quad (4.36)$$

$$\text{Dla } V_{bc} > FC \cdot V_{JC}: C_{jbc} = C_{JC} \cdot \left(1 - FC\right)^{-(1+M_{JC})} \cdot \left(1 - FC \cdot (1+M_{JC}) + M_{JC} \cdot \frac{V_{bc}}{V_{JC}}\right)$$

c) Pojemność rozproszona bazy: $C_{bx} = \text{powierzchnia} \cdot (1 - XC_{JC}) \cdot C_{jbx}$ (4.37)

C_{jbx} - dana jest wzorem:

$$\text{Dla } V_{bx} \leq FC \cdot V_{JC}: C_{jbx} = \frac{C_{JC}}{\left(1 - \frac{V_{bx}}{V_{JC}}\right)^{M_{JC}}} \quad (4.38)$$

$$\text{Dla } V_{bx} > FC \cdot V_{JC}: C_{jbx} = C_{JC} \cdot \left(1 - FC\right)^{-(1+M_{JC})} \cdot \left(1 - FC \cdot (1+M_{JC}) + M_{JC} \cdot \frac{V_{bx}}{V_{JC}}\right)$$

d) Pojemność podłoża: $C_{js} = \text{powierzchnia} \cdot C_{jjs}$ (4.39)

C_{jjs} - dana jest wzorem:

$$\text{Dla } V_{js} \leq 0: C_{jjs} = \frac{C_{JS}}{\left(1 - \frac{V_{js}}{V_{JS}}\right)^{M_{JS}}} \quad (4.40)$$

$$\text{Dla } V_{js} > 0: C_{jjs} = C_{JS} \cdot \left(1 + M_{JS} \cdot \frac{V_{js}}{V_{JS}}\right)$$

e) Ładunki związane z efektem quasi-nasycenia (tylko gdy podany jest parametr RCO):

$$Q_o = \text{powierzchnia} \cdot Q_{CO} \cdot \left\{ K(V_{bc}) - 1 - \frac{\text{GAMMA}}{2} \right\} \quad (4.41)$$

$$Q_w = \text{powierzchnia} \cdot Q_{CO} \cdot \left\{ K(V_{bn}) - 1 - \frac{\text{GAMMA}}{2} \right\} \quad (4.42)$$

przy czym:

$$K(V) = \sqrt{1 + \text{GAMMA} \cdot \exp\left(\frac{V}{VT}\right)} \quad (4.43)$$

4.2.2. Wpływ temperatury na charakterystyki dynamiczne tranzystora bipolarnego uwzględniony jest przy pomocy następujących równań:

$$VJE(T) = VJE \cdot \frac{T}{T_{nom}} - 3 \cdot V_T \cdot \ln\left(\frac{T}{T_{nom}}\right) - EG(T_{nom}) \cdot \frac{T}{T_{nom}} + EG(T) \quad (4.44)$$

$$VJC(T) = VJC \cdot \frac{T}{T_{nom}} - 3 \cdot V_T \cdot \ln\left(\frac{T}{T_{nom}}\right) - EG(T_{nom}) \cdot \frac{T}{T_{nom}} + EG(T) \quad (4.45)$$

$$VJS(T) = VJS \cdot \frac{T}{T_{nom}} - 3 \cdot V_T \cdot \ln\left(\frac{T}{T_{nom}}\right) - EG(T_{nom}) \cdot \frac{T}{T_{nom}} + EG(T) \quad (4.46)$$

gdzie:

$EG(T)$ - szerokość przerwy energetycznej krzemu dana wzorem (3.35)

$$CJE(T) = CJE \cdot \left[1 + MJE \cdot \left(0.0004 \cdot (T - T_{nom}) + \left(1 - \frac{VJE(T)}{VJE} \right) \right) \right] \quad (4.47)$$

$$CJC(T) = CJC \cdot \left[1 + MJC \cdot \left(0.0004 \cdot (T - T_{nom}) + \left(1 - \frac{VJC(T)}{VJC} \right) \right) \right] \quad (4.49)$$

$$CJS(T) = CJS \cdot \left[1 + MJS \cdot \left(0.0004 \cdot (T - T_{nom}) + \left(1 - \frac{VJS(T)}{VJS} \right) \right) \right] \quad (4.50)$$

W tablicy 4.1 przedstawiono parametry tranzystora bipolarnego oraz ich wartości wbudowane dla modelu z programu PSPICE 5.2



TABLICA 4.1

NAZWA PARAMETRU	OPIS	JEDNOSTKA	WARTOŚĆ WBUDOWANA
IS	prąd nasycenia (transportu)	Amper	1.0E-16
ISS	prąd nasycenia podłoża p-n	Amper	0
BF	maksymalna wartość wsp. wzmocnienia prądowego przy pracy normalnej		100
BR	maksymalna wartość wsp. wzmocnienia prądowego przy pracy inwersyjnej		1
NF	współczynnik emisji przy pracy normalnej		1
NR	współczynnik emisji przy pracy inwersyjnej		1
VAF lub VA	napięcie Early'ego przy pracy norm.	Volt	∞
VAR lub VB	napięcie Early'ego przy pracy inw.	Volt	∞
ISE lub C2 (C2-IS)	prąd nasycenia upływu złącza baza emiter	Amper	0
ISC lub C4 (C4-IS)	prąd nasycenia upływu złącza baza kolektor	Amper	0
IKF lub IK	prąd określający granicę wysokiego poziomu wstrzykiwania przy pracy normalnej	Amper	∞
IKR	prąd określający granicę wysokiego poziomu wstrzykiwania przy pracy inwersyjnej	Amper	∞
NE	współczynnik emisji dla prądu upływu złącza baza-emiter		1.5
NC	współczynnik emisji dla prądu upływu złącza baza-kolektor		2
NS	współczynnik emisji podłoża p-n		1
NK	współczynnik nachylenia dla dużych prądów		0.5
RE	rezystancja szeregową emitera	Ohm	0
RC	rezystancja szeregową kolektora	Ohm	0
RB	maksymalna rezystancja szeregową bazy (dla zerowej polaryzacji)	Ohm	0



NAZWA PARAMETRU	OPIS	JEDNOSTKA	WARTOŚĆ WBUDOWANA
RBM	minimalna rezystancja szeregową bazy (dla dużych prądów)	Ohm	RB
IRB	prąd przy którym wartość RB jest	Amper	∞
CJE	pojemność złączowa baza emiter przy zerowej polaryzacji	Farad	0
VJE (PE)	potencjał dyfuzyjny złącza baza- emiter	Volt	0.75
MJE (ME)	wsp. zależny od typu złącza dla złącza baza emiter		0.33
CJC	pojemność złączowa baza kolektor przy zerowej polaryzacji	Farad	0
VJC (PC)	potencjał dyfuzyjny złącza baza- kolektor	Volt	0.75
MJC (MC)	wsp. zależny od typu złącza dla złącza baza kolektor		0.33
XCJC	część pojemności baza-kolektor, która przyłączona jest do wewnętrznego węzła bazy		1
CJS (CCS)	pojemność podłoża przy zerowej polaryzacji	Farad	0
VJS (PS)	potencjał dyfuzyjny złącza p-n podłoża	Volt	0.75
MJS (MS)	wsp. zależny od typu złącza dla złącza p-n podłoża		0
FC	współczynnik dopasowania charakterystyki pojemności złączowej		0.5
TF	czas przelotu przy pracy normalnej	sec	0
TR	czas przelotu przy pracy inwersyjnej	sec	0
XTF	współczynnik do uzależnienia wartości TF od napięcia polaryzacji		0
VTF	współczynnik do uzależnienia wartości TF od napięcia VBC	Volt	∞
ITF	współczynnik do uzależnienia wartości TF od prądu IC	Amper	0
PTF	przesunięcie fazowe dla $f = \frac{1}{2 \cdot \pi \cdot TF}$	stopień	0



NAZWA PARAMETRU	OPIS	JEDNOSTKA	WARTOŚĆ WBUDOWANA
QCO	współczynnik określający ładunek dla obszaru epitaksji	Coulomb	0
RCO	rezystancja obszaru epitaksji kolektor	Ohm	0
VO	napięcie od którego zaczyna się spadek ruchliwości nośników	Volt	10
GAMMA	współczynnik domieszkowania obszaru epitaksji		1E-11
EG	wartość przerwy energetycznej (bariera potencjału)	eV	1.11
XTB	współczynnik temperaturowy dla wsp. β dla pracy normalnej i inwersyjnej		0
XTI	współczynnik temperaturowy dla prądu nasycenia IS		3
TRE1	liniowy współczynnik temperatury dla rezystancji szeregowej RE	1/K	0
TRE2	kwadratowy współczynnik temperatury dla rezystancji szeregowej RE	1/K ²	0
TRC1	liniowy współczynnik temperatury dla rezystancji szeregowej RC	1/K	0
TRC2	kwadratowy współczynnik temperatury dla rezystancji szeregowej RC	1/K ²	0
TRB1	liniowy współczynnik temperatury dla rezystancji szeregowej RB	1/K	0
TRB2	kwadratowy współczynnik temperatury dla rezystancji szeregowej RB	1/K ²	0
TRM1	liniowy współczynnik temperatury dla rezystancji szeregowej RBM	1/K	0
TRM2	kwadratowy współczynnik temperatury dla rezystancji szeregowej RBM	1/K ²	0
KF	współczynnik szumów (liniowy)		0
AF	współczynnik szumów (potęga)		1

4.3. Małosygnałowy model tranzystora bipolarnego dla analizy AC

Dla analizy częstotliwościowej, przy której układ elektroniczny zastępowany jest liniowym schematem zastępczym dla punktu pracy

4.4. Umieszczenie tranzystora bipolarnego w układzie

Model definiujemy w następujący sposób:

```
.MODEL <nazwa modelu> NPN [(parametry modelu)]
.MODEL <nazwa modelu> PNP [(parametry modelu)]
.MODEL <nazwa modelu> LPNP [(parametry modelu)]
```

Parametry modelu zostały przedstawione w Tabelicy 4.1.

Przykład:

.MODEL PRZYKŁAD NPN (IS 1E-12)

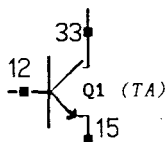
Ogólna forma umieszczania tranzystora bipolarnego w obwodzie jest postaci:

Q<nazwa> <węzeł kolektora> <węzeł bazy> <węzeł emitera>
+ [<węzeł podłoża>] <nazwa modelu> [powierzchnia]

Teraz możemy przykładowo wpisać tranzystor bipolarny z rysunku 4.4 do



programu PSPICE:



RYSUNEK 4.4. Przykład wpisywania tranzystora bipolarnego do obwodu.

QMOCY 33 12 15 PRZYKŁAD 18.25

Współczynnik 18.25 oznacza, że tranzystor o nazwie QMOCY ma powierzchnię 18.25 raza większą niż model zdefiniowany listą parametrów PRZYKŁAD.

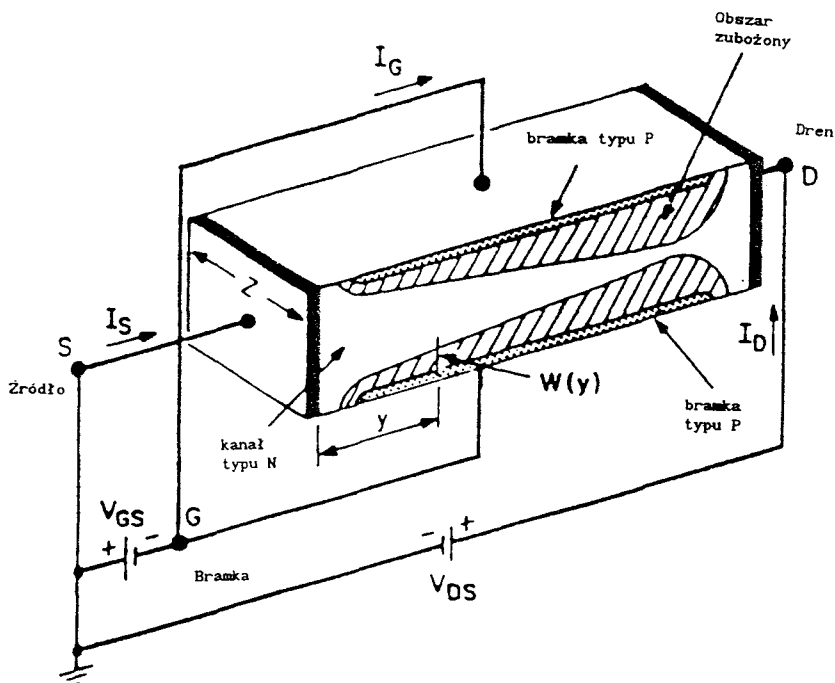
Oznacza to pomnożenie następujących parametrów modelu tranzystora bipolarnego przez współczynnik POWIERZCHNIA = 18.25:

IS = IS·POWIERZCHNIA
ISE = ISE·POWIERZCHNIA
ISC = ISC·POWIERZCHNIA
IKF = IKF·POWIERZCHNIA
IKR = IKR·POWIERZCHNIA
IRB = IRB·POWIERZCHNIA
IRF = IRF·POWIERZCHNIA
CJC(0) = CJC(0)·POWIERZCHNIA
CJE(0) = CJE(0)·POWIERZCHNIA
CJS(0) = CJS(0)·POWIERZCHNIA
RB = RB/POWIERZCHNIA
RBM = RBM/POWIERZCHNIA
RE = RE/POWIERZCHNIA
RC = RC/POWIERZCHNIA

Wartość wbudowana parametru POWIERZCHNIA (AREA) wynosi 1.

5. MODEL TRANZYSTORA JFET W PROGRAMIE SPICE

Zasada działania tranzystora JFET (Junction Field-Effect Transistor) polega na sterowaniu prądu tranzystora przy pomocy pola elektrycznego. Strukturę tranzystora JFET z kanałem typu N przedstawiono schematycznie na rysunku 5.1.

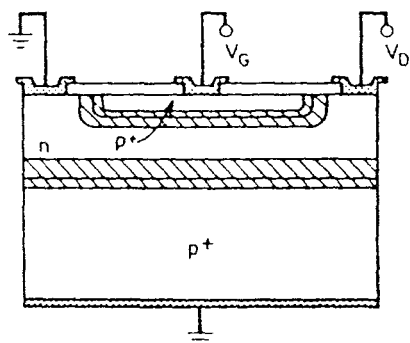


RYСУNEK 5.1. Podstawowa struktura tranzystora JFET z kanałem typu N

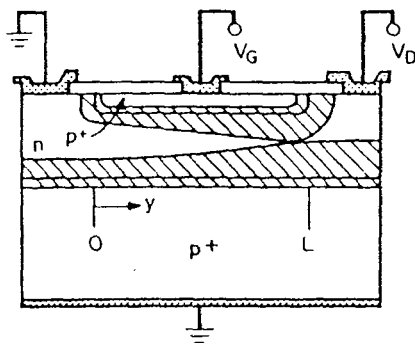
Kanał tranzystora zaopatrzony jest w dwa kontakty z których jeden spełnia rolę źródła, a drugi drenu. Trzecia elektroda zwana bramką tworzy z kanałem złącze typu PN. Można w uproszczeniu powiedzieć, że JFET jest rezystorem sterowanym napięciowo. Jego rezystancja zależy od napięcia przyłożonego do bramki. Sposób sterowania tranzystora JFET pokazano na rysunku 5.2.



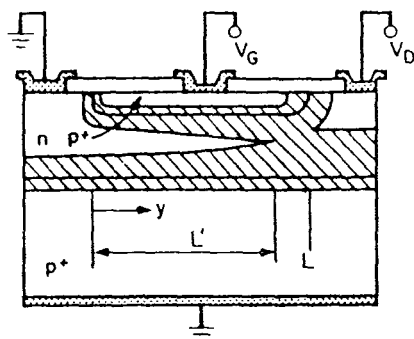
a)



b)



c)



RYSUNEK 5.2. Zasada sterowania tranzystora JFET

- a) Bardzo małe napięcie drenu
- b) Napięcie V_{DS} równe napięciu V_{DSat}
- c) $V_{DS} > V_{DSat}$

Założmy, że źródło tranzystora JFET jest zwarte do masy. W przypadku małej wartości napięcia drenu V_{DS} (Rys. 5.2a)) kanał jest praktycznie ekwipotencjalny, a obszary zubożone są do siebie



równoległe. Szerokość warstwy zubożonej (patrz Rys. 5.1) "W" jest funkcją napięcia przyłożonego do bramki V_{GS} i dana jest wzorem:

$$W = \sqrt{\frac{2 \cdot \epsilon_{Si}}{q \cdot N_D} \cdot (\phi_0 - V_{GS})} \quad (5.1)$$

gdzie: ϕ_0 - jest potencjałem dyfuzyjnym złącza

Szerokość przewodzącego kanału jest więc równa $d-W$. Od szerokości kanału zależy rezystancja pomiędzy źródłem i drenem.

$$R = \frac{\rho \cdot L}{(d-W) \cdot Z} \quad (5.2)$$

gdzie: $\rho = \frac{1}{q \cdot \mu_n \cdot N_D}$ - rezystywność kanału (typu N)

L długość kanału (pomiędzy źródłem i drenem) (wymiar y)

d całkowita szerokość kanału (pomiędzy elektrodami bramki) (wymiar x)

Z wymiar tranzystora prostopadły do płaszczyzny x-y

W szerokość warstwy zubożonej

Prąd drenu proporcjonalny jest do rezystancji kanału R:

$$I_D = \frac{V_{DS}}{R} = \frac{Z}{L} \cdot \left(q \cdot \mu_n \cdot N_D \cdot (d-W) \right) \cdot V_{DS} \quad (5.3)$$

Uwzględniając równanie (5.1) możemy napisać:

$$\begin{aligned} I_D &= \frac{Z}{L} \cdot \left(q \cdot \mu_n \cdot N_D \cdot \left(d - \sqrt{\frac{2 \cdot \epsilon_{Si}}{q \cdot N_D} \cdot (\phi_0 - V_{GS})} \right) \right) \cdot V_{DS} = \\ &= \frac{Z}{L} \cdot q \cdot \mu_n \cdot N_D \cdot d \cdot \left(1 - \sqrt{\frac{2 \cdot \epsilon_{Si}}{q \cdot N_D d^2} \cdot (\phi_0 - V_{GS})} \right) \cdot V_{DS} = \\ &= G_0 \cdot \left(1 - \sqrt{\frac{2 \cdot \epsilon_{Si}}{q \cdot N_D d^2} \cdot (\phi_0 - V_{GS})} \right) \cdot V_{DS} \end{aligned} \quad (5.4)$$

gdzie $G_0 = \frac{Z}{L} \cdot q \cdot \mu_n \cdot N_D \cdot d$ jest konduktancją kanału N w przypadku, gdy jest on całkowicie otwarty (obszar zubożony W jest równy 0)

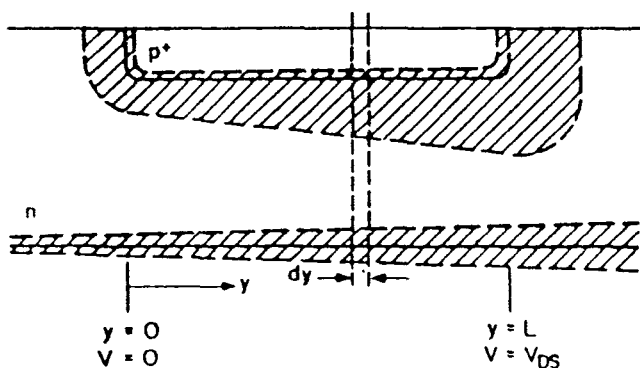
Jak wynika z równania (5.4) dla małych napięć drenu mamy zależność liniową pomiędzy prądem drenu I_D , a napięciem dren-źródło V_{DS} .

Zależność prądu drenu od napięcia bramki V_{GS} jest pierwiastkowa,



co jest konsekwencją założenia skokowego typu złącza pomiędzy bramką a kanałem. Maksymalny prąd drenu płynie dla napięcia $V_{GS} = 0$, i maleje wraz ze wzrostem $|V_{GS}|$. Dla bardzo dużych napięć $|V_{GS}|$ prąd drenu będzie równy zero (gdy kanał zajęty zostanie całkowicie przez warstwę zubożoną).

Dla dużych wartości napięć V_{DS} (patrz Rys. 5.2 b) i 5.2c)), napięcie pomiędzy kanałem i bramką staje się funkcją pozycji "y". W związku z tym szerokość obszaru zubożonego, więc i szerokość kanału jest nierównomierna wzdłuż osi "y". Najwyższe napięcie jest tuż przy elektrodzie drenu i tam kanał jest najwęższy. Można w pierwszym przybliżeniu założyć, że szerokość obszarów zubożonych zmienia się łagodnie od źródła do drenu, czyli, że szerokość obszaru zubożonego jest tylko funkcją pola elektrycznego w kierunku pionowym. Założenie to pozwala pominąć pole elektryczne w kierunku "y" i szerokość obszaru zubożonego "W" można znaleźć na podstawie bardzo prostej analizy jednowymiarowej zilustrowanej na rysunku 5.3.



RYСУNEK 5.3. Zmiana szerokości obszaru zubożonego wzdłuż kanału tranzystora JFET

Rozważmy małą sekcję o długości dy . Spadek napięcia dV wzdłuż tej małej sekcji można przedstawić w postaci:

$$dV = I_D \cdot dR = \frac{I_D \cdot dy}{q \cdot \mu_n \cdot N_D \cdot (d-W) \cdot Z} \quad (5.5)$$

Szerokość W obszaru zubożonego jest teraz funkcją napięcia $[\Phi_0 - V_{GS} + V(y)]$, gdzie $V(y)$ jest potencjałem kanału w punkcie y . Uwzględniając równanie (3.28) na szerokość warstwy ładunku przestrzennego i uwzględniając tylko obszar N (N_D) otrzymamy:

$$W = \sqrt{\frac{2\epsilon_{Si} \cdot (\Phi_0 - V_{GS} + V(y))}{q \cdot N_D}} \quad (5.6)$$

Równanie to można teraz podstawić do wzoru (5.5), a następnie w celu otrzymania zależności od napięcia V_{DS} trzeba scałkować je od 0 do L wzdłuż osi y (napięcie zmienia się od 0 do V_D):

$$\int_0^{V_D} \left(d - \sqrt{\frac{2\epsilon_{Si} \cdot (\Phi_0 - V_{GS} + V(y))}{q \cdot N_D}} \right) dV = \int_0^L \frac{I_D}{q \cdot \mu_n \cdot N_D \cdot Z} dy \quad (5.7)$$

Po scałkowaniu i uporządkowaniu otrzymamy:

$$I_D = G_0 \cdot \left(V_{DS} - \frac{2}{3} \cdot \sqrt{\frac{2 \cdot \epsilon_{Si}}{q \cdot N_D d^2}} \cdot \left[\sqrt{(\Phi_0 - V_{GS} + V_{DS}^3)} - \sqrt{(\Phi_0 - V_{GS}^3)} \right] \right) \quad (5.8)$$

Dla małych wartości napięcia drenu równanie to redukuje się do postaci (5.4). Przy większych napięciach drenu widać wyraźnie, że prąd osiąga pewne maksimum, a następnie zaczyna maleć przy dalszym wzroście napięcia drenu. Maksimum to odpowiada jednak granicy ważności modelu. Jest to moment (patrz rysunek 5.2b)), gdy kanał zostaje całkowicie zamknięty. Takie napięcie drenu nazywa się napięciem "pinch off". W tym momencie $d=W$ i równanie (5.5) staje się nieokreślone. Od tego momentu dalsze zwiększanie napięcia drenu powoduje sytuację zilustrowaną na rysunku 5.2c). Odpowiada to nasyceniu tranzystora JFET. Z równania (5.6) można łatwo określić napięcie przy którym kanał jest całkowicie zubożony w pobliżu drenu:



$$V_{D,Sat} = \frac{qN_D d^2}{2 \cdot \epsilon_{Si}} \cdot (\phi_0 - V_{GS}) = V_P - \phi_0 - V_{GS} = V_{T0} + V_{GS} \quad (5.9)$$

gdzie: $V_P = \frac{q \cdot N_D \cdot d^2}{2 \cdot \epsilon_{Si}}$ zwane jest napięciem pinch-off (odcięcia)

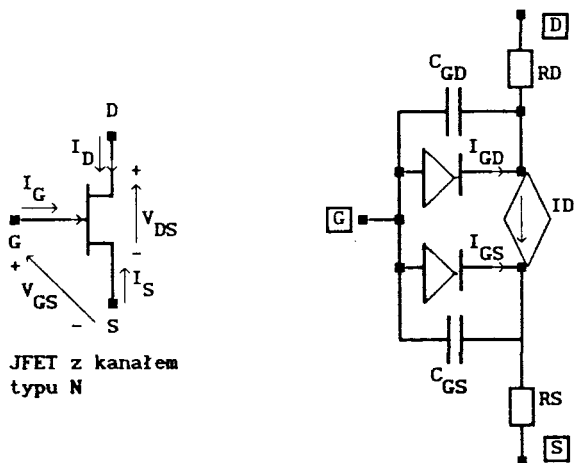
V_{T0} jest napięciem progowym (threshold voltage) (w SPICE VTO)

Na podstawie równania (5.8) i (5.9) można znaleźć prąd nasycenia drenu:

$$I_{DSat} = G_0 \cdot \left(\frac{qN_D d^2}{6 \cdot \epsilon_{Si}} - (\phi_0 - V_{GS}) \left[1 - \frac{2}{3} \sqrt{\frac{2 \cdot \epsilon_{Si} \cdot (\phi_0 - V_{GS})}{q \cdot N_D d^2}} \right] \right) =$$

$$= \frac{G_0 \cdot V_P}{3} \cdot \left(1 - 3 \frac{\phi_0 - V_{GS}}{V_P} + 2 \sqrt{\left(\frac{\phi_0 - V_{GS}}{V_P} \right)^2} \right) \quad (5.10)$$

Po tych wstępnych rozważaniach przejdziemy teraz do omówienia modelu tranzystora JFET (Junction Field-Effect Transistor) wbudowanego w program PSPICE. Jest to model bardzo prosty i ma on w aktualnej wersji programu PSPICE tylko 21 parametrów. Listę ich można znaleźć w Tablicy 5.1. Model ten przedstawiono schematycznie na rysunku 5.4:



RYSUNEK 5.4. Wielosygnałowy model tranzystora JFET (kanał typu N)

5.1 Charakterystyki statyczne tranzystora JFET

Charakterystyki statyczne tranzystora JFET z kanałem typu N opisane są równaniami:

a) prąd bramki: $I_G = \text{powierzchnia} \cdot (I_{GS} + I_{GD})$ (5.11)

przy czym:

$$I_{GS} = I_n + I_r \cdot K_g + I_i - \text{prąd upływu bramka-źródło} \quad (5.12)$$

gdzie:

$$I_n = I_S \cdot \left[\exp\left(\frac{V_{GS}}{N \cdot V_T}\right) - 1 \right] - \text{prąd normalny} \quad (5.13)$$

$$I_r = I_{SR} \cdot \left[\exp\left(\frac{V_{GS}}{N_R \cdot V_T}\right) - 1 \right] - \text{prąd rekombinacji} \quad (5.14)$$

$$K_g = \left[\left(1 - \frac{V_{GS}}{P_B}\right)^2 + 0.005 \right]^{M/2} - \text{współczynnik generacji} \quad (5.15)$$

I_i współczynnik jonizacji zderzeniowej:

$$I_i = I_{\text{drain}} \cdot \text{ALPHA} \cdot \text{vdif} \cdot \exp\left(-\frac{V_K}{\text{vdif}}\right) \text{ dla } 0 < V_{GS} - V_{TO} < V_{DS} \quad (5.16)$$

$$I_i = 0 \quad \text{w innym przypadku}$$

$$\text{vdif} = V_{DS} - (V_{GS} - V_{TO}) \quad (5.17)$$

I_{GD} - prąd upływu bramka-dren. Wystarczy zamienić źródło z drenem w równaniach na prąd upływu bramka-źródło I_{GS}

b) prąd drenu: $I_D = \text{powierzchnia} \cdot (-I_{GD} - I_{\text{drain}})$ (5.18)

przy czym prąd I_{drain} opisany jest równaniami:

Praca normalna: $V_{DS} \geq 0$

1. Obszar odcięcia: $V_{GS} \leq V_{TO}$: $I_{\text{drain}} = 0$ (5.19)

2. Obszar liniowy: $V_{GS} - V_{TO} \geq V_{DS}$:

$$I_{\text{drain}} = \text{BETA} \cdot (1 + \text{LAMBDA} \cdot V_{DS}) \cdot V_{DS} \cdot (2 \cdot (V_{GS} - V_{TO}) - V_{DS}) \quad (5.20)$$



3. Obszar nasycenia: $0 < V_{GS} - V_{TO} < V_{DS}$:

$$I_{\text{drain}} = \text{BETA} \cdot (1 + \text{LAMBDA} \cdot V_{DS}) \cdot (V_{GS} - V_{TO})^2 \quad (5.21)$$

Praca inwersyjna: $V_{DS} < 0$: wystarczy w powyższych równaniach zamienić źródło z drenem.

c) prąd źródła:
$$IS = \text{powierzchnia} \cdot \left(-I_{GS} + I_{\text{drain}} \right) \quad (5.22)$$

5.1.1. Wpływ temperatury na charakterystyki statyczne tranzystora JFET

Wpływ temperatury na charakterystyki statyczne tranzystora JFET uwzględniony jest przy pomocy następujących równań (oznaczenia są opisane w Tablicy 5.1):

$$IS(T) = IS \exp \left(\frac{\left(\frac{T}{T_{\text{nom}}} - 1 \right) \cdot EG}{N \cdot V_T} \right) \left(\frac{T}{T_{\text{nom}}} \right)^{\frac{XTI}{N}} \quad (5.23)$$

$$ISR(T) = ISR \cdot \exp \left(\frac{\left(\frac{T}{T_{\text{nom}}} - 1 \right) \cdot EG}{NR \cdot V_T} \right) \left(\frac{T}{T_{\text{nom}}} \right)^{\frac{XTI}{NR}} \quad (5.24)$$

$$PB(T) = PB \cdot \frac{T}{T_{\text{nom}}} - 3 \cdot VT \cdot \ln \left(\frac{T}{T_{\text{nom}}} \right) - EG(T_{\text{nom}}) \cdot \frac{T}{T_{\text{nom}}} + EG(T) \quad (5.25)$$

5.2. Charakterystyki dynamiczne tranzystora JFET

Dynamika tranzystora JFET symulowana jest w programie PSPICE poprzez uwzględnienie ładunków związanych z pojemnościami złączowymi tranzystora.

Zwróćmy uwagę, że model z rysunku 5.4 uwzględnia rezystancje doprowadzeń (kontaktów) przyrządu. Wszystkie pojemności połączone są pomiędzy końcówkami wewnętrznego (właściwego) tranzystora JFET.

a) Pojemność bramka-źródło opisana jest równaniami:

$$\begin{aligned}
 \text{Dla } V_{GS} \leq FC \cdot PB : \quad C_{GS} &= \text{powierzchnia} \cdot \frac{CGS}{\left(1 - \frac{V_{GS}}{PB}\right)^M} \\
 \text{Dla } V_{GS} > FC \cdot PB : \quad C_{GS} &= \text{powierzchnia} \cdot CGS \cdot (1 - FC)^{-(1+M)} \cdot \left(1 - FC \cdot (1+M) + M \cdot \frac{V_{GS}}{PB}\right)
 \end{aligned} \quad (5.26)$$

b) Pojemność bramka-dren opisana jest równaniami:

$$\begin{aligned}
 \text{Dla } V_{GD} \leq FC \cdot PB : \quad C_{GD} &= \text{powierzchnia} \cdot \frac{CGD}{\left(1 - \frac{V_{GD}}{PB}\right)^M} \\
 \text{Dla } V_{GD} > FC \cdot PB : \quad C_{GD} &= \text{powierzchnia} \cdot CGD \cdot (1 - FC)^{-(1+M)} \cdot \left(1 - FC \cdot (1+M) + M \cdot \frac{V_{GD}}{PB}\right)
 \end{aligned} \quad (5.27)$$

5.2.2. Wpływ temperatury na charakterystyki dynamiczne tranzystora JFET
uwzględniony jest przy pomocy następujących równań:

$$PB(T) = PB \cdot \frac{T}{T_{nom}} - 3 \cdot V_T \cdot \ln\left(\frac{T}{T_{nom}}\right) - EG(T_{nom}) \cdot \frac{T}{T_{nom}} + EG(T) \quad (5.28)$$

gdzie:

$EG(T)$ - szerokość przerwy energetycznej krzemu dana wzorem (3.35)

$$CGS(T) = CGS \cdot \left[1 + M \cdot \left(0.0004 \cdot (T - T_{nom}) + \left(1 - \frac{PB(T)}{PB} \right) \right) \right] \quad (5.29)$$

$$CGD(T) = CGD \cdot \left[1 + M \cdot \left(0.0004 \cdot (T - T_{nom}) + \left(1 - \frac{PB(T)}{PB} \right) \right) \right] \quad (5.30)$$

W tablicy 5.1 przedstawiono parametry tranzystora JFET oraz ich wartości wbudowane dla modelu z programu PSPICE 5.2



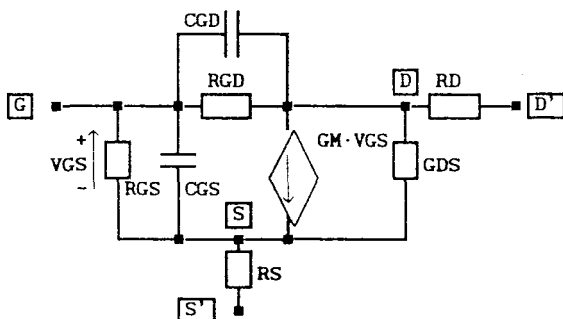
TABLICA 5.1

NAZWA PARAMETRU	OPIS	JEDNOSTKA	WARTOŚĆ WBUDOWANA
VTO	napięcie progowe	Volt	-2.0
IS	prąd nasycenia złącza bramki	Amper	1.0E-14
ISR	wsp. prądu rekombinacji bramki	Amper	0
N	współczynnik emisji złącza bramki		1
NR	współczynnik emisji dla prądu ISR		2
BETA	współczynnik transkonduktancji	Amper/Volt ²	1E-4
LAMBDA	współczynnik modulacji długości kanału	1/Volt	0
ALPHA	współczynnik jonizacji	1/Volt	0
VK	współczynnik napięcia jonizacji	Volt	0
RD	rezystancja szeregową drenu	Ohm	0
RS	rezystancja szeregową źródła	Ohm	0
CGD	pojemność bramka-dren przy zerowej polaryzacji	Farad	0
CGS	pojemność bramka-źródło przy zerowej polaryzacji	Farad	0
M	współczynnik zależny od typu złącza		0.5
PB	potencjał dyfuzyjny złącza p-n złącza baza-kolektor	Volt	1.0
FC	współczynnik dopasowania charakterystyki		0.5
VTOC	współczynnik temperaturowy dla VTO prądów	Volt/K	0
BETATCE	współczynnik temperaturowy dla BETA	%/K	0
XTI	współczynnik temperaturowy dla IS		3
KF	współczynnik szumów (liniowy)		0
AF	współczynnik szumów (potęga)		1



5.3. Małosygnałowy model tranzystora JFET dla analizy AC

Dla analizy częstotliwościowej, przy której układ elektroniczny zastępowany jest liniowym schematem zastępczym dla punktu pracy wyznaczonego uprzednio podczas analizy DC wielkosygnałowy model tranzystora JFET z rysunku 5.4 upraszcza się do postaci przedstawionej poniżej:



RYСУNEK 5.5. Małosygnałowy model tranzystora JFET (kanał N)

5.4. Umieszczenie tranzystora JFET w układzie

Raz zdefiniowany model tranzystora JFET może być następnie wielokrotnie użyty w programie PSPICE.

Model definiujemy w następujący sposób:

`.MODEL <nazwa modelu> NJF [(parametry modelu)]`

`.MODEL <nazwa modelu> PJF [(parametry modelu)]`

Parametry modelu zostały przedstawione w Tabelicy 5.1.

Przykład:

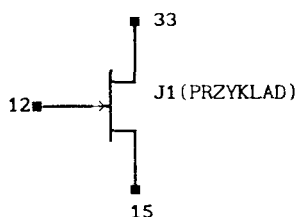
`.MODEL PRZYKŁAD NJF (IS 1E-12 VTO=0.0)`

Ogólna forma umieszczania tranzystora JFET w obwodzie jest postaci:

J<nazwa> <węzeł drenu> <węzeł bramki> <węzeł źródła>
+ <nazwa modelu> [powierzchnia]



Teraz możemy przykładowo wpisać tranzystor JFET z rysunku 5.6 do programu PSPICE:



RYSUNEK 5.6. Przykład wpisywania tranzystora JFET do obwodu.

J1 33 12 15 PRZYKŁAD 11.5

Współczynnik 11.5 oznacza, że tranzystor o nazwie J1 ma powierzchnię 11.5 raza większą niż model zdefiniowany listą parametrów PRZYKŁAD.

Parametr powierzchnia został uwzględniony w równaniach tranzystora JFET. Dodatkowo przez współczynnik POWIERZCHNIA = 11.5 pomnożone zostaną następujące parametry modelu tranzystora JFET:

$$RD = RD/POWIERZCHNIA$$

$$RS = RS/POWIERZCHNIA$$

Wartość wbudowana parametru POWIERZCHNIA (AREA) wynosi 1.

6. MODEL TRANZYSTORA MOS W PROGRAMIE PSPICE

Zasada działania tranzystora MOST (Metal Oxide Semiconductor Transistor), zwanego też MOSFET (MOS Field-Effect Transistor) polega podobnie jak w przypadku tranzystora FET na sterowaniu prądu tranzystora przy pomocy pola elektrycznego. Zasadnicza różnica wynika ze sterowania kanału. Poprzednio napięcie przyłożone do złącza bramki powodowało modulację szerokości warstwy zubożonej złącza i co za tym idzie modulację szerokości kanału. W tranzystorze MOS modulacja ta odbywa się nie za pomocą złącza, lecz poprzez kontakt izolator półprzewodnik. Bramka wykonana jest na ogół z aluminium, lub z polikrzemu, a warstwa izolacyjna pomiędzy bramką, a materiałem półprzewodnika z tlenku krzemu lub obecnie coraz częściej z azotku krzemu.

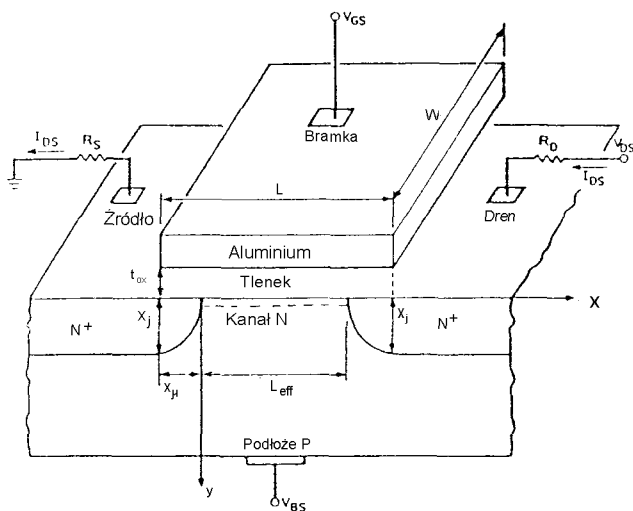
Strukturę tranzystora MOST z kanałem typu N przedstawiono schematycznie na rysunku 6.1.

Na rysunku tym podano najważniejsze oznaczenia wymiarów geometrycznych tranzystora wykonanego w klasycznej technologii MOS. Coraz częstsze stosowania innych materiałów izolacyjnych niż tlenek krzemu spowodowało zmianę nazwy tranzystora na IGFET (Insulated-Gate Field-Effect Transistor) i obecnie coraz częściej spotyka się ją w aktualnej literaturze.

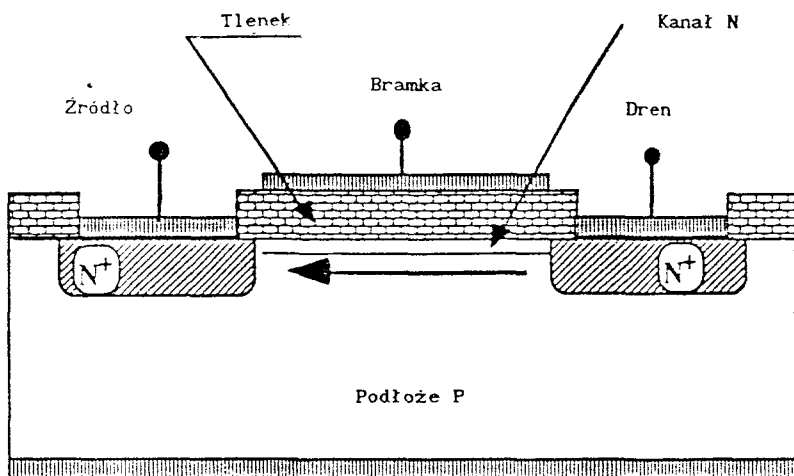
Na rysunku 2 pokazano zasadę wzbudzania się kanału (N) w tranzystorze MOS.

W zależności od technologii wykonania tranzystora możemy mieć do czynienia z kanałem wzbogaconym (zaindukowanym), jak to pokazano na rys. 6.1 i rys. 6.2, lub też tranzystor może mieć kanał zubożany. Możliwe są cztery przypadki i zostały one schematycznie przedstawione na rysunku 6.3.



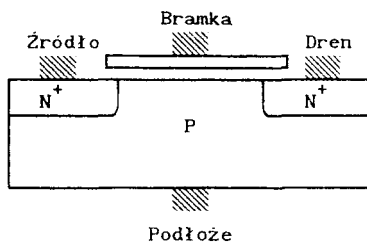


RYСУNEK 6.1. Podstawowa struktura tranzystora MOST z kanałem typu N

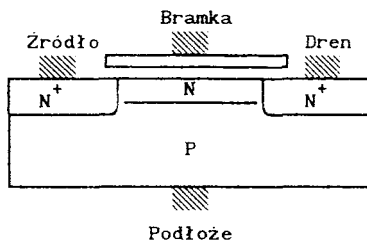


RYСУNEK 6.2. Przekrój przez klasyczną strukturę tranzystora MOS (kanał N)

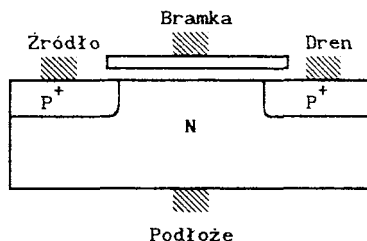
- a) Wzbogacony
(zaindukowany) kanał N



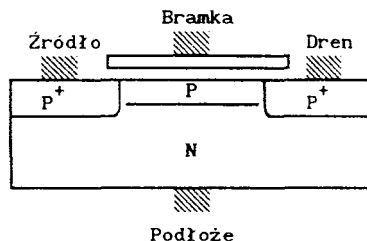
- b) Zubożony kanał N



- c) Wzbogacony
(zaindukowany) kanał P



- d) Zubożony kanał P

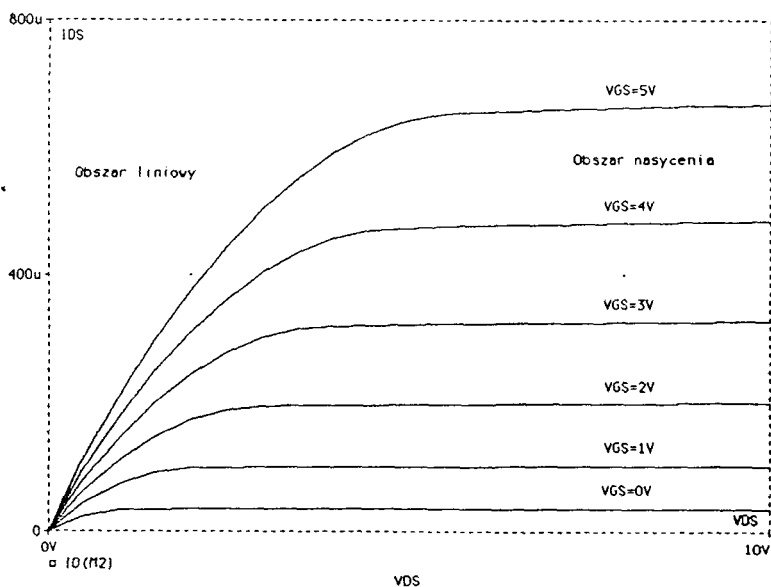


RYSUNEK 6.3. Podstawowe rodzaje tranzystora MOS

W dalszym ciągu skryptu omawiać będziemy tranzystor MOS z zaindukowanym kanałem typu N (tranzystor z kanałem typu P jest elementem dualnym do tranzystora z kanałem typu N). W tego typu tranzystorze potencjał drenu jest wyższy od potencjału źródła. Dlatego dla uproszczenia rozważań na rysunku 6.1 zwarto źródło do masy.



Napięcie V_{GS} pomiędzy bramką i źródłem określa koncentrację nośników w kanale. Napięcie bramki do którego zaczyna płynąć prąd przez kanał nazywa się napięciem progowym (threshold voltage V_{TH}). Dla napięć $V_{GS} > V_{TH}$ w pobliżu powierzchni tranzystora płynie prąd I_{DS} . Obszar w którym płynie ten prąd zwany jest kanałem tranzystora MOS. Zauważmy, że tranzystor MOS jest sterowany napięciowo. Może on pracować w charakterze klucza. Dla napięć $V_{GS} < V_{TH}$ jest on zablokowany, a dla napięć $V_{GS} > V_{TH}$ przewodzi. Prąd drenu, przy napięciach bramki $V_{GS} > V_{TH}$ jest dla małych napięć drenu V_{DS} liniową funkcją tego napięcia. W miarę wzrostu napięcia V_{DS} wzrost prądu jest coraz mniejszy a w końcu ulega nasyceniu. Próg przy którym prąd drenu przestaje wzrastać nazywa się napięciem nasycenia ($V_{D,Sat}$). Na rysunku 6.4 przedstawiono przykładowo charakterystyki tranzystora MOS z zaznaczeniem obydwu obszarów jego pracy.



Rysunek 6.4. Charakterystyki statyczne tranzystora MOS

Dokładne omówienie teorii tranzystora MOS wykracza poza ramy tego skryptu. Zajmiemy się teraz podstawowymi zjawiskami w strukturze MOS i wyprowadzimy równanie dla najprostszego modelu tranzystora wbudowanego w program PSPICE - tak zwanego modelu poziomu pierwszego (LEVEL=1) zaproponowanego po raz pierwszy przez Shichman'a i Hodges'a. W aktualnej wersji programu takich poziomów jest aż 4.

Podstawowym pojęciem przy omawianiu modelowania tranzystora MOS jest tzw. "flat-band voltage". Wynika ono z określenia pewnego stanu równowagi na powierzchni półprzewodnika. Stan "flat-band" oznacza, że półprzewodnik ma na swojej powierzchni identyczną koncentrację nośników jak w podłożu. Napięcie V_{GB} niezbędne do zapewnienia tego stanu nazywa się właśnie "flat-band voltage" V_{FB} . Dla $V_{GB} = V_{FB}$ cały spadek napięcia odkłada się na izolatorze (tlenku). Wartość napięcia V_{FB} określa wzór (6.1):

$$V_{FB} = \phi_{MS} - \frac{Q_0}{C_{Ox}} \quad (6.1)$$

gdzie: $\phi_{MS} = \phi_{\text{materiału bramki}} - \phi_{\text{materiału podłoża}}$ (ϕ - potencjał wbudowany)

Q_0 - ładunek na powierzchni styku tlenku z półprzewodnikiem (zawsze dodatni), (na jednostkę powierzchni)

C_{Ox} - pojemność na jednostkę powierzchni warstwy tlenku

W dalszym ciągu skryptu operować będziemy zawsze wielkościami na jednostkę powierzchni.

Dla $V_{GB} = V_{FB}$ koncentracja nośników w całym obszarze półprzewodnika jest jednakowa i wynosi więc N_A .

Dla $V_{GB} < V_{FB}$ następuje zwiększenie koncentracji elektronów w bramce, a w związku z tym dla zrównoważenia zwiększenie koncentracji dziur w pobliżu powierzchni półprzewodnika. Taki stan nazywamy akumulacją.

Ładunek w półprzewodniku jest równy Q_{SC} :

$$Q_{SC} = Q_G - Q_0 = (V_{FB} - V_{GB}) \cdot C_{Ox} \quad (6.2)$$

gdzie: Q_G jest ładunkiem zgromadzonym w bramce

Dla $V_{GB} > V_{FB}$ następuje odpychanie dziur od powierzchni półprzewodnika. W związku z tym zrównoważenie zwiększenia koncentracji



ładunku dodatniego w bramce następuje poprzez ujemny ładunek akceptorów przy powierzchni półprzewodnika. Taki stan nazywamy zubożeniem, gdyż koncentracja wolnych nośników przy powierzchni jest mniejsza niż w pozostałym obszarze półprzewodnika. Uwzględniając równanie (3.28) na szerokość warstwy ładunku przestrzennego i uwzględniając tylko obszar P (N_A) otrzymamy szerokość X_B obszaru zubożonego:

$$X_B = \sqrt{\frac{2\epsilon_{Si} \cdot \Phi_S}{q \cdot N_A}} \quad (6.3)$$

gdzie: Φ_S jest spadkiem potencjału na obszarze zubożonym

Dla małych wartości Φ_S można pominąć obecność nośników mniejszościowych w kanale i ładunek akceptorów $Q_B = Q_G - Q_O$ jest równy:

$$Q_B = Q_G - Q_O = -N_A \cdot q \cdot X_B = -\sqrt{2\epsilon_{Si} \cdot q \cdot N_A \cdot \Phi_S} = -\left(V_{FB} - V_{GB} + \Phi_S\right) \cdot C_{OX} \quad (6.4)$$

Po podstawieniu równania (6.3) do równania (6.4), można obliczyć potencjał Φ_S :

$$\Phi_S = \frac{1}{4} \cdot \left(\sqrt{y^2 + 4 \cdot \left(V_{GB} - V_{FB} \right)} - y \right)^2 \quad (6.5)$$

$$\text{gdzie: } y = \frac{\sqrt{2\epsilon_{Si} \cdot q \cdot N_A}}{C_{OX}} \quad (6.6)$$

y nazywa się współczynnikiem efektu podłoża (substrate-effect coefficient), lub "body-effect coefficient"

Znając wartość Φ_S można łatwo obliczyć pojemność pomiędzy bramką i podłożem:

$$C_{GB} = \frac{dQ_G}{dV_{GB}} = \frac{C_{OX}}{\sqrt{1 + \frac{4 \cdot \left(V_{GB} - V_{FB} \right)}{y^2}}} \quad (6.7)$$

W miarę zwiększania potencjału Φ_S rośnie koncentracja elektronów (nośników mniejszościowych) w kanale. Dla pewnego napięcia $\Phi_S = 2\Phi_P$ staje się ona równa koncentracji akceptorów N_A w kanale.

Φ_P jest spadkiem potencjału na obszarze ładunku przestrzennego w materiale typu P i może być łatwo znaleziony na podstawie aproksymacji Boltzmann'a dla warunku, że koncentracja elektronów n w kanale jest równa koncentracji domieszek akceptorowych:



$$n = N_A = n_i \cdot \exp\left(\frac{q \cdot \phi_P}{k \cdot T}\right) \quad (6.8)$$

tak więc:

$$\phi_P = - \frac{k \cdot T}{q} \ln \frac{N_A}{n_i} \quad (6.9)$$

Ładunek wolnych elektronów zawarty w warstwie inwersyjnej Q_I można otrzymać całkując koncentrację wolnych elektronów $n(y)$ w granicach w jakich mogą one istnieć, tzn. od współrzędnej powierzchni " y_S " do współrzędnej " y_C " stanowiącej granicę istnienia kanału:

$$Q_I = -q \cdot \int_{y_C}^{y_S} n(y) \cdot dy \quad (6.10)$$

Całkowity ładunek elektronów Q_{SC} jest równy sumie ładunku elektronów w warstwie inwersyjnej Q_I i ładunku zjonizowanych akceptorów Q_B i może być wrażony wzorem wynikającym bezpośrednio z praw elektrostatyki:

$$Q_{SC} = Q_I + Q_B = - \sqrt{2 \cdot q \cdot \epsilon_{Si} \cdot N_A} \cdot \sqrt{\phi_S + \frac{k \cdot T}{q} \cdot \exp\left(\frac{q \cdot (\phi_S - 2 \cdot \phi_P)}{kT}\right)} \quad (6.11)$$

Wszystkie ładunki powinny się wzajemnie równoważyć, ażeby spełnić prawo neutralności ładunku (6.12), a wszystkie potencjały powinny spełniać prawo Kirchhoffa (6.13):

$$\bar{Q}_G + \bar{Q}_O + \bar{Q}_{SC} = \bar{Q}_G + \bar{Q}_O + \bar{Q}_I + \bar{Q}_B \quad (6.12)$$

symbolem $\bar{Q}$ oznaczamy ładunek (Q oznacza ładunek na jednostkę powierzchni)

$$V_{GB} = \phi_{OX} + \phi_S + \phi_{MS} \quad (6.13)$$

Ładunek bramki Q_G jest liniową funkcją napięcia na tlenku:

$$Q_G = C_{OX} \cdot \phi_{OX} \quad (6.14)$$

Ładunek warstwy inwersyjnej Q_I jest funkcją potencjału ϕ_S :

$$Q_I = - \sqrt{2 \cdot q \cdot \epsilon_{Si} \cdot N_A} \cdot \left(\sqrt{\phi_S + \frac{k \cdot T}{q} \cdot \exp\left(\frac{q \cdot (\phi_S - 2 \cdot \phi_P)}{kT}\right)} - \sqrt{\phi_S} \right) \quad (6.15)$$

Biorąc pod uwagę wzory (6.1), (6.4), (6.13), i (6.14), możemy napisać:

$$V_{GB} = V_{FB} + \phi_S + \gamma \cdot \sqrt{\phi_S + \frac{k \cdot T}{q} \cdot \exp\left(\frac{q \cdot (\phi_S - 2 \cdot \phi_P)}{kT}\right)} \quad (6.16)$$

ażeby otrzymać $V_{BG} = V_{TH}$, musimy przyjąć $\phi_S = 2 \cdot \phi_P$ i wzór (6.16)



upraszcza się do postaci:

$$V_{GB} = V_{FB} + 2 \cdot \phi_P + \gamma \cdot \sqrt{2 \cdot \phi_P} \quad (6.17)$$

Do tej pory omówiliśmy krótko teorię pojemności MOS. W tranzystorze MOS musimy dodatkowo uwzględnić wpływ wdyfundowanych obszarów drenu i źródła (patrz rys. 6.2). Oznaczmy potencjał kanału jako $V_C(x)$. W stanie równowagi tzn. dla napięcia $V_{DS} = 0$ należy przyłożyć pewne napięcie V_{BS} , ażeby zapewnić koncentrację nośników mniejszościowych na powierzchni równą koncentracji nośników większościowych w podłożu:

$$\phi_S = 2 \cdot \phi_P - V_{BS} \quad (6.18)$$

Podstawiając równanie (6.18) do (6.17) otrzymamy następujące wyrażenie na napięcie progowe V_{TH} :

$$V_{TH} = V_{FB} + 2 \cdot \phi_P + \gamma \cdot \sqrt{2 \cdot \phi_P - V_{BS}} \quad (6.19)$$

Jak wynika ze wzoru (6.19) napięcie progowe jest funkcją pierwiastkową napięcia podłoża.

Kanał tranzystora zaczyna formować się począwszy od przyłożenia napięcia pomiędzy bramką, a źródłem $V_{GS} > V_{TH}$. Prądu I_x w małej sekcji dx kanału jest równy:

$$I_x = \frac{d\bar{Q}_i}{dt} \quad (6.20)$$

gdzie: $d\bar{Q}_i$ jest ruchomym ładunkiem zawartym w sekcji dx , a dt jest czasem przelotu tego ładunku przez obszar dx .

$$d\bar{Q}_i = d\bar{Q}_G - d\bar{Q}_O - d\bar{Q}_B \quad (6.21)$$

$$d\bar{Q}_G - d\bar{Q}_O = C_{OX} \cdot W \cdot dx \cdot (V_{GS} - V_{FB} - 2 \cdot \phi_P - V_C(x)) \quad (6.22)$$

$$d\bar{Q}_B = C_{OX} \cdot W \cdot dx \cdot \gamma \cdot \sqrt{2 \cdot \phi_P - V_{BS}} \quad (6.23)$$

Pojemność bramki (na jednostkę powierzchni) jest równa:

$$C_G = \frac{d\bar{Q}_G}{dV_{GS}} = C_{OX} \quad (6.24)$$

W naszych uproszczonych obliczeniach nie wzięliśmy pod uwagę wpływu napięcia pomiędzy kanałem a podłożem $(V_{BS} + V_C(x))$, lecz rozważaliśmy tylko napięcie V_{BS} . W miarę wzrostu napięcia drenu, obszar zubożony w jego pobliżu będzie zdecydowanie grubszy niż w pobliżu źródła.

Podstawiając równanie (6.22) i (6.23) do (6.21) otrzymamy:

$$\begin{aligned} d\bar{Q}_1 &= C_{OX} \cdot W \cdot dx \cdot \left(V_{GS} - V_{FB} - 2 \cdot \Phi_P - V_C(x) \right) - C_{OX} \cdot W \cdot dx \cdot \gamma \cdot \sqrt{2 \cdot \Phi_P - V_{BS}} = \\ &= C_{OX} \cdot W \cdot dx \cdot \left(V_{GS} - V_C(x) - \left(V_{FB} + 2 \cdot \Phi_P + \gamma \cdot \sqrt{2 \cdot \Phi_P - V_{BS}} \right) \right) = \\ &= C_{OX} \cdot W \cdot dx \cdot \left(V_{GS} - V_C(x) - V_{TH} \right) \end{aligned} \quad (6.25)$$

Prędkość nośników $v(x)$ jest funkcją natężenia pola elektrycznego $E_x(x)$:

$$v(x) = \frac{dx}{dt} = -\mu \cdot E_x(x) = \mu \cdot \frac{dV_C(x)}{dx} \quad (6.26)$$

tak więc:

$$\frac{1}{dt} = \mu \cdot \frac{dV_C(x)}{dx^2} \quad (6.27)$$

podstawiając równanie (6.25) i (6.27) do (6.20) otrzymamy:

$$\begin{aligned} I_x &= \frac{d\bar{Q}_1}{dt} = C_{OX} \cdot W \cdot dx \cdot \left(V_{GS} - V_C(x) - V_{TH} \right) \cdot \mu \cdot \frac{dV_C(x)}{dx^2} = \\ &= \mu \cdot C_{OX} \cdot W \cdot \left(V_{GS} - V_C(x) - V_{TH} \right) \cdot \frac{dV_C(x)}{dx} \end{aligned} \quad (6.28)$$

Napięcie $V_C(x)$ zmienia się od 0 dla $x=0$ do V_{DS} dla $x=L_{eff}$. Całkując w tych granicach równanie (6.28) i uwzględniając, że I_x jest w całym kanale równy I_{DS} otrzymamy:

$$\int_0^{L_{eff}} I_x \cdot dx = \mu \cdot C_{OX} \cdot W \cdot \int_0^{V_{DS}} \left(V_{GS} - V_C(x) - V_{TH} \right) \cdot dV_C(x) \quad (6.29)$$

$$I_{DS} \cdot L_{eff} = \mu \cdot C_{OX} \cdot W \cdot \int_0^{V_{DS}} \left(V_{GS} - V_C(x) - V_{TH} \right) \cdot dV_C(x) \quad (6.30)$$

a stąd:

$$I_{DS} = \frac{\mu \cdot C_{OX} \cdot W}{L_{eff}} \cdot \left(\left(V_{GS} - V_{TH} \right) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right) \quad (6.31)$$

Ten model tranzystora MOS jest ważny tylko wtedy, gdy istnieje ciągły kanał pomiędzy źródłem a drenem. W chwili gdy napięcie V_{DS} osiągnie wartość dla której napięcie pomiędzy kanałem i bramką stanie się w pewnym punkcie równe napięciu odcięcia, od tego miejsca nie będzie już możliwości sformułowania kanału:

$$V_C(x) < V_{GS} - V_{TH} \quad (6.32)$$



Kanał istnieje więc tylko od punktu $x=0$ do punktu $x=L'$ w którym napięcie kanału osiągnęło wartość napięcia nasycenia V_{DSat} :

$$V_{DSat} = V_C(L') = V_{GS} - V_{TH} \quad (6.33)$$

Dla $V_{DS} > V_{DSat}$ prąd I_D nie jest już funkcją napięcia V_{DS} , gdyż na końcu kanału istnieje zawsze napięcie V_{DSat} . Podstawiając (6.33) do (6.31) dla $V_{DS} > V_{DSat}$ otrzymamy:

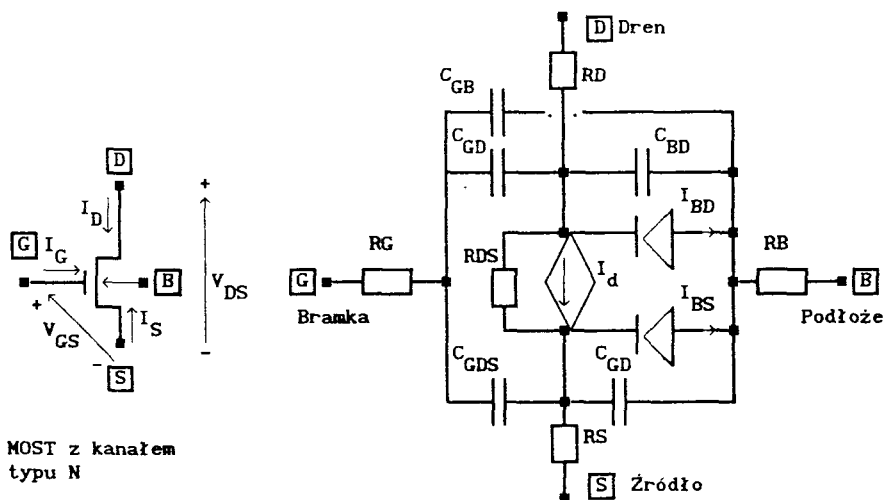
$$I_{DS} = \frac{\mu \cdot C_{OX} \cdot W}{L_{eff}} \cdot \left((V_{GS} - V_{TH}) \cdot (V_{GS} - V_{TH}) - \frac{(V_{GS} - V_{TH})^2}{2} \right) = \frac{\beta}{2} (V_{GS} - V_{TH})^2 \quad (6.34)$$

gdzie:

$$\beta = \frac{\mu \cdot C_{OX} \cdot W}{L_{eff}} = KP \cdot \frac{W}{L_{eff}} \quad (6.35)$$

KP zwany jest parametrem transkonduktancji.

Po tych wstępnych rozważaniach przejdziemy teraz do omówienia modelu tranzystora MOS wbudowanego w program PSPICE. Jest to model o czterech poziomach i ma on w sumie 90 parametrów. listę ich można znaleźć w Tablicy 6.1. Model ten przedstawiono schematycznie na rysunku 6.5.



MOST z kanałem
typu N

RYSUNEK 6.5. Wielosygnałowy model tranzystora MOSFET (kanał typu N)



Poziomy modelowania w programie PSPICE są następujące:

LEVEL=1 model Shichman'a-Hodges'a (1968)

LEVEL=2 model analityczny oparty na rozważaniach geometrycznych
(A.Vladimirescu, and S.Liu, 1980)

LEVEL=3 model semi-empiryczny z uwzględnieniem efektów krótkiego kanału
(A.Vladimirescu, and S.Liu, 1980)

LEVEL=4 model BSIM B.J. Sheu, D.L. Scharfetter, P.-K. Ko, M.-C. Jeng,
1987)

6.1 Charakterystyki statyczne tranzystora MOST

Charakterystyki statyczne tranzystora MOST z kanałem typu N opisane są równaniami:

a) prąd bramki: $I_G = 0$ (6.36)

b) prąd podłoża: $I_B = I_{BS} + I_{BD}$ (6.37)

przy czym:

$$I_{BS} = I_{SS} \cdot \left(\exp\left(\frac{V_{BS}}{N \cdot V_T}\right) - 1 \right) - \text{prąd upływu podłoże-źródło} \quad (6.38)$$

$$I_{BD} = I_{DS} \cdot \left(\exp\left(\frac{V_{BD}}{N \cdot V_T}\right) - 1 \right) - \text{prąd upływu dren-źródło} \quad (6.39)$$

przy czym dla $J_S=0$, lub $A_S = 0$, lub $A_D = 0$:

$$I_{SS} = I_S$$

$$I_{DS} = I_S$$

w innym przypadku:

$$I_{SS} = A_S \cdot J_S + P_S \cdot J_{SSW}$$

$$I_{DS} = A_D \cdot J_S + P_D \cdot J_{SSW}$$

c) prąd drenu: $I_D = I_{BD} - I_d$

d) prąd źródła: $I_S = I_{DS} + I_d$

Równania na prąd I_d dla modelu LEVEL = 1 są następujące:

Dla: $V_{DS} \geq 0$ (praca normalna)

$$V_{GS} - V_{to} < 0 \quad I_d = 0 \quad (\text{obszar odcięcia}) \quad (6.40)$$



$$V_{DS} < V_{GS} - V_{to} \quad I_d = \frac{W}{L} \cdot \frac{KP}{2} \cdot \left(1 + \text{LAMBDA} \cdot V_{DS}\right) \cdot V_{DS} \cdot \left(2 \cdot (V_{GS} - V_{to}) - V_{DS}\right) \quad (\text{obszar liniowy}) \quad (6.41)$$

$$0 \leq V_{GS} - V_{to} \leq V_{DS} \quad I_d = \frac{W}{L} \cdot \frac{KP}{2} \cdot \left(1 + \text{LAMBDA} \cdot V_{DS}\right) \cdot (V_{GS} - V_{to})^2 \quad (\text{obszar nasycenia}) \quad (6.42)$$

$$\text{gdzie: } V_{to} = V_{TO} + \text{GAMMA} \cdot \left(\sqrt{(PHI - V_{BS})} \sqrt{PHI} \right) \quad (6.43)$$

Dla: $V_{DS} \leq 0$ (praca inwersyjna) wystarczy zamienić w powyższych równaniach źródło z drenem.

Dośćadne równania dla poziomów 2,3 i 4 można znaleźć w literaturze.

6.1.1. Wpływ temperatury na charakterystyki statyczne tranzystora MOS

Wpływ temperatury na charakterystyki statyczne tranzystora MOST uwzględniony jest przy pomocy następujących równań (oznaczenia są opisane w Tablicy 6.1):

$$I_S(T) = I_S \exp \left(\frac{\frac{EG(T_{nom}) \cdot T}{T_{nom}} - EG(T)}{VT} \right) \quad (6.44)$$

przy czym:

$$EG(T) = 1.16 - 0.000702 \cdot \frac{T^2}{T + 1108} \quad (6.45)$$

$$J_S(T) = J_S \exp \left(\frac{\frac{EG(T_{nom}) \cdot T}{T_{nom}} - EG(T)}{VT} \right) \quad (6.46)$$

$$J_{SSWS}(T) = J_{SSW} \exp \left(\frac{\frac{EG(T_{nom}) \cdot T}{T_{nom}} - EG(T)}{VT} \right) \quad (6.47)$$

$$KP(T) = KP \left(\frac{T}{T_{nom}} \right)^{-\frac{3}{2}} \quad (6.48)$$

$$U_0(T) = U_0 \left(\frac{T}{T_{\text{nom}}} \right)^{-\frac{3}{2}} \quad (6.49)$$

6.2. Charakterystyki dynamiczne tranzystora MOST

Dynamika tranzystora MOST symulowana jest w programie PSPICE poprzez uwzględnienie ładunków związanych z pojemnościami tranzystora.

Zwróćmy uwagę, że model z rysunku 6.5 uwzględnia rezystancje doprowadzeń (kontaktów) przyrządu. Wszystkie pojemności połączone są pomiędzy końcówkami wewnętrznego (właściwego) tranzystora MOS.

a) Pojemność podłoże-źródło opisana jest równaniami:

Dla $CBS = 0$

$$C_{BS} = AS \cdot CJ \cdot C_{BSJ} + PS \cdot CJSW \cdot C_{BSS} + TT \cdot G_{BS} \quad (6.50)$$

Dla $CBS \neq 0$

$$C_{BS} = CBS \cdot C_{BSJ} + PS \cdot CJSW \cdot C_{BSS} + TT \cdot G_{BS} \quad (6.51)$$

$$\text{gdzie: } G_{BS} = \frac{dIBS}{dVBS} \quad (6.52)$$

Dla $V_{BS} \leq FC \cdot PB$:

$$C_{BSJ} = \frac{1}{\left(1 - \frac{V_{BS}}{PB}\right)^{MJ}} \quad (6.53)$$

$$C_{BSS} = \frac{1}{\left(1 - \frac{V_{BS}}{PBSW}\right)^{MJSW}}$$

Dla $V_{BS} > FC \cdot PB$:

$$C_{BSJ} = \left(1 - FC\right)^{-(1+MJ)} \cdot \left(1 - FC \cdot (1+MJ) + MJ \cdot \frac{V_{BS}}{PB}\right)$$

$$C_{BSS} = \left(1 - FC\right)^{-(1+MJSW)} \cdot \left(1 - FC \cdot (1+MJSW) + MJSW \cdot \frac{V_{BS}}{PBSW}\right)$$

b) Pojemność podłoże-dren opisana jest równaniami:

Dla $CBD = 0$

$$C_{BD} = AD \cdot CJ \cdot C_{BDJ} + PD \cdot CJSW \cdot C_{BDS} + TT \cdot G_{DS} \quad (6.54)$$



Dla $C_{BD} \neq 0$

$$C_{BD} = C_{BD} \cdot C_{BDJ} + P_D \cdot C_{JSW} \cdot C_{BDS} + T_T \cdot G_{DS} \quad (6.55)$$

$$\text{gdzie: } G_{BD} = \frac{dI_{BD}}{dV_{BD}} \quad (6.56)$$

Dla $V_{BD} \leq FC \cdot P_B$:

$$C_{BDJ} = \frac{1}{\left(1 - \frac{V_{BD}}{P_B}\right)^{MJ}} \quad (6.57)$$

$$C_{BDS} = \frac{1}{\left(1 - \frac{V_{BD}}{P_{BSW}}\right)^{MJSW}}$$

Dla $V_{BD} > FC \cdot P_B$:

$$C_{BDJ} = \left(1 - FC\right)^{-(1+MJ)} \cdot \left(1 - FC \cdot (1+MJ) + MJ \cdot \frac{V_{BD}}{P_B}\right)$$

$$C_{BDS} = \left(1 - FC\right)^{-(1+MJSW)} \cdot \left(1 - FC \cdot (1+MJSW) + MJSW \cdot \frac{V_{BD}}{P_{BSW}}\right)$$

c) Pojemność bramka-źródło opisana jest równaniami:

$$C_{GS} = C_{GSO} \cdot W \quad (6.58)$$

d) Pojemność bramka-dren opisana jest równaniami:

$$C_{GS} = C_{GDO} \cdot W \quad (6.59)$$

e) Pojemność bramka-podłoże opisana jest równaniami:

$$C_{GS} = C_{GBO} \cdot W \quad (6.60)$$

6.2.2. Wpływ temperatury na charakterystyki dynamiczne tranzystora MOS
uwzględniony jest przy pomocy następujących równań:

$$P_B(T) = P_B \cdot \frac{T}{T_{nom}} - 3 \cdot V_T \cdot \ln\left(\frac{T}{T_{nom}}\right) - EG(T_{nom}) \cdot \frac{T}{T_{nom}} + EG(T) \quad (6.61)$$

$$P_{BSW}(T) = P_{BSW} \cdot \frac{T}{T_{nom}} - 3 \cdot V_T \cdot \ln\left(\frac{T}{T_{nom}}\right) - EG(T_{nom}) \cdot \frac{T}{T_{nom}} + EG(T) \quad (6.62)$$

$$\text{PHI}(T) = \text{PHI} \cdot \frac{T}{T_{\text{nom}}} - 3 \cdot V_T \cdot \ln\left(\frac{T}{T_{\text{nom}}}\right) - \text{EG}(T_{\text{nom}}) \cdot \frac{T}{T_{\text{nom}}} + \text{EG}(T) \quad (6.63)$$

$$\text{CBD}(T) = \text{CBD} \cdot \left\{ 1 + \text{MJ} \cdot \left(0.0004 \cdot (T - T_{\text{nom}}) + \left(1 - \frac{\text{PB}(T)}{\text{PB}} \right) \right) \right\} \quad (6.64)$$

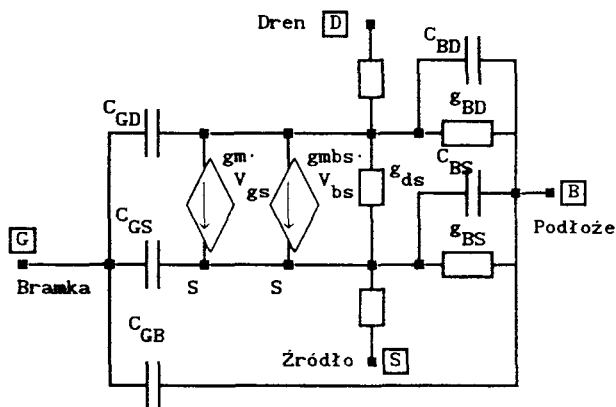
$$\text{CBS}(T) = \text{CBS} \cdot \left\{ 1 + \text{MJ} \cdot \left(0.0004 \cdot (T - T_{\text{nom}}) + \left(1 - \frac{\text{PB}(T)}{\text{PB}} \right) \right) \right\} \quad (6.65)$$

$$\text{CJT} = \text{CJ} \cdot \left\{ 1 + \text{MJ} \cdot \left(0.0004 \cdot (T - T_{\text{nom}}) + \left(1 - \frac{\text{PB}(T)}{\text{PB}} \right) \right) \right\} \quad (6.66)$$

W tablicy 6.1 przedstawiono parametry tranzystora MOS oraz ich wartości wbudowane dla modelu z programu PSPICE 5.2

6.3. Małosygnałowy model tranzystora MOS dla analizy AC

Dla analizy częstotliwościowej, przy której układ elektroniczny zastępowany jest liniowym schematem zastępczym dla punktu pracy wyznaczonego uprzednio podczas analizy DC wielosygnałowy model tranzystora MOST z rysunku 6.5 upraszcza się do postaci przedstawionej na rysunku 6.6.



RYSUNEK 6.6. Małosygnałowy model tranzystora MOST (kanał N)



TABLICA 6.1 a) Parametry dla poziomu LEVEL=1,2 i 3

NAZWA PARAMETRU	OPIS	JEDNOSTKA	WARTOŚĆ WBUDOWANA
VTO	napięcie progowe przy polaryzacji 0	Volt	0
LD	poprzeczna dyfuzja (długość)	Metr	0
WD	poprzeczna dyfuzja (szerokość)	Metr	0
KP	współczynnik transkonduktancji	Amper/Volt ²	2E-5
LAMBDA	współczynnik modulacji długości kanału (dla LEVEL=1, lub 2)	1/Volt	0
PHI	potencjał powierzchniowy	Volt	0.6
GAMMA	współczynnik progowy materiału	$\sqrt{\text{Volt}}$	obliczany
TOX	grubość tlenku	Metr	obliczana
TPG	typ materiału bramki: -1 taki sam jak podłoża, +1 przeciwny, 0 - Al		+1
NSUB	gęstość domieszkowania podłoża	1/cm ³	nie istnieje
NSS	gęstość stanów powierzchniowych	1/cm ²	nie istnieje
NFS	gęstość stanów powierzchniowych (fast)	1/cm ²	0
XJ	grubość złącza metalurgicznego	Metr	0
UO	ruchliwość powierzchniowa	cm ² /Volt·sek	600
UCRIT	pole elektryczne przy którym następuje degradacja ruchliwości (dla LEVEL=2)	Volt/cm	1E4
UEXP	pole elektryczne przy którym następuje degradacja ruchliwości (współczynnik w wykładniku) (dla LEVEL=2)	Volt/cm	1E4
UTRA	pole elektryczne przy którym następuje degradacja ruchliwości w kierunku poprzecznym (nie używany)		
VMAX	maksymalna prędkość unoszenia	metr/sek	0
NEFF	współczynnik ładunku kanału (dla LEVEL=2)	Volt	1



TABLICA 6.1 a) Ciąg dalszy. Parametry dla poziomu LEVEL=1,2 i 3

NAZWA PARAMETRU	OPIS	JEDNOSTKA	WARTOŚĆ WBUDOWANA
XQC	część ładunku kanału należąca do drenu		1
DELTA	wpływ szerokości na napięcie progowe		0
THETA	modulacja ruchliwości (LEVEL=3) jak podłoża, +1 przeciwny, 0 - Al	1/Volt	0
ETA	statyczne sprzężenie zwrotne (dla LEVEL=3)		0
KAPPA	współczynnik dla elektrycznego pola nasylenia		0.2

TABLICA 6.1 b) Parametry dla wszystkich poziomów

NAZWA PARAMETRU	OPIS	JEDNOSTKA	WARTOŚĆ WBUDOWANA
LEVEL	wybór typu (poziomu) modelu		1
L	długość kanału	Metr	DEFL
W	szerokość kanału	Metr	DEFW
IS	prąd nasycenia podłoża (złącze PN)	Amper	1E-14
JS	prąd nasycenia podłoża (złącze PN) na jednostkę powierzchni	Amper/metr ²	0
JSSW	prąd nasycenia ściany bocznej podłoża (PN) na jednostkę powierzchni	Amper/metr ²	0
N	współczynnik emisji podłoża (złącze PN)		1
PB	potencjał dyfuzyjny złącza p-n podłoża (na dole)	Volt	0.8
PBSW	potencjał dyfuzyjny złącza p-n podłoża (ściana boczna)	Volt	PB
RD	rezystancja szeregową drenu	Ohm	0
RS	rezystancja szeregową źródła	Ohm	0
RG	rezystancja szeregową bramki	Ohm	0



TABLICA 6.1 b) Ciąg dalszy. Parametry dla wszystkich poziomów

NAZWA PARAMETRU	OPIS	JEDNOSTKA	WARTOŚĆ WBUDOWANA
RB	rezystancja szeregową podłoża	Ohm	0
RDS	rezystancja zwarcia dren-źródło	Ohm	∞
RSH	rezystancja dyfuzji dren-źródło	Ohm/kwadrat	0
CBD	pojemność podłoża-dren przy zerowej polaryzacji	Farad	0
CBS	pojemność podłoża-źródło przy zerowej polaryzacji	Farad	0
CJ	pojemność podłoża (złącza PN) przy zerowej polaryzacji (na dole) (pojemność na powierzchnię)	Farad/metr ²	0
CJSW	pojemność podłoża (złącza PN) przy zerowej polaryzacji (powierzchnia boczna) (pojemność na długość)	Farad/metr	0
MJ	współczynnik zależny od typu złącza (złącze PN, podłoża) (na dole)		0.5
MJSW	współczynnik zależny od typu złącza (złącze PN, podłoża) (ściana boczna)		0.33
FC	współczynnik dopasowania charakterystyki dla złącza PN podłoża		0.5
TT	czas przelotu dla złącza PN podłoża	sec	0
CGSO	pojemność bramka-źródło wynikająca z umieszczenia bramki nad źródłem (overlap) na jednostkę szerokości kanału	Farad/metr	0
CGDO	pojemność bramka-dren wynikająca z umieszczenia bramki nad drenem (overlap) na jednostkę szerokości kanału	Farad/metr	0
CGBO	pojemność bramka-podłoża wynikająca z umieszczenia bramki nad podłożem (overlap) na jednostkę długości kanału	Farad/metr	0
KF	współczynnik szumów (liniowy)		0
AF	współczynnik szumów (potęga)		1

TABLICA 6.c) Parametry dla poziomu LEVEL=4

NAZWA PARAMETRU	OPIS	JEDNOSTKA	WARTOŚĆ WBUDOWANA
DL	skręcanie kanału	μ	0
DW	zawężanie kanału	μ	0
TOX	grubość tlenku bramki	μ	0
VFB	napięcie flat-band	Volt	*
PHI	potencjał powierzchniowy inwersji	Volt	*
K1	współczynnik dla efektu "body"	$\sqrt{\text{Volt}}$	*
K2	współczynnik podziału ładunku pomiędzy dren i źródło		*
ETA	współczynnik zmniejszania indukowania bariery drenu przy zerowej polaryzacji		*
X2E	wrażliwość efektu zmniejszania indukowania bariery drenu od napięcia podłoża	1/Volt	*
X2E	wrażliwość efektu zmniejszania indukowania bariery drenu od napięcia drenu przy $V_{DS} = V_{dd}$	1/Volt	*
MUZ	ruchliwość przy zerowej polaryzacji	$\text{cm}^2/(\text{Volt} \cdot \text{s})$	*
X2MUZ	wrażliwość ruchliwości ze względu na polaryzację podłoża przy $V_{DS} = 0$	$\text{cm}^2/(\text{Volt}^2 \cdot \text{s})$	*
U0	współczynnik zmniejszania poprzecznej ruchliwości przy zerowej polaryzacji	1/Volt	*
X2U0	wrażliwość zmniejszania poprzecznej ruchliwości ze względu na polaryzację podłoża	$1/\text{Volt}^2$	*
U1	współczynnik nasycania się ruchliwości nośników przy zerowej polaryzacji	μ/Volt	0
X2U1	wrażliwość zmniejszania się wsp. nasycania ruchliwości ze względu na polaryzację podłoża	μ/Volt^2	*



TABLICA 6.1 c) Parametry dla poziomu LEVEL=4, Ciąg dalszy

NAZWA PARAMETRU	OPIS	JEDNOSTKA	WARTOŚĆ WBUDOWANA
X3U1	wrażliwość zmniejszania się wsp. nasycania ruchliwości ze względu na polaryzację drenu przy $V_{DS} = V_{DD}$	μ/Volt^2	*
MUS	ruchliwość przy zerowej polaryzacji podłoża i przy $V_{DS} = V_{DD}$	$\text{cm}^2/(\text{Volt}^2\text{s})$	*
X2MS	wrażliwość ruchliwości ze względu na polaryzację podłoża przy $V_{DS} = 0$	$\text{cm}^2/(\text{Volt}^2\text{s})$	*
X3MS	wrażliwość ruchliwości ze względu na polaryzację drenu przy $V_{DS} = V_{DD}$	$\text{cm}^2/(\text{Volt}^2\text{s})$	*
NO	współczynnik nachylenia podprogowego przy zerowej polaryzacji		*
NB	wrażliwość współczynnika nachylenia podprogowego na polaryzację podłoża		*
ND	wrażliwość współczynnika nachylenia podprogowego na polaryzację drenu		*
TEMP	temperatura przy której mierzono wartości parametrów	C	
VDD	zakres napięć pomiarowych prądów		
XPART	typ modelu pojemności bramka-tlenek		
WDF	szerokość złącza dren-źródło	Metr	
DELL	współczynnik zmniejszania szerokości złącza dren-źródło	Metr	

* oznacza, że parametry te mają swoje odpowiedniki w funkcji szerokości i długości kanału. Na przykład parametr VFB mający wymiar [Volt] z tablicy 6.1c) ma swój odpowiednik w postaci parametru LVFB oraz WVFB, które mają wymiar na jednostkę długości (lub szerokości) kanału to znaczy $[V \cdot \mu]$. Zmiana wymiaru geometrycznego szerokości lub długości kanału spowoduje więc automatyczną zmianę parametru. Stosowany jest następujący wzór:

$$P_i = P_0 + \frac{P_L}{L_e} + \frac{P_W}{W_e} \quad (6.67)$$

gdzie: $L_e = L - DL$

efektywna długość kanału

$W_e = W - DW$

efektywna szerokość kanału

6.4. Umieszczenie tranzystora MOS w układzie

Raz zdefiniowany model tranzystora MOS może być następnie wielokrotnie użyty w programie PSPICE.

Model definiujemy w następujący sposób:

```
.MODEL <nazwa modelu> NMOS [(parametry modelu)]
```

```
.MODEL <nazwa modelu> PMOS [(parametry modelu)]
```

Parametry modelu zostały przedstawione w Tabelicy 6.1.

Przykład:

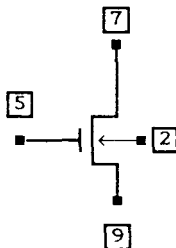
```
.MODEL PRZYKŁAD NMOS LEVEL=2
```

+ VTO=-1.3	KP=4.64E-5	GAMMA=0.284	PHI=0.6
+ CJ=1.38E-4	TOX=6.5E-8	NSUB=6.84E14	XJ=0.5E-6
+ LD=0.35E-6	UO=875	UCRIT=6.0E4	UEXP=0.15
+ UTRA=0.5	CGSO=1.85E-10	CGDO=1.85E-10	
+ JS=1E-7	VMAX=2.5E4	DELTA=1	

Ogólna forma umieszczania tranzystora MOS w obwodzie jest postaci:

```
M<nazwa> <węzeł drenu> <węzeł bramki> <węzeł źródła> <węzeł podłoża>  
+ <nazwa modelu> [L = wartość] [W = wartość] [AD = wartość]  
+ [AS = wartość] [PD = wartość] [PS = wartość] [NRD = wartość]  
+ [NRS = wartość] [NRG = wartość] [NRB = wartość] [M = wartość]
```

Teraz możemy przykładowo wpisać tranzystor MOS z rysunku 6.7 do programu PSPICE:



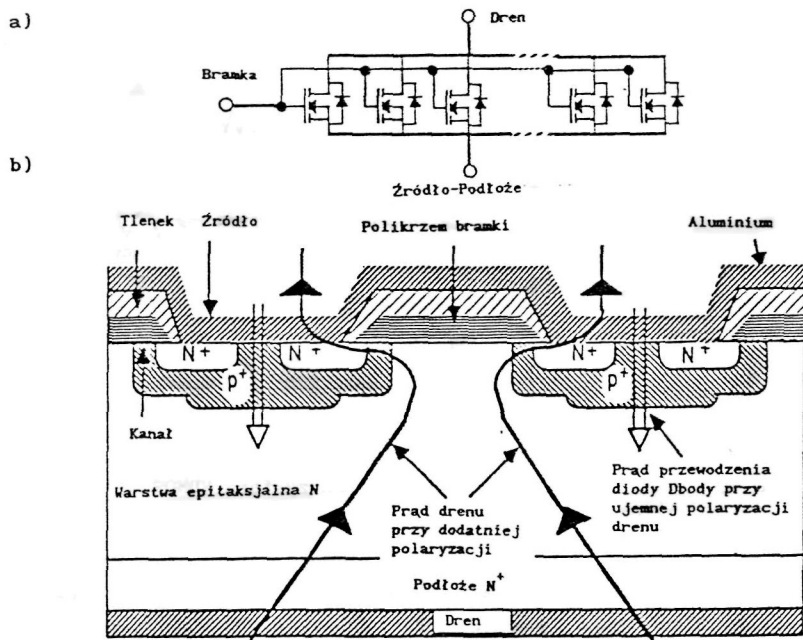
RYSUNEK 6.7. Umieszczanie tranzystora MOS w układzie

M144 7 5 9 2 PRZYKŁAD



6.6. Modelowanie tranzystora VDMOS w programie PSPICE

Gwałtowny rozwój technologii MOS spowodował opracowanie tranzystorów MOS dużej mocy. W ostatnich latach stosuje się je dla napięć poniżej 400V zamiast tranzystorów bipolarnych i tyrystorów. Najbardziej rozpowszechnionym jest tranzystor VDMOS z kanałem typu N. W LAAS du CNRS opracowany został model takiego tranzystora dla programu PSPICE (P. Rossel, M. Napieralska, H. Tranduc i C.E Cordonnier). Przekrój tranzystora VDMOS (Vertical, Double diffusion, Metal, Oxyde, Semiconductor) pokazano na rys. 6.8. Składa się on z tysięcy elementarnych tranzystorów połączonych równolegle.

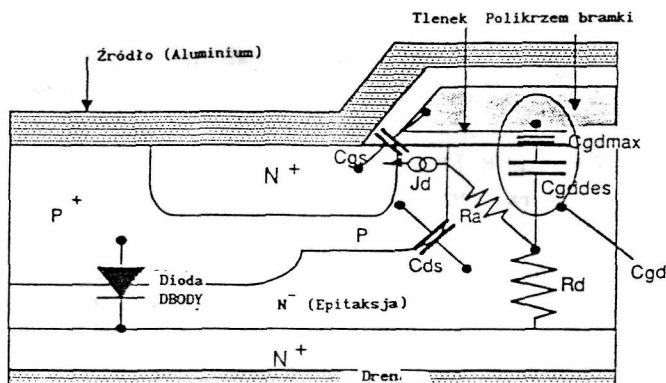


RYSUNEK 6.8. Struktura tranzystora VDMOS

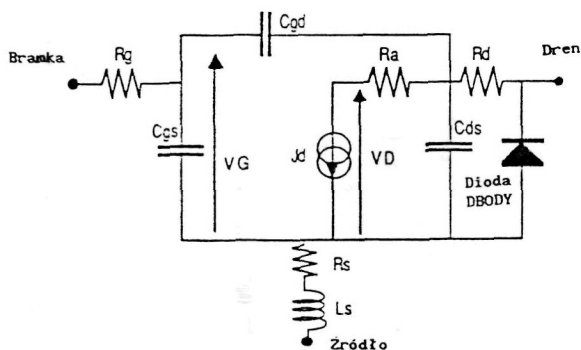
- a) połączenie równoległe tranzystorów elementarnych
b) pojedynczy tranzystor



a)



b)

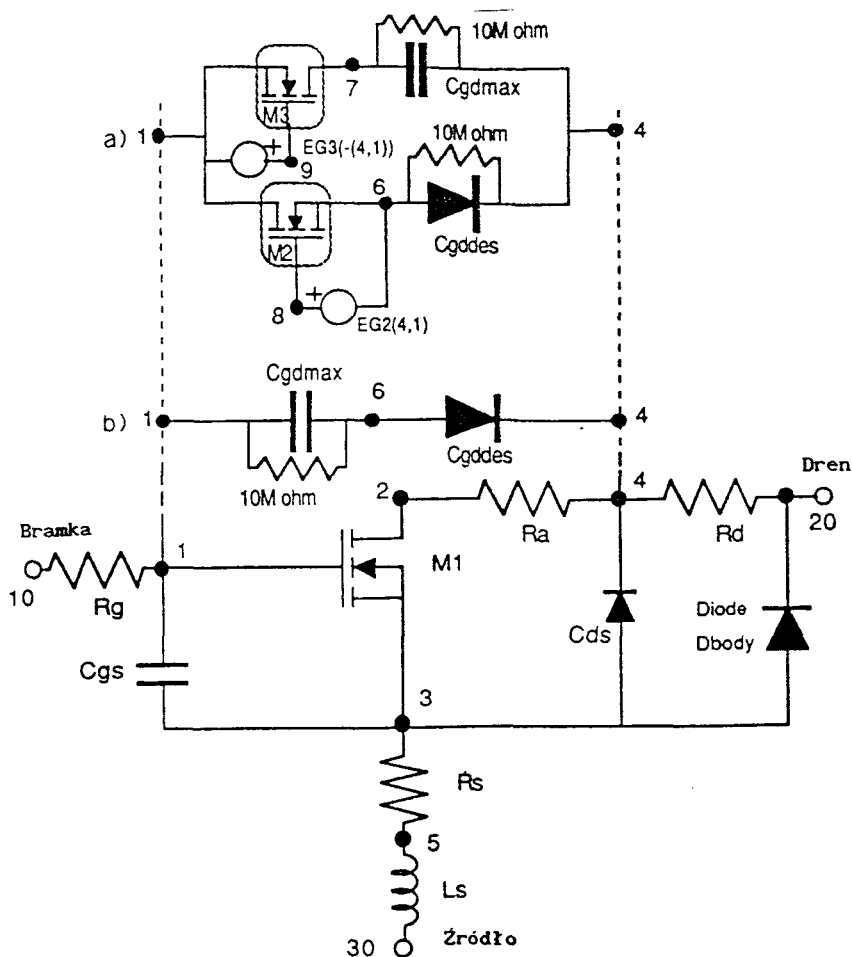


RYSUNEK 6.9. Zasada tworzenia makromodelu tranzystora VDMOS

- a) położenie poszczególnych elementów w strukturze
b) makromodel

W celu ułatwienia korzystania z modelu tranzystora stworzone zostały dwa typy jego makromodelu. Prostszy, bez przełączników lecz wymagający inicjalizacji warunków początkowych, oraz model z przełącznikami nie wymagający żadnej interwencji użytkownika. Oba te modele przedstawiono schematycznie na rysunku 6.10.





RYSUNEK 6.10. Makromodel tranzystora VDMOS

a) z przełącznikami

b) wymagający podania warunków początkowych

Makromodel ten wykorzystuje równanie na prąd drenu z poziomu 1 lub 3 dla klasycznego modelu tranzystora MOS wbudowanego w program PSPICE. Na rysunku 6.10 jest on oznaczony przez M1. Tranzystory M2 i M3 spełniają tylko rolę przełączników. Na rysunku 6.11 podano przykładowo opis obu typów makromodeli dla programu PSPICE:

a)

```
*MTP25N10E model created using LAAS version.
*
*      TMOS MODEL WITH SWITCHES (SUBCIRCUIT)
*
.SUBCKT MTP25N10E 20 10 30
RG 10 1 1
M1 2 1 3 3 DMOS L=1U W=1U
.MODEL DMOS NMOS (VTO=3.64 KP=20.5 THETA=0.04 VMAX=1.5E5 LEVEL=3)
CGS 1 3 2400P
RD 20 4 0.04
DDS 3 4 DDS
.MODEL DDS D(BV=100 M=0.42 CJO=2620P VJ=0.667)
DBODY 3 20 DBODY
.MODEL DBODY D(IS=2.5E-12 N=1.03 RS=0.088 TT=260N)
RA 4 2 1E-3
RS 3 5 1M
LS 5 30 6N
M2 1 8 6 6 INTER
E2 8 6 4 1 2
.MODEL INTER NMOS (VTO=0 KP=10 LEVEL=1)
CGDMAX 7 4 1900P
RCGD 7 4 1E7
DGD 6 4 DGD
RDGD 4 6 1E7
.MODEL DGD D(M=0.8 CJO=1900P VJ=0.25)
M3 7 9 1 1 INTER
E3 9 1 4 1 -2
.ENDS
*      END OF SUBCIRCUIT
```



b)

```
*MTH7N45 model created using LAAS version
*          TMOS SUBCIRCUIT REQUIRING INITIALISATION
*
.SUBCKT MTH7N45 20 10 30 6
RG 10 1 1
M1 2 1 3 3 MOS L=1U W=1U
LS 5 30 10N
RS 3 5 1M
.MODEL MOS NMOS (VTO=3.45 KP=5.86 THETA=0.04 VMAX=0.8E5 LEVEL=3)
CGS 1 3 1150P
RD 4 20 0.48
DBODY 3 20 DBODY
.MODEL DBODY D(IS=4E-12 N=1.03 RS=0.04 TT=1000N)
DDS 3 4 DDS
.MODEL DDS D(BV=450 M=0.45 CJO=684P VJ=0.48)
RA 4 2 1E-3
CGDMAX 6 1 3700P
RGD 1 6 1E7
DGD 6 4 DGD
.MODEL DGD D( M=0.52 CJO=7610P VJ=2.47E-3)
.ENDS
*          END OF SUBCIRCUIT
```

RYСУNEK 6.11. Dane wejściowe dwóch typów makromodelu tranzystora VDMOS:

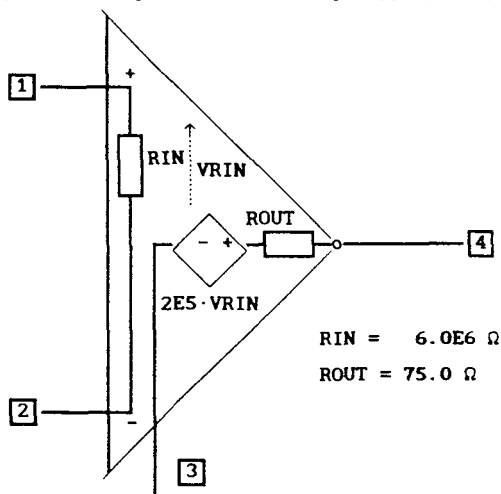
- a) z przełącznikami
- b) wymagający inicjalizacji



7. MODEL WZMACNIACZA OPERACYJNEGO W PROGRAMIE PSPICE

W programie PSPICE nie istnieje wbudowany model wzmacniacza operacyjnego. Użytkownik musi stosować jeden z makromodeli z bardzo bogatej biblioteki programu PSPICE. W przypadku analizy układu zawierającego wiele wzmacniaczy operacyjnych lepiej jest zbudować samemu jego prosty makromodel. Pozwoli to na znaczne zwiększenie dopuszczalnej ilości wzmacniaczy operacyjnych w układzie, a także na lepsze zrozumienie zasady działania układu. W rozdziale tym przedstawione zostaną zasadnicze problemy występujące przy tworzeniu makromodeli wzmacniaczy operacyjnych.

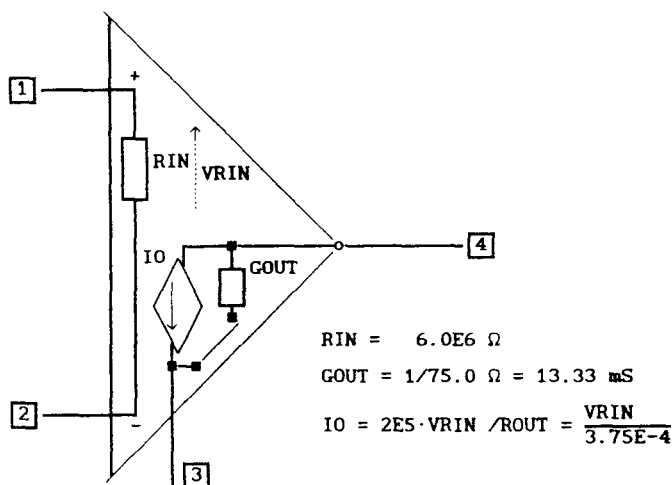
Najprostszy makromodel wzmacniacza operacyjnego utworzyć można symulując tylko jego rezystancję wejściową (dla idealnego wzmacniacza ∞ , w praktyce rzędu $2E6 \Omega$), wzmocnienie napięciowe i rezystancję wyjściową. Na rysunku 7.1 przedstawiono tego typu prosty makromodel:



RYСУNEK 7.1. Prostý makromodel wzmacniacza operacyjnego

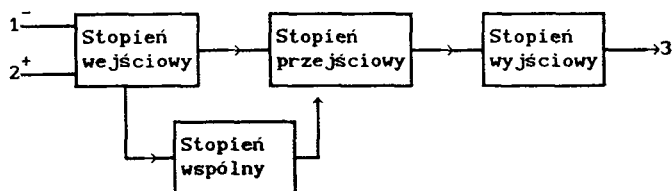
Makromodelem dualnym do przedstawionego powyżej jest układ z rysunku 7.2 stosujący sterowane źródło prądowe:





RYSUNEK 7.2. Makromodel wzmacniacza operacyjnego wykorzystujący VCCS

Przedstawione powyżej modele są bardzo uproszczoną strukturą i uwzględniają tylko podstawowe parametry wzmacniacza operacyjnego. Ogólny schemat blokowy sposobu modelowania wzmacniaczy operacyjnych pokazano na rysunku 7.3:



RYSUNEK 7.3. Sposób modelowania wzmacniacza operacyjnego

Poszczególne stopnie modelują następujące parametry wzmacniacza operacyjnego:

a) Stopień wejściowy:

- nieliniowe prądy polaryzacji
- prąd niezrównoważenia

napięcie niezrównoważenia
 nieliniowa impedancja wejściowa

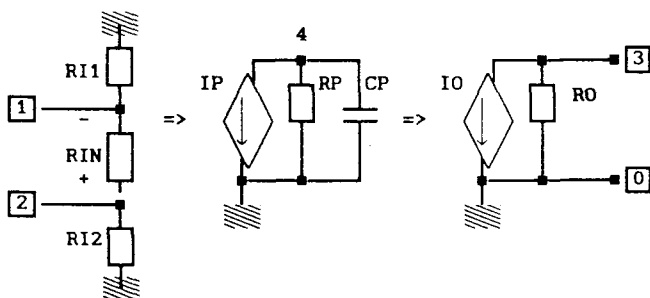
b) Stopień przejściowy i wspólny:

współczynnik wzmocnienia (A)
 współczynnik tłumienia sumacyjnego sygnału wejściowego (CMRR)
 częstotliwość odcięcia (f_{od})
 częstotliwość graniczną (f_{gr})
 pasmo przenoszenia (częstotliwość f_{δ})
 Slew rate (maksymalna szybkość narastania napięcia wyjściowego wzmacniacza)

c) Stopień wyjściowy:

ograniczenie zakresu zmian napięcia wyjściowego
 ograniczenie prądu wyjściowego

Przykład prostego makromodelu wykorzystującego schemat blokowy z rysunku 7.3 pokazano na rysunku 7.4

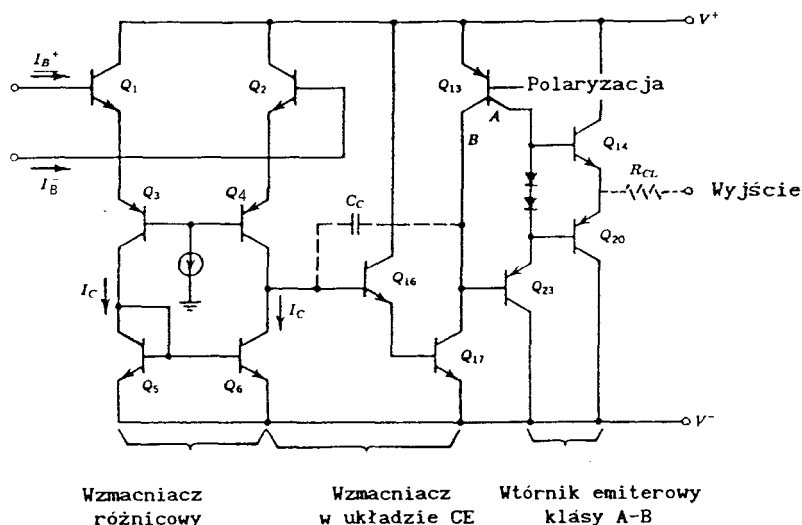


RYSUNEK 7.4. Prosty trzystopniowy makromodel wzmacniacza operacyjnego

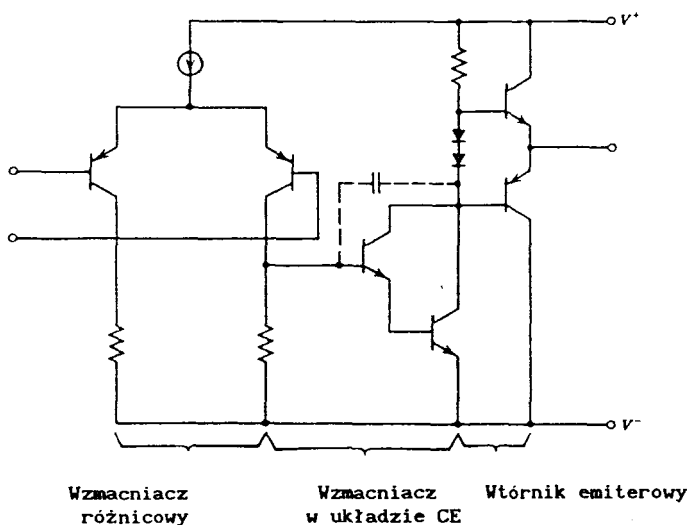
Spotykane w praktyce bipolarne wzmacniacze operacyjne mają strukturę bardzo podobną do przedstawionej na rysunku 7.3. Na rysunku 7.5 przedstawiono podstawową strukturę scalonego wzmacniacza operacyjnego, oraz jego uproszczony odpowiednik z zastosowaniem elementów dyskretnych:



a)



b)



RYSUNEK 7.5. a) Scalony bipolarny wzmacniacz operacyjny (typu 741/101A)

b) Schemat uproszczony z elementów dyskretnych



8. ZWIEŻŁY OPIS PROGRAMU PSPICE

W celu symulacji układu elektronicznego przy pomocy dowolnego programu analizy układów elektronicznych należy dokonać edycji zbioru zawierającego dane obwodu oraz instrukcje sterujące.

Z programem PSPICE 5.2 można pracować dwoma sposobami:

1. Sposób klasyczny:

Edycji zbioru (na przykład nazwijmy go DANE1.CIR) dokonujemy edytorem Nortona NE, a następnie po zapamiętaniu go na dysku dokonujemy symulacji:

PSPICE DANE1

wyniki znajdują się w zbiorze DANE1.OUT i w zbiorze DANE1.DAT jeżeli użyliśmy instrukcji PROBE.

2. Sposób z wykorzystaniem programu PS (Pspice Control Shell)

Wywołanie programu PS pozwala na edycję zbioru ze wstępnym sprawdzeniem błędów syntaktycznych przed wykonaniem symulacji, oraz na sterowanie ON-LINE programami: **PSPICE**, **PROBE**, **STIMULUS EDITOR** i **PARTS**.

Program posiada wbudowany help i nawet niedoświadczony użytkownik jest w stanie się nim posługiwać. Wadą programu są częste transmisje na dysk, co spowalnia obliczenia. Tworzy on też wiele zbiorów pomocniczych. Ażeby dobrze wykorzystać program PS należy pracować z dyskiem wirtualnym.

Nazwa zbioru jest dowolna z tym, że o ile zakończona jest .CIR to wówczas automatycznie zbiór wyjściowy będzie zakończony .OUT i .DAT.

Pierwsza linia zbioru danych musi zawierać tytuł symulacji. Druga powinna być linią komentarza z nazwiskami studentów. Wszystkie węzły obwodu powinny być ponumerowane, a każdy element powinien mieć swoją indywidualną nazwę. Węzeł masy musi mieć numer "0".

W wersji demonstracyjnej PSICE 5.2 są następujące ograniczenia:

a) maksimum 64 węzły



- b) maksimum 10 elementów aktywnych
 c) PARTS pozwala tylko na badanie charakterystyk diody

Nazwa elementu jest dowolna, a pierwsza litera oznacza typ elementu:

R - rezystancja
 L - indukcyjność
 K - indukcyjność sprzężona
 C - pojemność
 I - niezależne źródło prądowe
 V - niezależne źródło napięciowe
 E - źródło napięcia sterowane napięciem (VCVS)
 H - źródło napięcia sterowane prądem (CCVS)
 G - źródło prądu sterowane napięciem (VCCS)
 F - źródło prądu sterowane prądem (CCCS)
 D - dioda
 Q - tranzystor bipolarny
 J - tranzystor JFET
 M - tranzystor MOS
 X - makromodel (podobwód)
 S - przełącznik sterowany napięciowo
 W - przełącznik sterowany prądowo
 N - wejściowy przyrząd logiczny (cyfrowy)
 O - wyjściowy przyrząd logiczny (cyfrowy)
 U - cyfrowy model IO, przyrząd logiczny

Każdy element opisany jest jedną instrukcją zawierającą nazwę elementu, węzły do których jest przyłączony oraz jego wartość w jednostkach SI. Pierwszy węzeł ma potencjał "+" a drugi "-". Do opisu wartości elementu można stosować następujące przedrostki:

T = E12 G = E9 MEG = E6 K = E3
 M = E-3 U = E-6 N = E-9 P = E-12 F = E-15

W przypadku elementów półprzewodnikowych czy też makromodeli należy zamiast wartości podać nazwę modelu czy też podobwodu.

Kolejność węzłów przy wpisywaniu przyrządów półprzewodnikowych jest następująca:

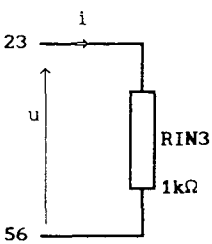
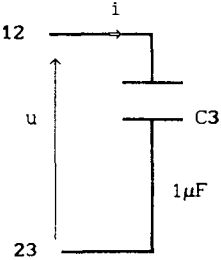
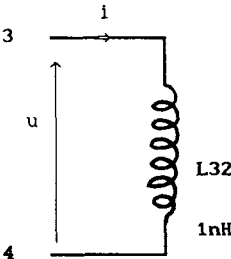
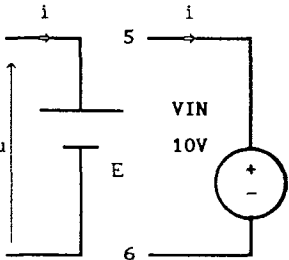
DIODA: anoda katoda (A C)

TRANZYSTOR BIPOLARNY: kolektor baza emiter (podłoże) (C B E)

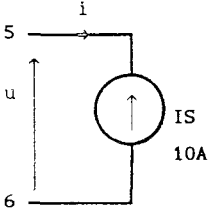
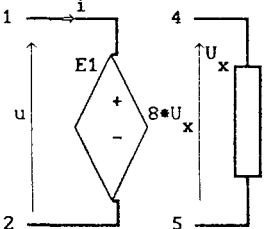
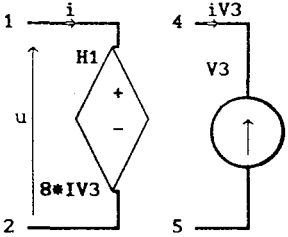
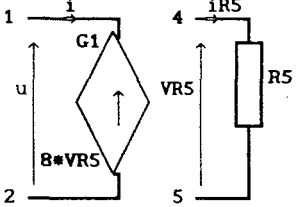
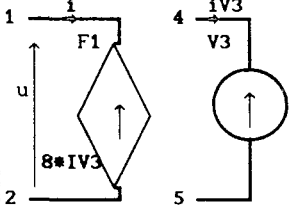
TRANZYSTOR JFET: dren bramka źródło (D G S)

TRANZYSTOR MOS: dren bramka źródło podłoże (D G S SUB.)

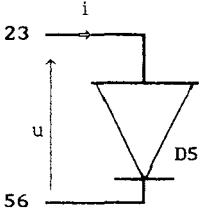
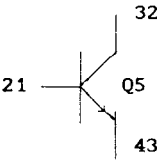
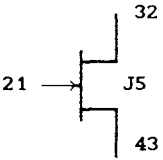
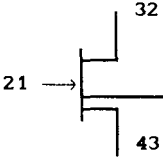
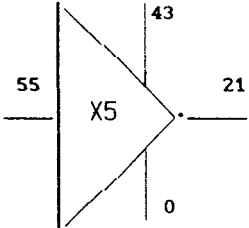
TABLICA 8.1 SPOSÓB WPISYWANIA ELEMENTÓW:

TYP ELEMENTU	SYMBOL	INSTRUKCJA W PR. PSPICE
1) REZYSTANCJA R		RIN3 23 56 1K
2) POJEMNOŚĆ C		C3 12 23 1U
3) INDUKCYJNOŚĆ L		L32 3 4 1N
4) ŹRÓDŁA NIEZALEŻNE a) niezależne źródło napięciowe V		VIN 5 6 DC 10



b) niezależne źródło prądowe I		IS 6 5 DC 10
5) LINIOWE ŹRÓDŁA STEROWANE a) VCVS źródło napięciowe sterowane napięciem E		E1 1 2 4 5 8.0
b) CCVS źródło napięciowe sterowane prądem H		H1 1 2 V3 8.0
c) VCCS źródło prądowe sterowane napięciem G		G1 2 1 4 5 8.0
d) CCCS źródło prądowe sterowane prądem F		F1 2 1 V3 8.0



DIODA D		* A C D5 23 56 MOD12
TRANZYSTOR BIPOLARNY Q		* C B E Q5 32 21 43 BC107
TRANZYSTOR JFET J		* D G S J5 32 21 43 MODJF1
TRANZYSTOR MOS M		* D G S SUB. M5 32 21 43 55 MOS55
MAKROMODEL (.SUBCKT) X		* IN OUT VDD GND X5 55 21 43 0 INVERTET

Dla źródeł sterowanych dwie pierwsze liczby są numerami węzłów do których przyłączone jest źródło. Gdy źródło sterowane jest napięciowo, następne liczby podają numery węzłów do których przyłożone jest napięcie sterujące. Dla źródła sterowanego prądowo należy podać nazwę



źródła napięciowego, którego prąd jest prądem sterującym.

Dane elementów można uzupełnić dodatkowymi informacjami. Na przykład rezystancja może być zależna od temperatury poprzez podanie wartości dwóch współczynników TC1 i TC2:

$$R(T)=R(T_{\text{nom}}) \left(1 + TC1(\delta T) + TC2(\delta T)^2 \right)$$

gdzie: $\delta T = T - T_{\text{nom}}$

Instrukcja wpisania rezystancji do obwodu będzie postaci:

na przykład : R1 2 0 15K TC=0.001 0.0025

Indukcyjność i pojemność mogą być nieliniowe w funkcji prądu lub napięcia. Nieliniowości opisane są poprzez wielomiany

$$L=L0 + L1*I + L2*I^2 + \dots$$

$$C=C0 + C1*U + C2*U^2 + \dots$$

Postać ogólna instrukcji opisu nieliniowej indukcyjności lub pojemności jest następująca:

Cxxxxxxx N+ N- POLY C0 C1 C2 ... <IC=INCOND>

Lxxxxxxx N+ N- POLY L0 L1 L2 ... <IC=INCOND>

Instrukcja IC=INCOND pozwala na zdefiniowanie warunków początkowych (INITIAL CONDITION) napięcia lub prądu niezbędnych do obliczeń stanów przejściowych. Na przykład:

C45 18 21 POLY 2 0.3 IC=10

gdzie C0 = 2, C1 = 0.3, a IC = 10 oznacza, że początkowa wartość napięcia na kondensatorze wynosi 10V.

Instrukcja dla indukcyjności sprzężonych jest postaci:

na przykład K21 LC1 LMR32 0.99

Litera K oznacza, że indukcyjność LC1 jest sprzężona z indukcyjnością LMR32, a współczynnik sprzężenia wynosi 0.99.

W opisie elementów półprzewodnikowych można dodatkowo podać następujące informacje:

- 1° współczynnik powierzchni (wartość wbudowana = 1) daje on możliwość stosowania tego samego modelu dla elementów wykonanych w tej samej technologii, lecz mających różną powierzchnię.
- 2° słowo OFF narzuca stan blokowania dla elementu w chwili początkowej.
- 3° wyrażenie IC=liczba, określa początkowe napięcie na diodzie, napięcia VBE i VCE tranzystora bipolarnego, napięcia VDS i VGS

tranzystora JFET, czy też napięcia VDS, VGS oraz VBS tranzystora MOSFET.

4° W przypadku tranzystora MOS można określić dodatkowo parametry geometryczne takie jak długość i szerokość kanału, oraz powierzchnię dyfuzji drenu i źródła

Przykłady:

D23 15 23 DIODE 3.5 OFF IC=-10

MTMOS 21 3 0 0 MODMOS3 L=5U W=20U AD=200P AS =200P PD=50U PS=50U
+ IC=0.61, 0.55

to znaczy: (VDS=0.61V, VGS=0.55V)

Źródła sterowane mogą być nieliniowe oraz zależeć od wielu zmiennych. W takim przypadku stosuje się instrukcję POLY(N), gdzie N jest wymiarem zależności. Następnie należy podać N par węzłów dotyczących napięć sterujących, lub N nazw źródeł napięcia dotyczących prądów sterujących. Na końcu należy podać współczynniki wielomianu w następującej postaci: (przykładowo dwie zmienne i wielomian drugiego stopnia)

$$a_0 + a_1x + a_2y + a_3x^2 + a_4xy + a_5y^2$$

Przykłady:

1° Dla VCVS:

E25 7 21 POLY(2) 12 18 31 45 1 10 5 0.5 0.6 0.7 IC=12
(x y a₀ a₁ a₂ a₃ a₄ a₅)

2° Dla CCCS:

F36 8 54 POLY(2) VIN V51 0.1 2 1M 1K 1 0.1 IC=1
(x y a₀ a₁ a₂ a₃ a₄ a₅)

Wartość początkowa IC odnosi się do napięcia (VCVS) lub prądu (CCCS) w elemencie.

Źródła niezależne mogą być trzech różnych typów:

1° Dziedzina DC:

Przykłady:

VIN 2 0 DC 10



IIN 2 0 DC 10

gdzie: 10 jest wartością napięcia (VIN) lub prądu (IIN) źródła.

2° Dziedzina AC:

Przykłady:

VIN 2 0 AC 1 180

IIN 2 0 AC 1 0

gdzie: pierwsza liczba jest wartością amplitudy, a druga fazy (w °)

3° Dziedzina TR:

W przypadku analizy stanów przejściowych mamy do dyspozycji 5 typów źródeł:

3.1. PULSE (V1 V2 TD TR TF PW PER) - (Źródło impulsowe)

gdzie: V1 - wartość początkowa (w Voltach lub Amperach)

V2 - wartość impulsu (w Voltach lub Amperach)

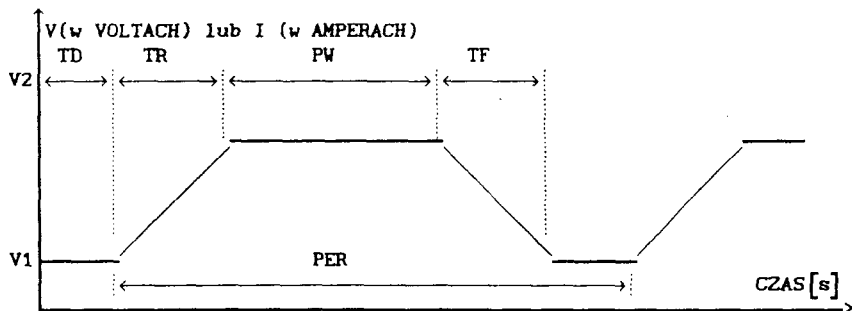
TD - czas opóźnienia (w sekundach, wartość wbudowana 0.0)

TR - czas narastania (w sekundach, wartość wbudowana = wartości kroku dla analizy czasowej)

TF - czas opadania (w sekundach, wartość wbudowana = wartości kroku dla analizy czasowej)

PW - szerokość impulsu

PER - okres sygnału



Przykład:

Impuls jednostkowy o amplitudzie 1 jest postaci:

VUNIT 1 0 PULSE (0 1 0 0)



3.2. SIN (VO VA FREQ TD THETA) - (Źródło sinusoidalne)

gdzie:: VO - wartość składowej stałej (w Voltach lub Amperach)
VA - amplituda (w Voltach lub Amperach)
FREQ - częstotliwość sygnału - (w Hz, wartość wbudowana =1/TSTOP)
TD - czas opóźnienia (w sekundach, wartość wbudowana 0.0)
THETA - współczynnik tłumienia (w sekundach⁻¹, wartość wbudowana 0)

Równanie opisujące źródło sinusoidalne jest postaci:

Dla $T < TD$, $V = VO$

Dla $TD < T < TSTOP$:

$$V = VO + VA * \exp \left[- \left(\text{time} - TD \right) * THETA \right] * \sin \left[2\pi * FREQ * \left(\text{time} + TD \right) \right]$$

Przykład: V31 5 8 SIN (0 1 100MEG 0 0)

3.3. EXP (V1 V2 TD1 TAU1 TD2 TAU2) - (Źródło wykładnicze)

gdzie: V1 - wartość początkowa (w Voltach lub Amperach)
V2 - wartość impulsu (w Voltach lub Amperach)
TD1 - czas opóźnienia dla narastania impulsu (w sekundach, wartość wbudowana 0)
TAU1 - stała czasu narastania impulsu (w sekundach, wartość wbudowana TSTEP)
TD2 - czas opóźnienia określający początek opadania sygnału (w sekundach, wartość wbudowana =TD1+TSTEP)
TAU2 - stała czasu opadania impulsu (w sekundach, wartość wbudowana TSTEP)

Równanie opisujące źródło wykładnicze jest postaci:

Dla $T < TD1$, $V = V1$

Dla $TD1 < T < TD2$, $V = V1 + (V2 - V1) * \left[1 - \exp \left(-(\text{time} - TD1) / TAU1 \right) \right]$

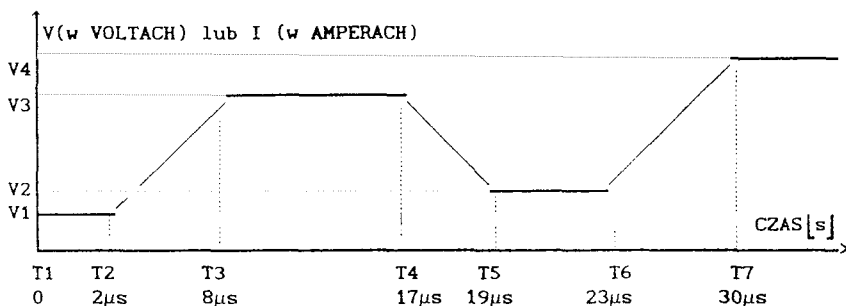
Dla $TD2 < T < TSTOP$, $V = V1 + (V2 - V1) * \left[1 - \exp \left(-(\text{time} - TD1) / TAU1 \right) \right] + (V1 - V2) * \left[1 - \exp \left(-(\text{time} - TD2) / TAU2 \right) \right]$



3.4. PWL (T1 V1 <T2 V2 T3 V3 ...>) - (Źródło odcinkowo liniowe)

gdzie: źródło zmienia się liniowo i przyjmuje następujące wartości:

V1 dla T = T1, V2 dla T = T2, etc...



Na przykład, dla V1 = 1V, V2 = 1.2V, V3 = 2V, V4 = 2.2V

VIT 1 0 PWL (0 1 2U 1 8U 2 17U 2 19U 1.2 23U 1.2 30U 2.2)

3.5. SFFM (VO VA FC MDI FS) - (Źródło o modulowanej częstotliwości)

gdzie: VO - wartość składowej stałej (w Voltach lub Amperach)

VA - amplituda (w Voltach lub Amperach)

FC - częstotliwość nośna - (w Hz, wartość wbudowana = 1/TSTOP)

MDI - współczynnik modulacji

FS - częstotliwość sygnału - (w Hz, wartość wbudowana = 1/TSTOP)

Równanie opisujące źródło o modulowanej częstotliwości jest postaci:

$$V = VO + VA * \sin \left(\left(2\pi * FC * time \right) + MDI * \sin \left(2\pi * FS * time \right) \right)$$

Przykład: V1 5 8 SFFM (0 1M 10K 6 1K)

Druga część zbioru danych zawiera instrukcje sterujące. Każda instrukcja sterująca musi zaczynać się od kropki .

W celu określenia szerokości danych wejściowych (zbiór .CIR) i wyjściowych (zbiór .OUT) można stosować instrukcję .WIDTH:

.WIDTH IN=80 OUT = 80



Instrukcja **.MODEL** służy do zdefiniowania modelu przyrządu półprzewodnikowego, elementu nieliniowego, czy też bramki logicznej. Ogólna forma tej instrukcji jest postaci:

.MODEL Nazwa modelu [AKO: nazwa modelu odniesienia] Typ przyrządu
 + Nazwa listy parametrów modelu [specyfikacja tolerancji]
 podlisty a nawiasach [] są opcjonalne

Nazwa modelu: dowolna, lecz musi zaczynać się od litery. Poniżej podano rodzaje elementów definiowanych instrukcją **.MODEL** w programie **.PSPICE**:

TYP PRZYRZĄDU

WYWOŁANIE

D	dioda	Dxxx
NPN	tranzystor bipolarny NPN	Qxxx
PNP	tranzystor bipolarny PNP	Qxxx
LPNP	lateralny tranzystor bipolarny PNP	Qxxx
NJF	tranzystor JFET kanał N	Jxxx
PJF	tranzystor JFET kanał P	Jxxx
NMOS	tranzystor MOS kanał N	Mxxx
PMOS	tranzystor MOS kanał P	Mxxx
GASFET	tranzystor MESFET z arsenku galu z kanałem N	Nxxx
CORE	nieliniowe cewki sprzężone (transformator)	Kxxx
VSWITCH	przełącznik sterowany napięciowo	Sxxx
ISWITCH	przełącznik sterowany prądowo	Wxxx
DINPUT	wejściowy przyrząd logiczny (cyfrowy)	Nxxx
DOUTPUT	wyjściowy przyrząd logiczny (cyfrowy)	Oxxx
UIO	cyfrowy model IO	Uxxx
UGATE	bramka standardowa	Uxxx
UTGATE	bramka trzystanowa	Uxxx
UEFF	przerzutnik wyzwalany zboczem (Edge-Triggered Flip-flop)	Uxxx
UGFF	przerzutnik wyzwalany poziomem (Gated Flip-flop), (Latches)	Uxxx
UWDTH	weryfikator szerokości impulsu Pulse Width Checker	Uxxx
USUHD	weryfikator Set Up and Hold Checker	Uxxx
UDLY	cyfrowa linia opóźniająca	Uxxx
UADC	wielobitowy przetwornik analogowo-cyfrowy	Uxxx
UDAC	wielobitowy przetwornik cyfrowo-analogowy	Uxxx

Nazwa listy parametrów modelu:

Zawiera ona wartości parametrów modelu. Parametry nie określone przez użytkownika przyjmują wartości wbudowane.



Przykłady:

```
.MODEL MOD1 NPN BF=60 IS=1.2E-13
.MODEL MOD2 D
.MODEL MOD3 NJF VTO=-3V BETA=1E-4 LAMBDA=2.0E-2 CGS=2PF CGD=2PF
+          PB=1V IS=1.0E-14
```

Instrukcja dla zdefiniowania podobwodu (makromodelu) (wywoływany jest on przez X...), jest postaci:

```
.SUBCKT Nazwa makromodelu Węzły N1 N2 ...
.
.Opis makromodelu
.
.ENDS Nazwa makromodelu
```

Numeracja węzłów wewnątrz makromodelu jest niezależna od numeracji węzłów obwodu głównego. Nie należy stosować zera, gdyż jest ono zawsze numerem masy.

Opis makromodelu - opisuje się go podobnie jak obwód główny. Kończy go instrukcja .ENDS Nazwa makromodelu.

Węzły N1 N2 ..., są węzłami zewnętrznymi makromodelu. Nie mogą one zawierać węzła o numerze "0".

Przykład: .SUBCKT BRAMKA 1 2 3 4 5

```
.
.
.
.ENDS BRAMKA
```

W przypadku gdy chcemy stosować makromodel znajdujący się w jednej z bibliotek programu PSPICE należy wywołać tę bibliotekę. Na przykład chcąc stosować wzmacniacz operacyjny $\mu A741$ znajdujący się w bibliotece OPNOM.LIB, trzeba napisać:

* Wywołanie biblioteki zawierającej między innymi makromodel $\mu A741$ (

* oznacza komentarz)

.LIB OPNOM.LIB

* Umieszczenie wzmacniacza $\mu A741$ w układzie

X1 1 2 0 4 5 6 UA741

Obliczenia raz zdefiniowanego układu elektronicznego mogą być wykonane w 3 dziedzinach:

- a) analiza statyczna (DC)
- b) analiza prądu przemiennego, zwana też małosygnalową (AC),
(dla układu zlinearyzowanego w punkcie pracy określonym uprzednio w analizie .DC)
- c) analiza stanów przejściowych (TR)

ad a)

Dla otrzymania w zbiorze wyjściowym .OUT wszystkich informacji o napięciach, prądach i modelach małosygnalowych elementów w punkcie pracy należy zastosować instrukcję:

.OP

Obliczenia w dziedzinie .DC mogą być wykonane dla wielu wartości prądów i napięć. Instrukcja jest postaci:

.DC	nazwa źródła	Wartość początkowa	Wartość końcowa	Krok
	<u> </u>	<u> </u>	<u> </u>	<u> </u>

W przypadku wielu źródeł należy wypisać kolejno wartości ich parametrów:

.DC VCE 0 100 5 VBE 0 0.7 0.1

Pierwsze źródło VCE jest zmienną niezależną (oś x), a drugie jest parametrem symulacji.

ad b)

Analiza małosygnalowa (AC), wywoływana jest instrukcją .AC. Zmienną niezależną jest zawsze częstotliwość. Zmienia się ona od wartości FSTART do FSTOP:

.AC DEC ND FSTART FSTOP

.AC OCT NO FSTART FSTOP

.AC LIN NP FSTART FSTOP

gdzie: DEC: Skala logarytmiczna, ND jest ilością punktów na dekadę.

OCT: Skala logarytmiczna, NO jest ilością punktów na oktawę.

LIN: Zmiana liniowa, NP jest ilością punktów pomiędzy FSTART i FSTOP.



Przykład:

```
.AC DEC 5 1K 10MEG
```

UWAGA: Dla analizy **.AC** należy koniecznie zdefiniować minimum jedno źródło **AC!!!**, podając jego amplitudę i fazę.

Dla otrzymania charakterystyki przejściowej (output/input) wraz z rezystancją wejściową i wyjściową (analiza **DC** dla małych sygnałów) stosuje się instrukcję **.TF**. Pierwsza zmienna po tej instrukcji określa zmienną wyjściową, a druga zmienną wejściową.

Przykład:

```
.TF V(23) VIN1
```

PSPICE obliczy stosunek $V(23)/VIN$, oraz małosygnałową rezystancję wejściową dla $VIN1$ i małosygnałową rezystancję wyjściową dla $V(23)$

ad c)

Analiza stanów przejściowych (**TR**) wywoływana jest przy pomocy instrukcji **.TRAN**. Zmienną niezależną jest zawsze czas.

Postać ogólna instrukcji **.TRAN** jest następująca:

```
.TRAN TSTEP TSTOP <TSTART <TMAX>> <UIC>
```

gdzie:

TSTEP - wartość kroku dla wydruku wyników

TSTOP - końcowy czas symulacji

TSTART - początek symulacji (wartość wbudowana 0)

TMAX - maksymalna wartość kroku (wartość wbudowana $TSTOP/50$)

UIC - żądanie uwzględnienia warunków początkowych określonych przez instrukcję **IC** (w innym przypadku PSPICE obliczy je sam i wyspecyfikowane w instrukcji **.IC** warunki początkowe nie zostaną uwzględnione)

Przykład:

```
.TRAN 1N 0.2U UIC
```

WYNIKI OBLICZEŃ

Wyniki obliczeń mogą być otrzymane w postaci:

- a) **.PRINT** - forma tabelaryczna
- b) **.PLOT** - rysowanie w formie alfanumerycznej
- c) **.PROBE** - forma graficzna. Zastosowanie postprocesora graficznego
.PROBE pozwala na oglądanie wszystkich zmiennych oraz ich kombinacji.

Ogólna postać instrukcji wyjścia jest następująca:

.PRINT PRTYPE OV1 <OV2 ... OV8>

.PLOT PLTYPE OV1 <(PLO1,PHI1)> <OV2 <(PLO2,PHI2)> ... OV8>

gdzie:

PRTYPE, PLTYPE - typ analizy (**DC, AC, TRAN, NOISE** lub **DISTO**)

OV1, ... OV8 - zmienna która ma być drukowana

<(PLO1,PHI1)> - granice przebiegu

Wyniki obliczeń otrzymuje się w funkcji napięcia lub prądu (przy analizie **.DC**), częstotliwości (analiza **.AC**), lub czasu (analiza **.TR**).

Zmiennymi, które mogą być drukowane są:

- W przypadku analizy DC i TRAN: napięcia: węzłów (np. **V(41)**), napięcia pomiędzy węzłami (np. **V(41,54)**), napięcia na dwójnikach (np. **V(RBB)**), napięcia na końcówkach przyrządów półprzewodnikowych (np. **VC(Q14)**), napięcia pomiędzy dwoma końcówkami przyrządu półprzewodnikowego (np. **VBE(Q14)**), prądy dwójników (np. **I(RBB)**), prądy w końcówkach przyrządów półprzewodnikowych (np. **IC(Q14)**)

- W przypadku analizy AC:

część rzeczywista (**VR** ou **IR**) ,przykład: **VR(41)**, **IR(VIN)**

część urojona (**VI** ou **II**) ,przykład: **VI(41)**, **II(VIN)**

amplituda (**VM** ou **IM**) ,przykład: **VM(41)**, **IM(VIN)**

faza (**VP** ou **IP**) ,przykład: **VP(41)**, **IP(VIN)**

amplituda w decybelach (**VDB** ou **IDB**) ,przykład: **VDB(41)**,
IDB(VIN)

opóźnienie grupowe **VG**, przykład: **VG(41)**

Przykłady:

.PRINT TRAN V(5) V(7) I(VIN) I(VA1IM)

.PRINT AC VM(1) VP(1)



```
.PLOT DC V(2) V(2,5)
.PLOT TRAN V(5) V(7) I(VIN) I(VALIM)
.PLOT AC VM(1) VP(1)
.PLOT DC V(2) V(2,5) (0,10)
```

PSPICE 5.2 pozwala na stosowanie procedury graficznej PROBE. Wywołuje się ją instrukcją .PROBE i nazwy żądanych przebiegów, lub po prostu .PROBE. W drugim przypadku zapamiętane zostaną w zbiorze .DAT wszystkie możliwe przebiegi uzyskane w wyniku symulacji. Dostęp do nich jest poprzez klawisz F4. Pełne możliwości .PROBE można wykorzystać tylko przy zastosowaniu myszki.

Zastosowanie postprocesora graficznego pozwala również na oglądanie dowolnej kombinacji przebiegów, zmianę skali, powiększanie itp. Funkcje sygnałów dostępne w .PROBE są następujące:

ABS(x)	wartość absolutna
SGN(x)	1 dla $x > 0$, 0 dla $x=0$, -1 dla $x < 0$
SQRT(x)	pierwiastek kwadratowy
EXP(x)	funkcja wykładnicza
LOG(x)	logarytm naturalny
LOG10(x)	logarytm dziesiętny
DB(x)	decybel ($20 \log_{10}(x)$)
M(x)	amplituda x
P(x)	faza x (w stopniach)
R(x)	część rzeczywista x
IMG(x)	część urojona x
PWR(x,y)	potęga $(\text{abs}(x))^y$
SIN(x)	sinus (x w radianach)
COS(x)	cosinus (x w radianach)
TAN(x)	tangens (x w radianach)
ATAN(x)	arctangens (x w radianach)
d(y)	pochodna y względem zmiennej osi x
s(y)	całka y względem zmiennej osi x
AVG(y)	wartość średnia y
RMS(y)	wartość skuteczna "RMS" y
MIN(x)	minimum części rzeczywistej x
MAX(x)	maksimum części rzeczywistej x
G(x)	opóźnienie grupowe (wynik w sekundach)

Obliczenia wykonywane są dla temperatury nominalnej $TNOM=27^{\circ}\text{C}$ (300K). Można ją zmienić instrukcją .TEMP. ($TEMP > -273^{\circ}\text{C}$)

Przykład: .TEMP = 125

Należy pamiętać o podaniu właściwych współczynników temperaturowych dla wszystkich elementów. Temperatura odniesienia



pozostaje równa $T_{NOM} = 27^{\circ}\text{C}$. Dla zmiany temperatury odniesienia trzeba zastosować instrukcję `.OPTIONS`.

Przykład: `.OPTIONS TNOM = wartość`

W celu oszczędności papieru dobrze jest stosować instrukcję:

`.OPTIONS NOPAGE`

spowoduje ona zlikwidowanie stronicowania. Drukarke można zainstalować w sposobie pracy ze 132 kolumnami, przed rozpoczęciem drukowania wyników:

`copy con prn <Enter>`

`<Alt> 015 <Enter>`

`<Ctrl> Z <Enter>`

Pozostałe opcje programu PSPICE przedstawiono w Tablicy 8.2. Ogólna postać instrukcji `.OPTIONS` jest następująca

`.OPTIONS OPT1 OPT2 ... (lub OPT=OPTVAL ...)`

Przykład:

`.OPTIONS ACCT LIST NODE NOPAGE`

Program PSPICE pozwala również na obliczanie:

- a) **wrażliwości (małosygnałowa DC)** dla każdej podanej zmiennej wyjściowej względem wszystkich parametrów obwodu.

Postać ogólna:

`.SENS OV1 <OV2 ...>`

Przykład: `.SENS V(1) V(2,6) I(VIN)`

- b) **analizę Fouriera** (dla analizy czasowej `TRAN`)

Postać ogólna instrukcji: `.FOUR FREQ OV1 <OV2 OV3 ...>`

gdzie **FREQ** częstotliwość sygnału

OV1 OV2 OV3 .sygnały mające być poddane analizie Fouriera

Przykład: `.FOUR 10K V(1)`

Analiza Fouriera wykonywana jest dla czasu `<TSTOP-period, TSTOP>`, gdzie `TSTOP` jest końcowym czasem symulacji.

- c) **zdefiniowanie warunków początkowych:**

dla analizy **DC** stosujemy instrukcję `.NODESET`:

Postać ogólna: `.NODESET V(NODNUM)=WARTOŚĆ V(NODNUM)=WARTOŚĆ ...`

Przykład: `.NODESET V(1)=10 V(2)=5.1 V(14)=7.12`



TABLICA 8.2 WYKAZ OPCJI PROGRAMU PSPICE

OPCJA	ZNACZENIE	JEDNOSTKA	WARTOŚĆ WBUDOWANA
ACCT	drukowanie statystyk przebiegu obliczeń		OFF
LIST	pełna lista elementów układu i p.p.*		OFF
NOMOD	nie są listowane parametry modeli, ani wartości elementów dla nowej temperatury		OFF
NOPAGE	skasowanie stronicowania		OFF
NODE	drukowanie tablicy połączeń węzłów		OFF
OPTS	drukowanie wartości wszystkich opcji		OFF
GMIN=x	najmniejsza dopuszczalna wartość konduktancji gałęzi	Ω^{-1}	1.0E-12
RELTOL=x	względna dokładność obliczeń		0.001
ABSTOL=x	maksymalna dokładność obliczania prądów	A	1pA
VNTOL=x	maksymalna dokładność obliczania napięć	V	1 μ V
TRTOL=x	tolerancja błędu w obliczeniach stanów przejściowych		7.0
CHGTOL=x	maksymalna dokładność obliczania ładunku	C	0.01pC
PIVTOL=x	najmniejsza wartość macierzy akceptowana jako "pivot"		1.0E-13
PIVREL=x	względny stosunek największej wartości kolumny i najmniejszej wartości macierzy akceptowanej jako "pivot". W procedurze numerycznej najmniejsza wartość pivota określona jest przez: EPSREL=AMAX1(PIVREL*MAXVAL,PIVTOL) gdzie MAXVAL jest maksymalną wartością elementu w kolumnie w której szukany jest pivot		1E-3
NUMDGT=x	liczba cyfr znaczących drukowanych w wyjściowej tablicy zmiennych. Maksymalną wartością jest 8.		4
TNOM=x	nominalna wartość temperatury	°C	27°C
ITL1=x	maksymalna ilość iteracji w analizie DC		40
ITL2=x	maksymalna ilość iteracji przy obliczaniu charakterystyk przejściowych DC		20
ITL4=x	maksymalna liczba iteracji dla jednego punktu przy obliczaniu stanów przejściowych		10
ITL5=x	całkowita liczba iteracji przy analizie stanów przejściowych. Można ustawić ITL5=0 ażeby ominąć ten test		0
LIMPTS=x	Maksymalna liczba punktów drukowana w instrukcji .PRINT lub .PLOT		∞
EXPAND	drukowanie listy przyrządów utworzonych po rozwinięciu makromodeli, oraz zawartość zbioru z danymi o punkcie pracy utworzonego poprzez zastosowanie komendy .SAVEBIAS		OFF

OPCJA	ZNACZENIE	JED NOS TKA	WARTOŚĆ WBUDOWANA
LIBRARY	listowanie instrukcji ściągniętych z biblioteki		OFF
NOBIAS	niedrukowanie napięć określających punkt pracy		OFF
NOECHO	niedrukowanie zbioru danych wejściowych		OFF
NOREUSE	wstrzymanie automatycznego zapamiętywania i odtwarzania informacji o punkcie pracy		OFF
WIDTH	odpowiada instrukcji :WIDTH OUT =		
DISTRIBUTION	wbudowany rozkład dla analizy Monte Carlo		UNIFORM
DIGFREQ	minimalna wartość kroku przy analizie układów logicznych jest równa: 1/DIGFREQ	Hz	10Ghz
DIGDRVF	minimalna rezystancja drivera	Ω	2
DIGDRVZ	maksymalna rezystancja drivera	Ω	20k Ω
DIGOVRDRV	o ile musi być większa siła drivera w danym węźle od innych ażeby wymusić stan węzła		3
DIGIOLVL	wartość poziomu IO (od 1 do 4)		1
DIGMNTYMX	Selektor opóźnienia 1 = min, 2 = typowe 3 = maksymalne		2
DIGMNTYSCALE	współczynnik skali do określenia minimalnego opóźnienia na podstawie typowych opóźnień		0.4
DIGTYMXSCALE	współczynnik skali do określenia maksymalnego opóźnienia na podstawie typowych opóźnień		1.6
DEFL=x	długość kanału tranzystora MOS	m	100 μ m
DEFW=x	szerokość kanału tranzystora MOS	m	100 μ m
DEFAD=x	powierzchnia dyfuzji drenu tranzystora MOS	m ²	0
DEFAS=x	pow. dyfuzji źródła tranzystora MOS	m ²	0

pp* skrót - przyrządy półprzewodnikowe

OFF oznacza, że opcja nie jest aktywna, na przykład NOPAGE jest normalnie OFF, a więc listing wyjściowy jest stronicowany

dla analizy TRAN stosujemy instrukcję .IC:

Postać ogólna: .IC V(NODNUM)=WARTOŚĆ V(NODNUM)=WARTOŚĆ ...

Przykład: .IC V(1)=10 V(2)=5.1 V(14)=7.12

d) zdefiniowanie dodatkowych danych dla symulacji

Postać ogólna: : .OPTIONS OPT1 OPT2 ... (lub OPT=OPTVAL)

Przykład: .OPTIONS ACCT LIST NOPAGE

Zbiór danych wejściowych musi się kończyć instrukcją .END.



PRZYKŁAD DANYCH WEJŚCIOWYCH DO SYMULACJI

PRZYKŁAD OBLICZEN PRZY UŻYCIU PROGRAMU PSPICE 5.2

```
* Na podstawie danych eval.cir dla PSPICE 5.2
* Para różnicowa steruje komparatorem i licznikiem
*
* Ustalenie opcji dla symulacji:
.OPT ACCT NOMOD NOPAGE RELTOL=.001
*
* szerokość zbioru wyników.OUT:
.WIDTH OUT=80
*
* Ustawienie temperatury na 100 stopni Celsjusza
.TEMP 100
*
* Zdefiniowanie modelu tranzystora
.MODEL QNL NPN (BF=80 RB=100 CCS=2PF TF=0.3NS TR=6NS CJE=3PF CJC=2PF
+           VA=50 )
*
* Zdefiniowanie modelu rezystora
.MODEL RESMOD res (R=1 DEV 5% TC1=.02 TC2=.0045 )
*
* Alokacja biblioteki eval.lib .LIB eval.lib
*
* Zdefiniowanie parametrów
.PARAM FACTOR=1.2
*
* Opis topologii obwodu
*
* Napięcia zasilające
*
VCC 101 0 DC {10*FACTOR}
VEE 102 0 {-10*FACTOR}
*
* Napięcia wejściowe:
*
VIN 100 0 AC 1 SIN(0 0.1 1MEG)
*
* Połączenie tranzystorów:
*
Q1 4 2 6 QNL
Q2 5 3 6 QNL
Q3 6 7 102 QNL
Q4 7 7 102 QNL
*
* Połączenie elementów pasywnych:
*
RS1 100 2 1K
RS2 3 0 1K
RBIAS 7 101 20K
CLOAD 4 5 5PF
```



```

*
* Polaczenie elementy pasywnych wykorzystujacych instrukcje .MODEL
*
RC1 4 101 RESMOD 10K
RC2 5 101 RESMOD 10K
*
* INSTRUKCJE STERUJACE
*
* Znalezienie punktu pracy i wydruk parametrow malosygnalowych dla
* wszystkich przyrzadow
.OP
*
* Napiecie VIN zmienia sie od -0.125V do 0.125V z krokiem 0.005
.DC VIN -0.125 0.125 0.005
*
* Obliczenie malosygnalowej charakterystyki przejsciowej, przy
* zalozeniu, ze VIN jest napieciem wejsciowym, a napiecie V(5)
* jest napieciem wyjsciowym
.TF V(5) VIN
*
* Analiza AC
*
.AC DEC 10 100KHZ 10GHZ
*
* Obliczenie szumow podczas analizy AC
*
.NOISE V(5) VIN 30
*
* Analiza TR (stanow przejsciowych)
*
.TRAN 20NS 5uS
*
* Analiza Fouriera
*
.FOUR 1MEG V(5)
*
* Analiza Monte Carlo
*
.MC 5 DC V(4,5) YMAX
*
* Zastosowanie Analog Behavioral Modeling option
*
E110 OTABLE {V(4,5)*1e3}{-5v,0v 5v,5v}
RE110 comp_out200 ; Output series resistance
CCOMP comp_out 0 20pf ; Output load capacitance
*
* Zasilanie ukladow cyfrowych:
*
XDIGPWR 0 DPWR 0 DIGIFPWR PARAMS: VOLTAGE = 5V
*
* Symulacja cyfrowa
*

```

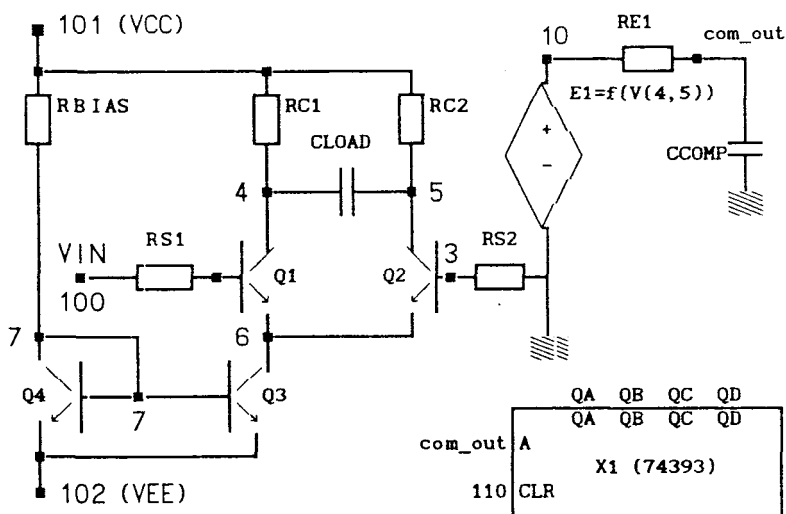



```

X1 comp_out 110 QA QB QC QD DPWR 0 74393
*
* Sygnal cyfrowy do zerowania licznika:
U2 stim(1,1) DPWR 0 ;Zasilanie układu cyfrowego
+110
+IO_STM ; zastosowanie biblioteki cyfrowej IO MODEL
+ONS1
+40NS0
*
* Edycja wyników:
.PRINT DC V(4) V(5)
.PLOT DC IC(Q2)
.PLOT AC VCM(Q2) VCP(Q2)
.PLOT NOISE INOISE ONOISE
.PLOT TRAN V(4,5) V([comp_out])D(QA) D(QB)
*
* Zastosowanie postprocesora graficznego do zapamiętania
* wszystkich obliczanych przebiegów
.PROBE
*
.END

```

Schemat tego układu przedstawiono na rysunku poniżej:



RYSUNEK 8.1. Schemat symulowanego układu

9. SYMULACJA UKŁADÓW ELEKTRONICZNYCH Z ZASTOSOWANIEM PROGRAMU PSPICE

W rozdziale tym przedstawione zostaną dwa wybrane ćwiczenia studenckie wykonane w ramach laboratorium "Komputerowego projektowania układów elektronicznych.

W roku akademickim 1992/1993 studenci wykonywali następujące ćwiczenia:

- 9.1.1 Charakterystyki wyjściowe tranzystora JFET
- 9.1.2 Analiza układu zawierającego tranzystor JFET
- 9.2.1 Charakterystyki wyjściowe tranzystora MOS-FET
- 9.2.2 Analiza układu zawierającego tranzystor MOS-FET
- 9.3.1 Charakterystyki wyjściowe tranzystora bipolarnego.
- 9.3.2 Analiza układu zawierającego tranzystor bipolarny
- 9.4 Analiza stanów przejściowych w makromodelu wzmacniacza operacyjnego
- 9.5. Analiza aktywnego filtru RC.
- 9.6. Analiza filtru SALLÉN KEY'a.
- 9.7. Analiza aktywnego pasmowego filtru RC.
- 9.8. Symulacja inwertera wykonanego w technologii CMOS
 - 9.8.1 Symulacja inwertera dla różnych wartości stosunku W/L:
 - 9.8.2 Symulacja czasu przejścia poprzez inwerter CMOS
 - 9.8.3 Symulacja czasu przejścia poprzez połączenie szeregowo inwerterów CMOS
 - 9.8.4 Symulacja czasu przejścia w funkcji różnych parametrów tranzystorów inwertera CMOS
 - 9.8.5 Symulacja makromodelu bramki NAND (dla NMOS: $W=4U$, $L=4U$, PMOS: $W=4U$, $L=4U$)
 - 9.8.6 Symulacja makromodelu bramki NAND3 (dla NMOS: $W=4U$, $L=4U$, PMOS: $W=4U$, $L=4U$)
 - 9.8.7 Wykonać makromodel przerzutnika RS stosując makromodel bramki NAND2
 - 9.8.8 Wykonać makromodel przerzutnika D stosując makromodel bramki NAND3 oraz makromodel przerzutnika RS
 - 9.8.9 Symulacja stanów przejściowych przerzutnika D



9.8.10 Badanie fanout'u w przerzutniku typu D

9.8.11 Analiza stanu metastabilnego przerzutnika typu D

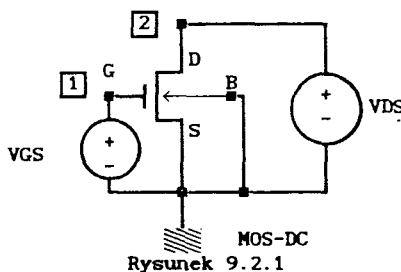
Przykładowo przedstawione zostanie sprawozdanie z ćwiczenia numer 9.2 i 9.8.1 - 9.8.4.

Program wyżej wymienionych ćwiczeń jest następujący:

9.2.1 CHARAKTERYSTYKI WYJŚCIOWE TRANZYSTORA MOS-FET

Narysować i porównać charakterystyki wyjściowe tranzystora MOS-FET dla trzech różnych wartości parametrów modelu.

Rysunek 9.2.1 przedstawia układ potrzebny do wykonania symulacji:



a) MODEL MOD1:

```
.MODEL MOD1 NMOS VTO=-2 NSUB=1E15 UO=550
```

b) MODEL MOD2:

```
.MODEL MOD2 NMOS LEVEL=2
```

```
+ VTO=-1.3 KP=4.64E-5 GAMMA=0.284 PHI=0.6
```

```
+ CJ=1.38E-4 TOX=6.5E-8 NSUB=6.84E14 XJ=0.5E-6
```

```
+ LD=0.35E-6 UO=875 UCRIT=6.0E4 UEXP=0.15
```

```
+ UTRA=0.5 CGSO=1.85E-10 CGDO=1.85E-10
```

```
+ JS=1E-7 VMAX=2.5E4 DELTA=1
```

c) MODEL MOD3:

```
.MODEL MOD3 NMOS
```

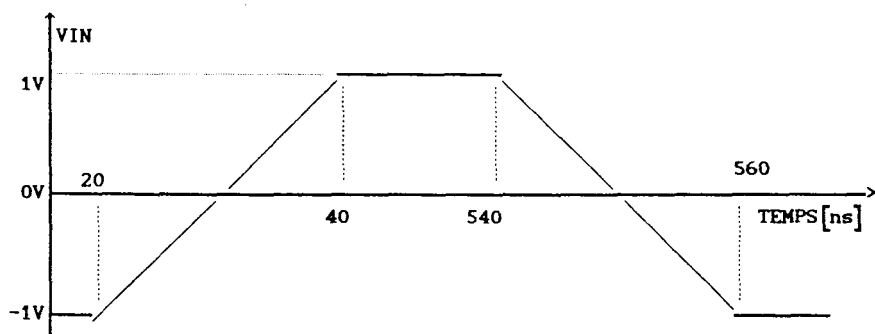
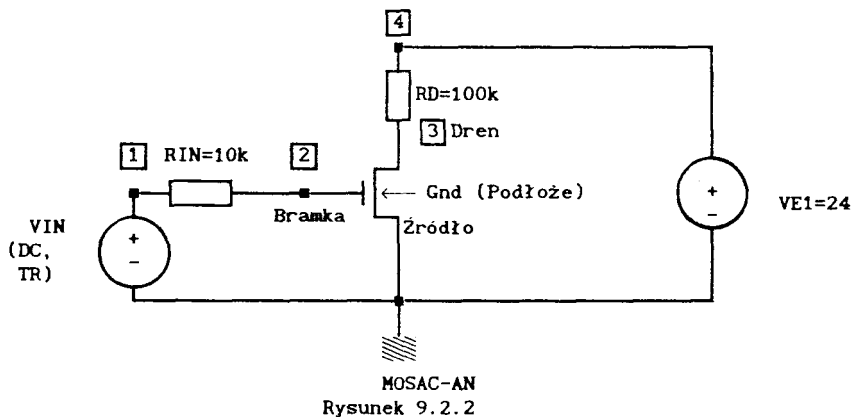
Napięcie VDS zmienia się od 0 do 10 V z krokiem 0.2 V

Napięcie VGS zmienia się od 0 do 5 V z krokiem 1.0 V

9.2.2 Analiza układu zawierającego tranzystor MOS-FET

Na rysunku 9.2.2 przedstawiono układ elektroniczny zawierający tranzystor MOS-FET.

- ANALIZA DC: Wykreślić na wspólnym rysunku charakterystyki przejściowe obu tranzystorów JFET (napięcie $V(3)$ w funkcji napięcia VIN). Napięcie VIN zmienia się od 5.1 V do 5.1 V z krokiem 0.3 V .
- ANALIZA TR: Wykonać analizę TR od 0 do $1.0\text{E}-6\text{ s}$ z krokiem $0.03\text{E}-6\text{ s}$ przy następującym sygnale wejściowym: (rysunek 9.1.3). Wykreślić krzywe na wspólnym rysunku.

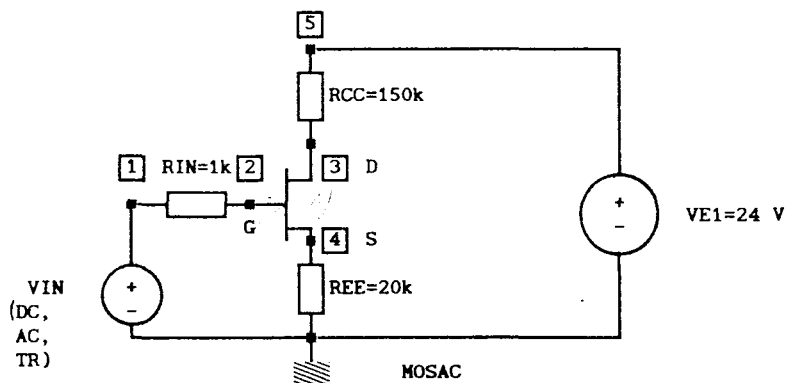


Rysunek 9.2.3



Uwaga: Analiza a), i b) powinna być wykonana przy pomocy jednego programu, a krzywe powinny być porównane i skomentowane na jednym rysunku.

c) ANALIZA AC: Wykonać analizę AC od 1kHz do 1000MEGhz w skali logarytmicznej z 8 punktami na dekadę dla układu przedstawionego na rysunku 9.2.4.

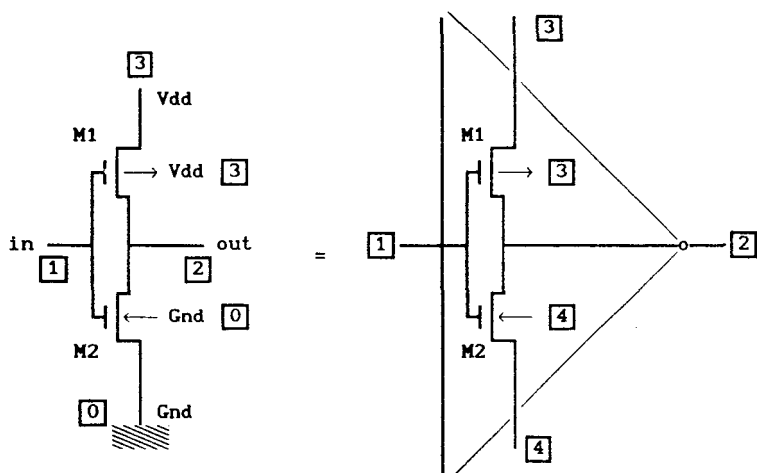


Rysunek 9.2.4

Uwaga: Analiza c) powinna być wykonana przy pomocy jednego programu dla wszystkich modeli tranzystorów, a krzywe powinny być porównane i skomentowane na jednym rysunku.

9.8. SYMULACJA INWERTERA WYKONANEGO W TECHNOLOGII CMOS

Na rysunku 9.8.1 przedstawiono układ inwersera CMOS, oraz jego makromodel.



Rysunek 9.8.1

Parametry zastosowanych tranzystorów MOS są następujące:

.MODEL N NMOS LEVEL=2

+ VTO=0.75	KP=60E-6	GAMMA=0.75	
+ PB=0.91	VMAX=6E4		
+ CGSO=2.94E-10	CGDO=2.94E-10	CGBO=1.92E-10	
+ CJ=2.6E-4	MJ=0.5	CJSW=1.17E-10	MJSW=0.33
+ JS=1E-16	TOX=3.5E-8	NSUB=1.65E16	
+ XJ=0.3E-6	LD=0.22E-6		
+ UO=780	UCRIT=0.9E5	UEXP=0.16	

.MODEL P PMOS LEVEL=2

+ VTO=-0.75	KP=3E-5	GAMMA=0.75	
+ PB=0.88	VMAX=1E6		
+ CGSO=5.88E-10	CGDO=5.88E-10	CGBO=1.92E-10	
+ CJ=3.1E-4	MJ=0.5	CJSW=2.52E-10	MJSW=0.33
+ JS=1E-16	TOX=3.5E-8	NSUB=6.9E15	
+ XJ=0.6E-6	LD=0.47E-6		
+ UO=255	UCRIT=5.8E4	UEXP=0.42	

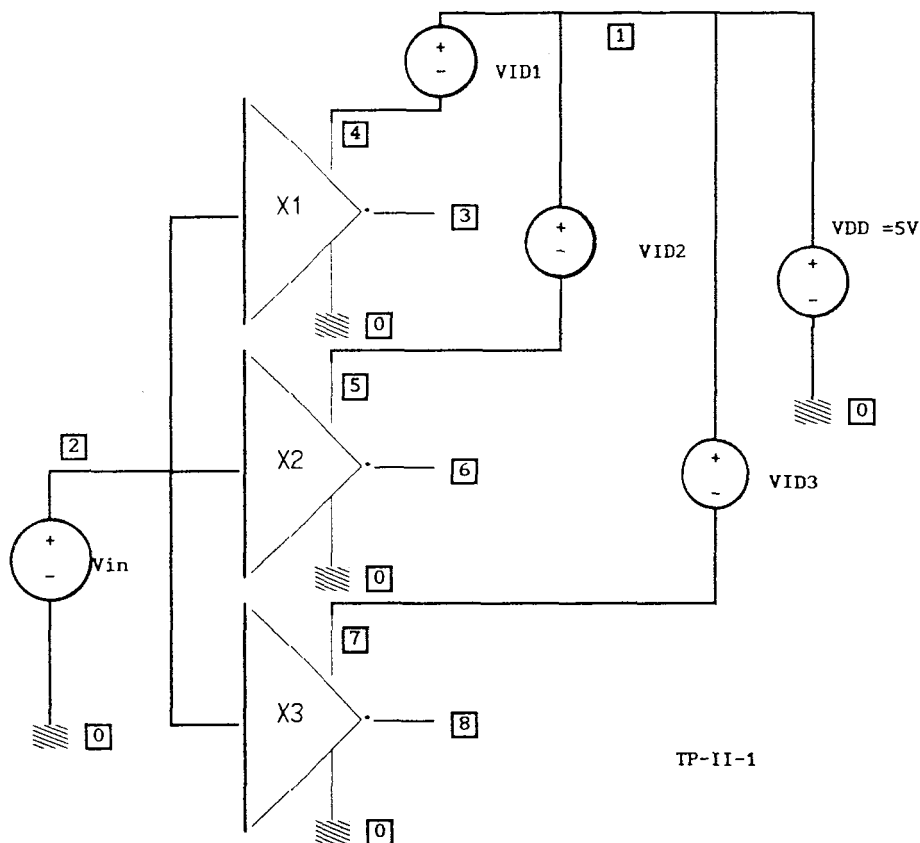
9.8.1 Wykonać symulację inwertera z rysunku 9.8.2 dla trzech różnych wartości stosunku W/L:

- dla χ_1 NMOS: W=4U, L=4U, PMOS: W=4U, L=4U
- dla χ_2 NMOS: W=4U, L=8U, PMOS: W=8U, L=4U
- dla χ_3 NMOS: W=8U, L=4U, PMOS: W=4U, L=8U

Wykonać analizę DC dla VIN zmieniającego się od 0 à 5V, z krokiem

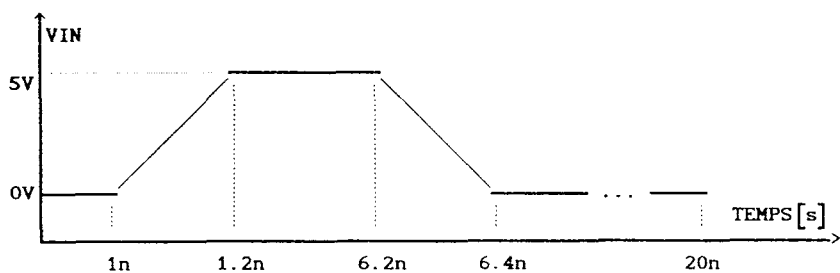


0.2V. Wykreślić napięcia $V(3)$ $V(6)$ et $V(8)$, oraz prądy zasilania $I(VID1)$, $I(VID2)$, $I(VID3)$



Rysunek 9.8.2

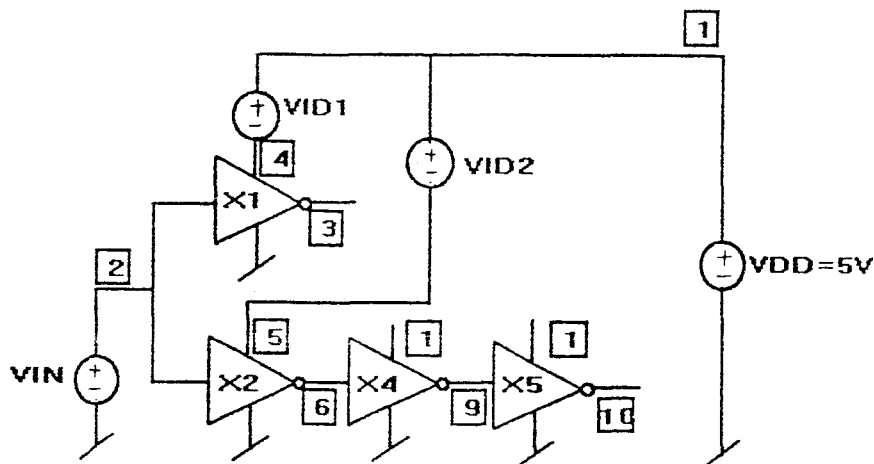
Wykonać analizę TR (.TRAN) dla V_{IN} pokazanego na rysunku 9.8.3:



Rysunek 9.8.3

Wykreślić napięcia wyjściowe $V(3)$, $V(6)$ et $V(8)$, i prądy zasilania $I(VID1)$, $I(VID2)$, $I(VID3)$

9.8.2 Wykonać symulację układu z rysunku 9.8.4:



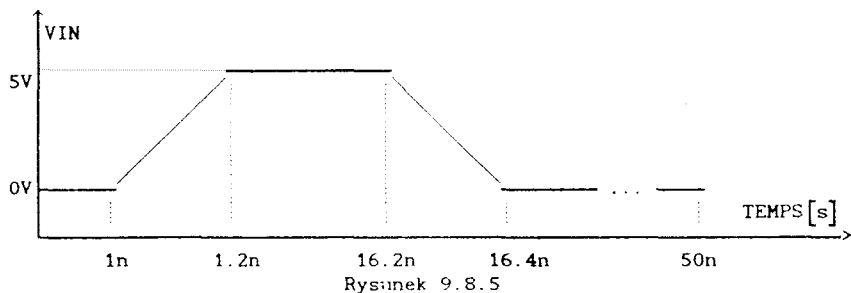
Rysunek 9.8.4

Wymiary tranzystorów są jednakowe dla wszystkich makromodel:

NMOS: $W=4U$, $L=4U$, PMOS: $W=4U$, $L=4U$



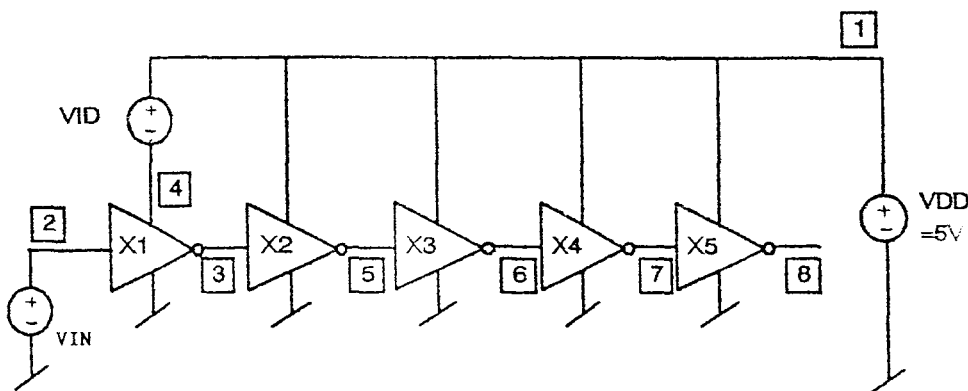
Wykonać analizę TR (.TRAN) dla VIN pokazanego na rysunku 9.8.5:



Rysunek 9.8.5

- Wykreślić napięcia wyjściowe $V(3)$ i $V(10)$
- Wykreślić prądy zasilania $I(VID1)$, $I(VID2)$ dla pierwszego inwertera w kaskadzie $X1$, $X2$.
- Wykreślić napięcia wyjściowe $V(3)$ i $V(6)$ dla pierwszego inwertera w kaskadzie $X1$, $X2$.
- Wykreślić napięcia wyjściowe $V(6)$, $V(9)$ i $V(10)$

9.8.3 Wykonać symulację układu z rysunku 9.8.6:

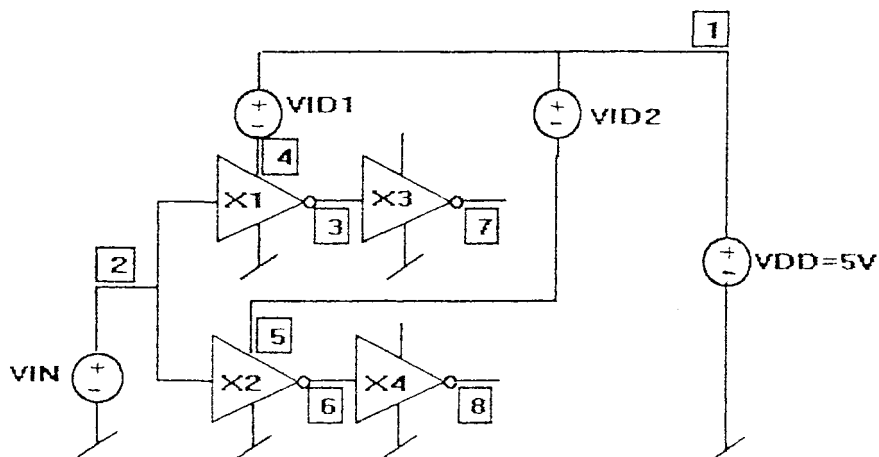


Rysunek 9.8.6



Wykreślić napięcia wyjściowe $V(3)$, $V(5)$, $V(6)$, $V(7)$, $V(8)$ dla inwerterów połączonych w szereg.

9.8.4 Wykonać symulację układu z rysunku 9.8.7:



Rysunek 9.8.7

Dokonać analizy układu dla następujących parametrów makromodeli $X1=X2$, $X3$, $X4$:

```
*
SUBCKT INVER1 1 2 3 4
MOS D G S Sub
M1 2 1 3 3 P W=4U L=4U
M2 2 1 4 4 N W=4U L=4U
.ENDS INVER1

SUBCKT INVER3 1 2 3 4
M1 2 1 3 3 P W=12U L=4U
M2 2 1 4 4 N W=12U L=4U
.ENDS INVER3

SUBCKT INVER4 1 2 3 4
M1 2 1 3 3 P W=20U L=4U
M2 2 1 4 4 N W=20U L=4U
.ENDS INVER4
```



SPRAWOZDANIE Z WYKONANIA ĆWICZENIA 9.2

Dane do programu SPICE są następujące:

Cwiczenie nr.9_2_1

```
* Wisniewski Skorzycki Zubert
.OPTIONS NOPAGE
* Opis topologii obwodu
VGS 1 0 1
VDS 2 0 1
M1 2 1 0 0 MOD1
M2 2 1 0 0 MOD2
M3 2 1 0 0 MOD3
.MODEL MOD1 NMOS VTO=-2 NSUB=1E15 UO=550
.MODEL MOD2 NMOS LEVEL=2
+ VTO=-1.3 KP=4.64E-5 GAMMA=0.284 PHI=0.6
+ CJ=1.38E-4 TOX=6.5E-8 NSUB=6.84E14 XJ=0.5E-6
+ LD=0.35E-6 UO=875 UCRIT=6.0E4 UEXP=0.15
+ UTRA=0.5 CGSO=1.85E-10 CGDO=1.85E-10
+ JS=1E-7 VMAX=2.5E4 DELTA=1
.MODEL MOD3 NMOS
* Instrukcje sterujące
.DC VDS 0 10 0.2 VGS 0 5 1.0
.PROBE
.END
```

Cwiczenie nr.9_2_2AB

```
* Wisniewski Skorzycki Zubert
.OPTIONS NOPAGE
* Opis topologii obwodu
RIN1 1 21 10K
RIN2 1 22 10K
RIN3 1 23 10K
RD1 4 31 100K
RD2 4 32 100K
RD3 4 33 100K
M1 31 21 0 0 MOD1
M2 32 22 0 0 MOD2
M3 33 23 0 0 MOD3
VIN 1 0 AC 1 PULSE (-1 1 20N 20N 20N 500N 560N)
VE1 4 0 DC 24
.MODEL MOD1 NMOS VTO=-2 NSUB=1E15 UO=550
.MODEL MOD2 NMOS LEVEL=2
+ VTO=-1.3 KP=4.64E-5 GAMMA=0.284 PHI=0.6
+ CJ=1.38E-4 TOX=6.5E-8 NSUB=6.84E14 XJ=0.5E-6
+ LD=0.35E-6 UO=875 UCRIT=6.0E4 UEXP=0.15
+ UTRA=0.5 CGSO=1.85E-10 CGDO=1.85E-10
+ JS=1E-7 VMAX=2.5E4 DELTA=1
.MODEL MOD3 NMOS
```



```
* Instrukcje sterujace
.DC VIN -5.1 5.1 0.3
.TRAN 0.03E-6 1.0E-6
.PROBE
.END
```

Cwiczenie nr.9_2_2c

* Wisniewski Skorzycki Zubert

```
.OPTIONS NOPAGE
```

* Opis topologii obwodu

```
RIN1 1 21 1K
```

```
RIN2 1 22 1K
```

```
RIN3 1 23 1K
```

```
RCC1 5 31 150K
```

```
RCC2 5 32 150K
```

```
RCC3 5 33 150K
```

```
REE1 41 0 20K
```

```
REE2 42 0 20K
```

```
REE3 43 0 20K
```

```
M1 31 21 41 41 MOD1
```

```
M2 32 22 42 42 MOD2
```

```
M3 33 23 43 43 MOD3
```

```
VIN 1 0 DC 3 AC 1
```

```
VE1 5 0 DC 24
```

```
.MODEL MOD1 NMOS VTO=-2 NSUB=1E15 UO=550
```

```
.MODEL MOD2 NMOS LEVEL=2
```

```
+ VTO=-1.3 KP=4.64E-5 GAMMA=0.284 PHI=0.6
```

```
+ CJ=1.38E-4 TOX=6.5E-8 NSUB=6.84E14 XJ=0.5E-6
```

```
+ LD=0.35E-6 UO=875 UCRIT=6.0E4 UEXP=0.15
```

```
+ UTRA=0.5 CGSO=1.85E-10 CGDO=1.85E-10
```

```
+ JS=1E-7 VMAX=2.5E4 DELTA=1
```

```
.MODEL MOD3 NMOS
```

* Instrukcje sterujace

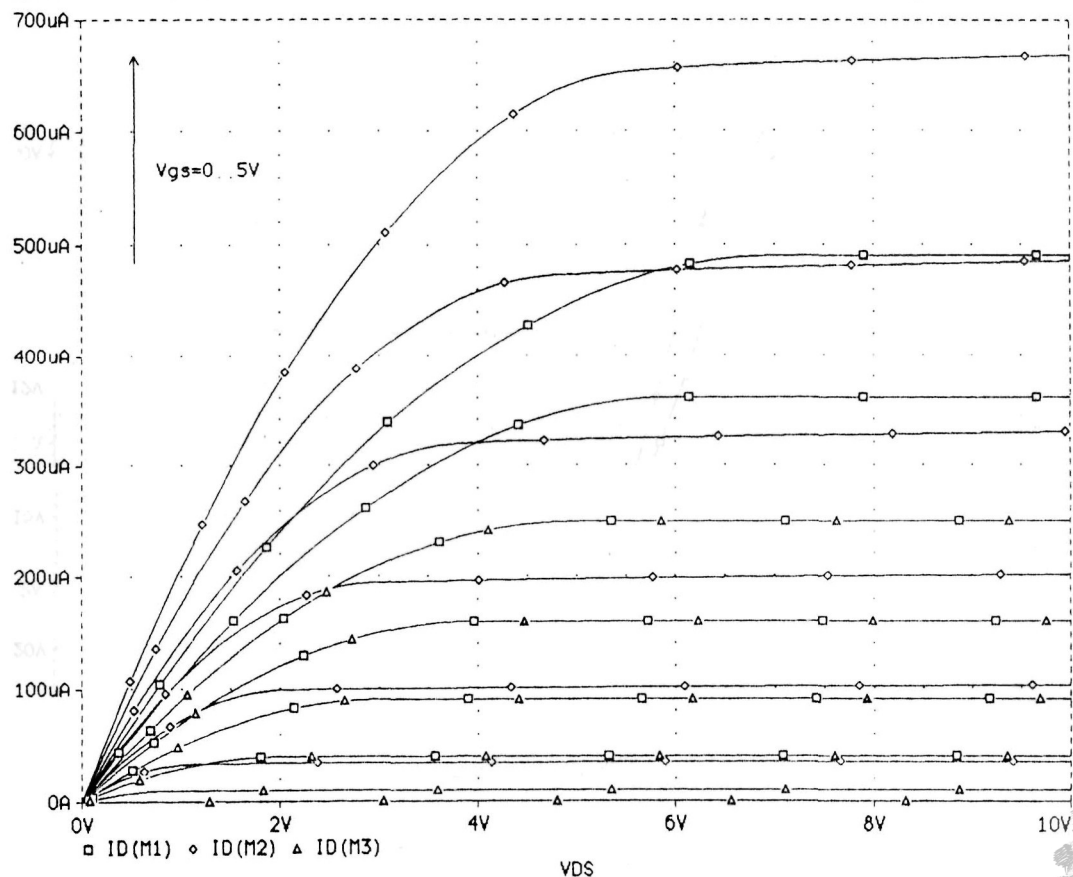
```
.AC DEC 8 1KHZ 1000MEGHZ
```

```
.PROBE
```

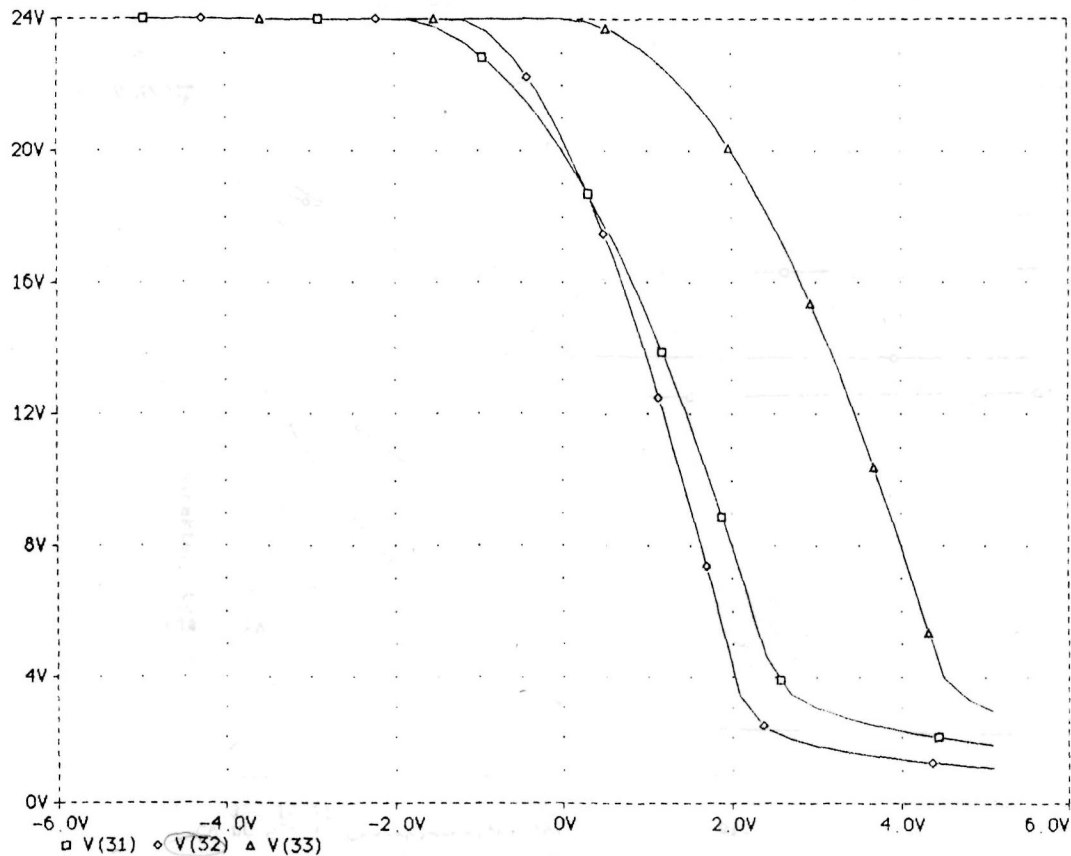
```
.END
```

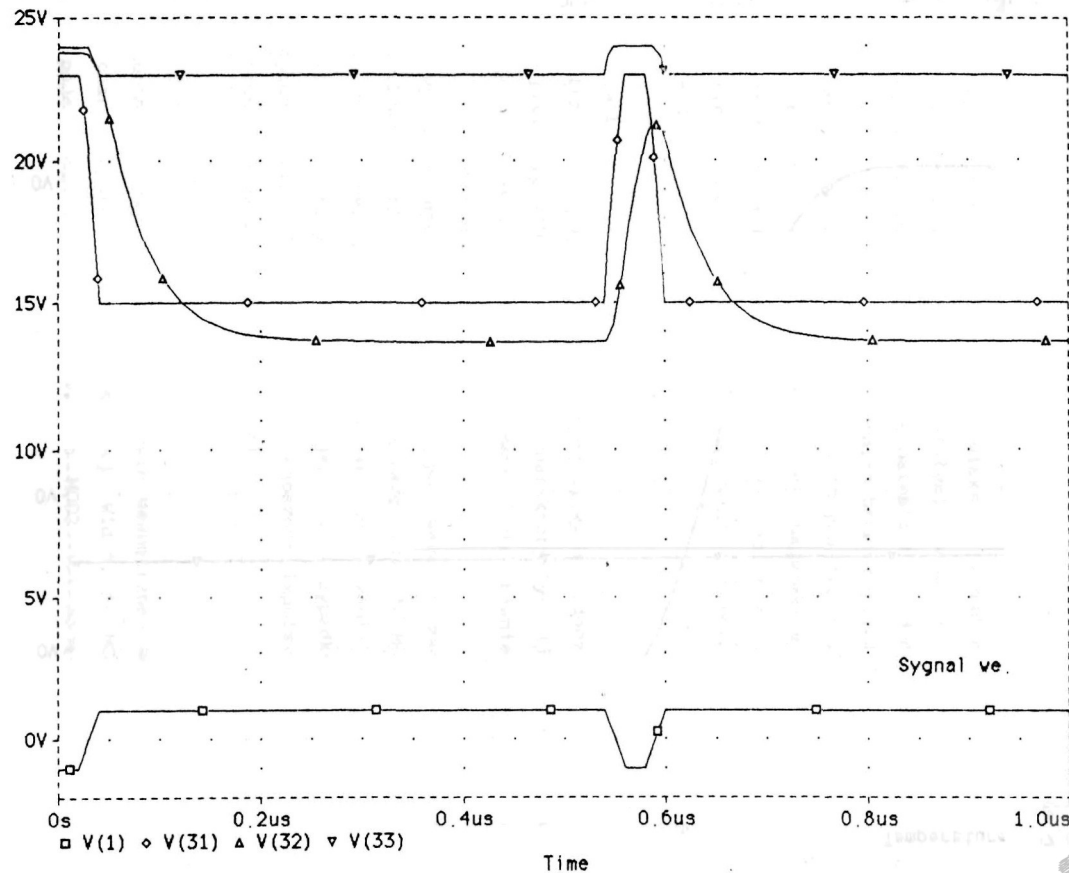
Poniżej przedstawiono otrzymane charakterystyki oraz wnioski z symulacji.



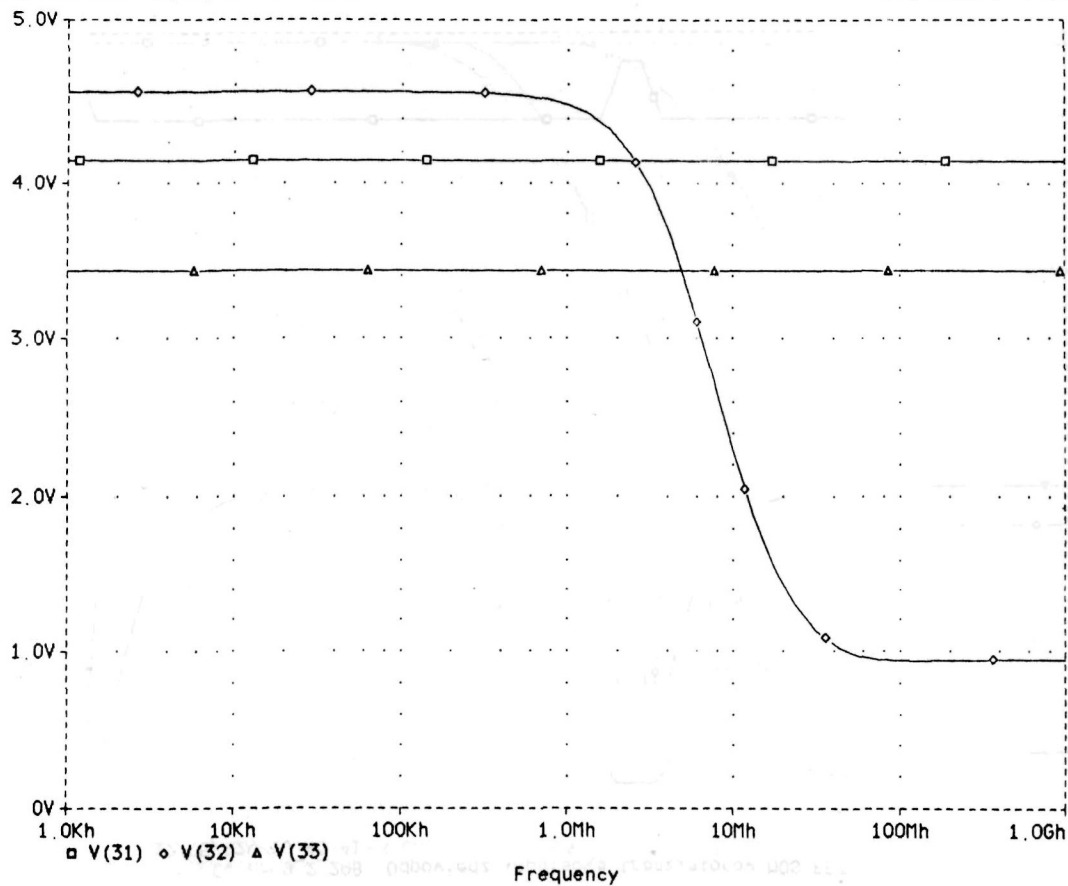


Cv.nr. 9_2_2AB Charakterystyki przejsciowe tranzystorow MOS-FET
Date/Time run: 12/05/92 10:46:41 Temperature: 27.0





Cv.nr.9.2.2c Charakterystyki czestotliwosciowe tranzystorow MOS-FET
Date/Time run: 11/18/92 13:32:36 Temperature: 27.0



Wnioski do ćwiczenia 9.2

ad) 9.2.1

Z wykresów charakterystyk wyjściowych można stwierdzić, że badanymi tranzystorami są tranzystory ze wzbogaconym kanałem (dla wyższych napięć bramki prąd drenu jest większy). Widać również różnice pomiędzy modelem wbudowanym a pozostałymi dwoma modelami. - dla $U_{gs} = 0V$ I_d dla modelu wbudowanego = 0, natomiast dla dwóch pozostałych tranzystorów $I_d > 0$ (czyli przewodzą pomimo braku napięcia indukującego kanał - tak jak ma to miejsce w rzeczywistych tranzystorach). Widać również, że wzmocnienie napięciowe jest największe dla MOD2 a najmniejsze dla MOD3 (wbudowanego). Widoczne jest również to, że każdy z tranzystorów ma inne napięcie nasycenia (najmniejsze MOD3 a największe MOD2).

ad) 9.2.2.a,b

Z otrzymanych charakterystyk przejściowych widoczny jest wpływ napięcia progowego VTO na przesunięcie charakterystyki (im mniejsze tym wykres jest bardziej przesunięty w lewo). Widać również, że MOD2 ma mniej strome zbocze opadające.

Na wykresie odpowiedzi napięcia wyjściowego na zadany sygnał na wejściu widać, że tranzystory odwracają fazę oraz, że MOD3 (wbudowany) przenosi sygnał bez zniekształceń (brak ograniczenia pasma - brak pojemności wewnętrznych). To samo jest w przypadku MOD1. MOD2 posiadający pojemności zniekształca przenoszone impulsy (ograniczenie pasma, tłumienie wyższych harmonicznych).

ad) 9.2.2.c

Wspomniane powyżej różnice w budowie wewnętrznej modeli widoczne są na charakterystyce częstotliwościowej. Widać, że MOD1 i MOD3 nie mając pojemności w przeciwieństwie do MOD2 nie mają ograniczonego pasma.



SPRAWOZDANIE Z WYKONANIA ĆWICZENIA 9.8.1

Dane do programu SPICE są następujące:

Ćwiczenie 9.8.1

Analiza bramki CMOS NOT

*Mariusz Orlikowski & Arkadiusz Stasiak

```
.options nopage
+ defl=20u defw=16.5u
+ defad=60p defas=60p
.options vntol=20m
+ abstol=20p reltol=.01
+ nomod
.model n nmos level=2
+ vto=.75 kp=60e-6 gamma=.75
+ pb=.91 vmax=6e4
+ cgso=2.94e-10 cgdo=2.94e-10 cgbo=1.92e-10
+ cj=2.6e-4 mj=.5 cjsw=1.17e-10 mjsw=.33
+ js=1e-16 tox=3.5e-8 nsub=1.65e16
+ xj=.3e-6 ld=0.22e-6
+ uo=780 ucrit=.9e5 uexp=.16
.model p pmos level=2
+ vto=-.75 kp=3e-5 gamma=.75
+ pb=.88 vmax=1e6
+ cgso=5.88e-10 cgdo=5.88e-10 cgbo=1.92e-10
+ cj=3.1e-4 mj=.5 cjsw=2.52e-10 mjsw=.33
+ js=1e-16 tox=3.5e-8 nsub=6.9e15
+ xj=.6e-6 ld=0.47e-6
+ uo=255 ucrit=5.8e4 uexp=.42
vin 2 0 pulse 0 5 1n .2n .2n 6n
vid1 4 1
vid2 5 1
vid3 7 1
vdd 1 0 5
m1x1 3 2 4 4 p w=4u l=4u
m2x1 3 2 0 0 n w=4u l=4u
m1x2 6 2 5 5 p w=8u l=4u
m2x2 6 2 0 0 n w=4u l=8u
m1x3 8 2 7 7 p w=4u l=8u
m2x3 8 2 0 0 n w=8u l=4u
.tran .1n 20n
.dc vin 0 5 .05
.probe
.end
```

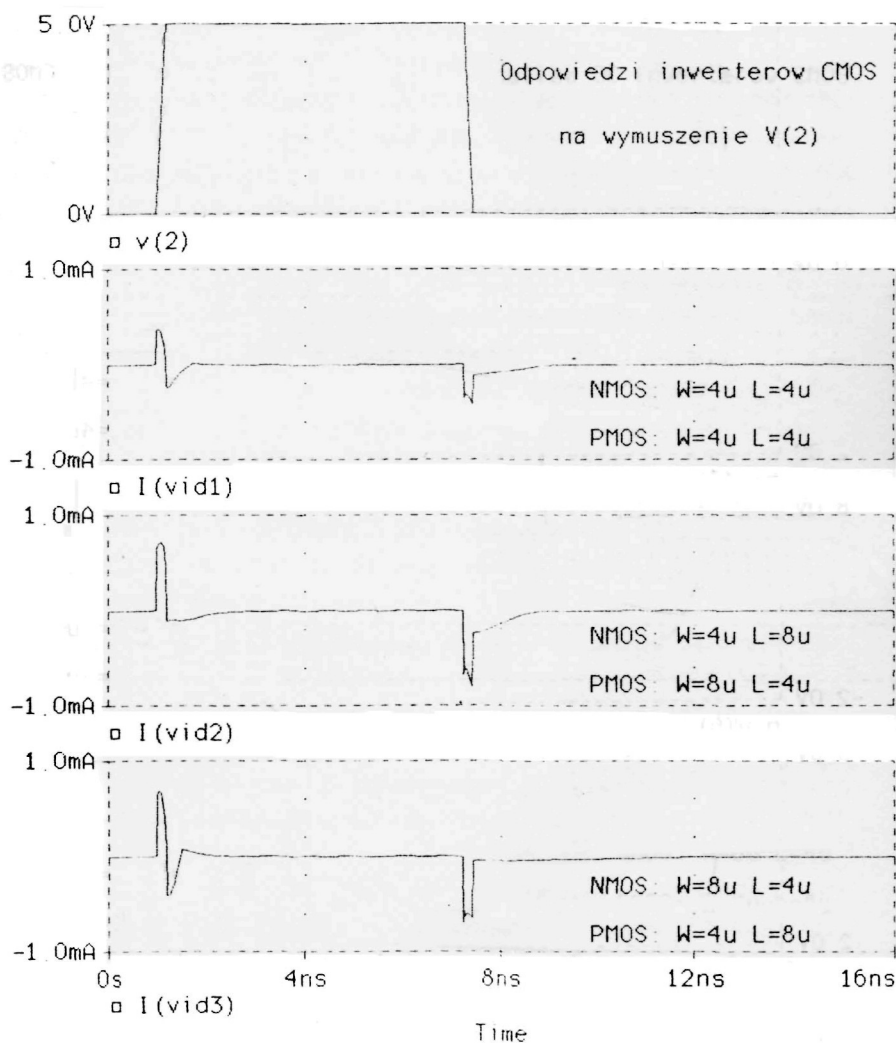
Poniżej przedstawiono otrzymane charakterystyki:



Analiza bramki CMOS NOT

Date/Time run: 11/19/92 14:12:16

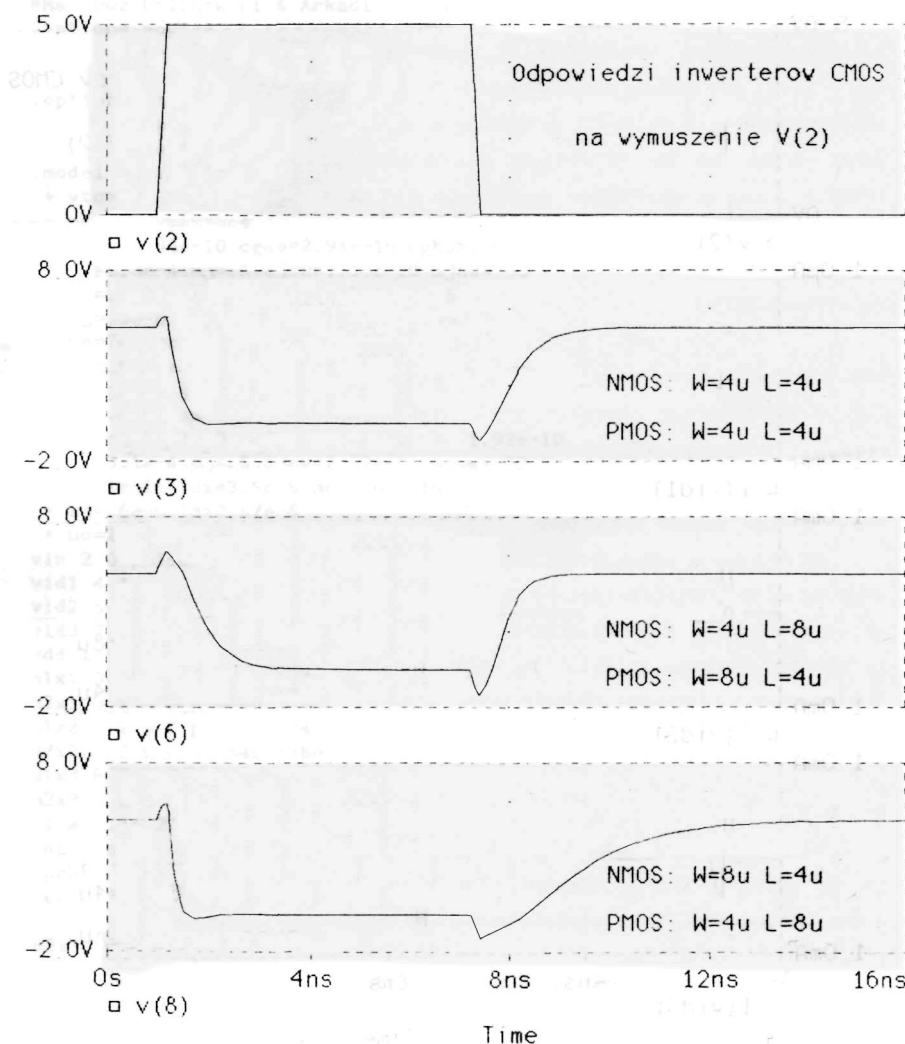
Temperature: 27.0



Analiza bramki CMOS NOT

Date/Time run: 11/19/92 14:12:16

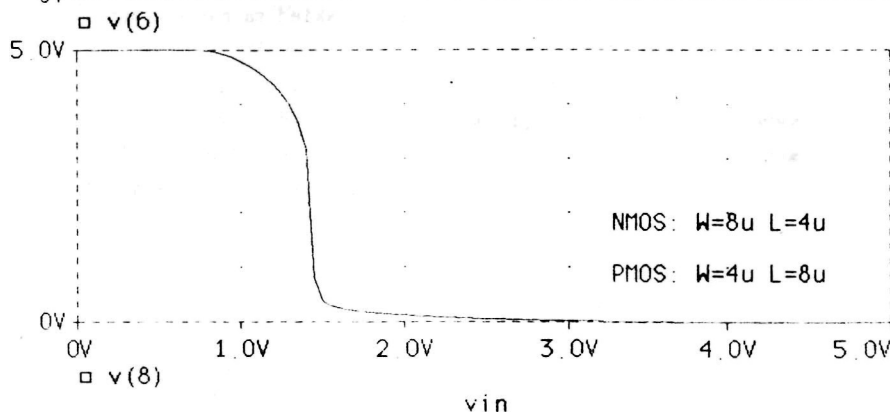
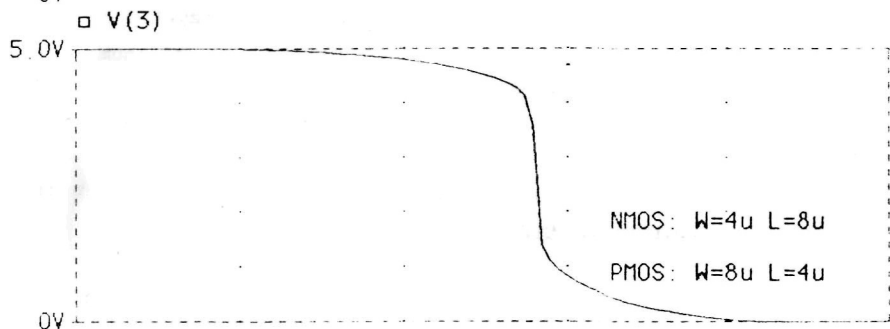
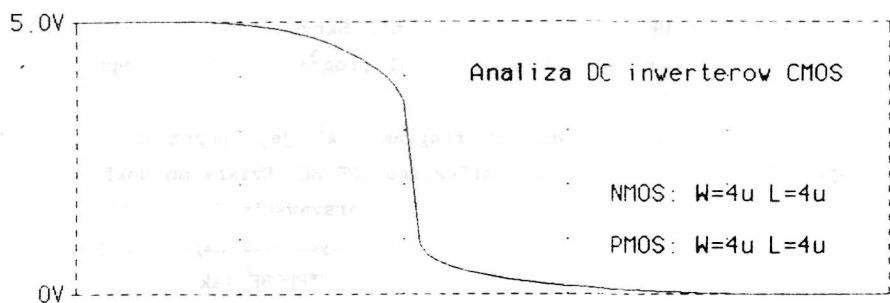
Temperature: 27.0



Analiza bramki CMOS NOT

Date/Time run: 11/19/92 14:12:16

Temperature: 27.0



10. SYMULACJA UKŁADÓW ELEKTRONICZNYCH Z ZASTOSOWANIEM PROGRAMU NAP2

Dokładny opis programu NAP2 można znaleźć w skrypcie "Komputerowe Projektowanie Układów Elektronicznych". Skrypt ten napisany został w 1983 roku (wydany w 1991) dla wersji programu NAP2 na komputer ODRA 1305 (PL84 - POLITECHNIKA ŁÓDZKA 1984). Zasadniczą różnicą pomiędzy stosowaną aktualnie wersją programu a jej poprzedniczką jest wprowadzenie postprocesora graficznego .PROBE. Działa on dokładnie tak samo jak w programie PSPICE. W wersji warszawskiej programu trzeba po instrukcji *GRAPH podać nazwy interesujących nas napięć i prądów. W wersji duńskiej można stosować instrukcję *PROBE tak jak w programie PSPICE bez konieczności definiowania zmiennych. Na przykład dla wersji duńskiej programu instrukcje sterujące dla wyjścia alfanumerycznego .OUT i graficznego .PROBE będą miały postać:

```
*TIME 0      5M
*TR  VNALL  *PLOT(50) V1 V2 V3  *PROBE
*RUN  MAXSTEP=100U  STEP=5N
*END
```

Te same instrukcje w wersji warszawskiej są następujące:

```
*TIME 0      5M
*TR  VNALL  *PLOT(50) V1 V2 V3  *GRAPH V1 V2 V3 ITD1 IR3
*RUN  MAXSTEP=100U  STEP=5N
*END
```



11. LITERATURA UZUPEŁNIAJĄCA

- [1] BANZHAF W.: "Computer-aided circuit analysis using SPICE". Prentice-Hall, Inc. 1989
- [2] BARANOWSKI J.: "Półprzewodnikowe elementy układów impulsowych", WNT., Warszawa 1969
- [3] E. BOLEK, A. NAPIERALSKI: "An accurate method of current gain variation modelling in bipolar devices". The Fifth Summer Symposium on Circuit Theory, SSCT'77, Praga, Czechosłowacja, 5-9 wrzesień 1977. (str. 337-342).
- [4] E. BOLEK, A. NAPIERALSKI: "Modified transport model of bipolar semiconductor structures". International Conference "Microelectronics-82", Siofok, Węgry, 5-7 maj 1982, (str. 151-152).
- [5] CALAHAN D. : "Computer Aided Network Design" Mc Graw-Hill, Inc. 1972.
- [6] CHUA L.O. : Introduction to Nonlinear Network Theory. New York : Mc Graw-Hill Book Company, 1969.
- [7] CHUA L.O., LIN P.M. : "Computer Aided Analysis of Electronic Circuits - Prentice - Hall 1975.
- [8] Z. CIOTA, A. NAPIERALSKI, J.L. NOULLET: "Transversal direct realization of SC-FIR filters - comparative study.", IEE Electronics Letters
- [9] DORKEL J.M., NAPIERALSKI A., LETURCQ Ph.: "Simulation Electro-Thermique en Electronique de Puissance". Congrès National GRECO CNRS "Dispositifs et Systèmes Electrotechniques" Bordeaux, France, 25-26 May 1989, 9p.
- [10] EARLY J.M.: "Effects of space-charge layer widening in junction transistors", Proc. IRE, vol. 40, Nov. 1952, s.1401
- [11] EBERS J.J., MOLL J.L.: "Large-signal behaviour of junction transistors", Proc. IRE 42, N° 12, Dec. 1954, s. 1761-1772
- [12] FILIPKOWSKI A.: "Projektowanie układów scalonych", Wydawnictwa Politechniki Warszawskiej 1983



- [13] GETREU I.E.: "Modeling the bipolar transistor", Elsevier Co., 1978
- [14] GHANDI S.K.: "Semiconductor power devices", John Wiley & Sons, New York
- [15] GLESNER M., WEISANG C.: "Computer aided macromodeling of integrated circuit operational amplifiers", AEU, Band 31, 1977, Heft 7/8
- [16] M. GRECKI, A. NAPIERALSKI, M. TUROWSKI: "Two-dimensional analysis of SIT (Static Induction Transistor), International AMSE Conference "Modelling, Simulation and Control, HEFEI (CHINA), October 5-7, 1992
- [17] GROBELNY M. : Projektowanie układów elektronicznych za pomocą komputerów, WKiŁ Warszawa 1973.
- [18] GROBELNY M. : Projektowanie układów elektronicznych za pomocą komputerów, WKiŁ Warszawa 1973.
- [19] GUMMEL H.K., POON H.C.: "An integral charge control model of bipolar transistors" The Bell Syst. Techn. Journ., May-June 1970
- [20] GUMMEL H.K.: "A charge control relation for bipolar transistors" The Bell Syst. Techn. Journ., N° 1, 1970, s. 115-120
- [21] HO C.W., RUEHLI A.E., BRENNAN P.A. : The Modified Nodal Approach to Network Analysis. IEEE Trans. Circuits and Systems, Vol. CAS 22, No.6, June 1975, p. 504-509.
- [22] ILIN W. "Projektowanie układów elektronicznych przy użyciu maszyn cyfrowych", WNT Warszawa 1975
- [23] JALADE J., NAPIERALSKI A, BENCHAIK K.: "User-friendly high power bipolar transistor model for C.A.D.", Symposium on Materials and Devices for Power Electronics", EPE-MADEP'91, 2-6 September 1991, FLORENCE, ITALY
- [24] KACPRZAK T., SOBCZAK A.: "A compact model of the enhancement-channel MOS transistor", Proc. of ECCTD-80, September 1980, Warszawa, Polska
- [25] KACPRZAK T., E.LINDBERG: "MOS transistor modeling for NAP2 computer program implementation, Report IT-57 Technical University of Denmark, May 1981.



- [26] T. KACPRZAK, A. NAPIERALSKI: "Analiza zniekształceń nieliniowych we wzmacniaczu CMOS". VII-ma Krajowa Konferencja pt. "Teoria Obwodów i Układy Elektroniczne", KKT0iUE'84. (str. 528-534).
- [27] KITTEL C.: "Wstęp do fizyki ciała stałego", Warszawa, PWN, 1970
- [28] KIRK C.T.: "A theory of transistor cut-off frequency f_T fall-off at high current densities", IRE Trans. Electron Dev., 1962, vol. ED-9, s. 164-174
- [29] KORZEC Z. "Układy półprzewodnikowa", WNT Warszawa 1979
- [30] KUŹMICH W.: "Projektowanie analogowych układów scalonych", WNT Warszawa 1981
- [31] LAHA A.K., SMART D.W. : A Zener Diode Model with Application to SPICE2, IEEE JOURNAL of Solid-State Circuits, February 1981
- [32] LINDBERG E. : Analysis Programs for Analog Circuits and Systems" 6'th ECCT'83 Stuttgart G.F.R.
- [33] LINDBERG E. : "Circuits and Systems Simulation by means of Electronic circuit Modeling" - SIMS'83, Odense, Denmark.
- [34] LUCIŃSKI J.: "Układy z tyrystorami dwukierunkowymi", WNT Warszawa, 1986
- [35] MARCINIAK W.: "Przyrządy półprzewodnikowe typu MIS", WNT, Warszawa 1977
- [36] MARCINIAK W.: "Przyrządy półprzewodnikowe i układy scalone", Warszawa, WNT 1979
- [37] MARCINIAK W.: "Modele elementów półprzewodnikowych", Warszawa, WNT 1985
- [38] MEARES G.L., HYMOWITZ Ch.E.: "Spice applications handbook Vol.#1", Intusoft, San Pedro, Ca, 1990
- [39] MOLL J.L.: "Large-signal transient response of junction transistors", Proc. IRE 42, N° 12, Dec. 1954, s. 1773-1784
- [40] MUROGA S.: "Projektowanie układów VLSI", WNT, Warszawa 1986
- [41] MÜLLER K.H.: "A Spice cookbook", Intusoft, San Pedro, Ca, 1991
- [42] NADACHOWSKI M., KULKA Z.: "Analogowe układy scalone", WKŁ, Warszawa 1979
- [43] NAGEL L.W., PEDERSON D.O. : SPICE (Simulation Program with



Integrated Circuit Emphasis). Berkeley, Calif. : University of California, Electronics Research Laboratory. Memorandum ERL-M382, Apr.12, 1973.

- [44] NAPIERALSKA M., ROSSEL P., NAPIERALSKI A.: "V.DMOS transistor model with application to SPICE software", XIV-ta Krajowa Konferencja pt. "Teoria Obwodów i Układy Elektroniczne", Waplewo k/Nidzicy, Polska, 23-25 październik 1991.
- [45] A. NAPIERALSKI: "An operational amplifier macromodelling with application to NAP2". Sixth European Conference on Circuit Theory and Design, ECCTD-83, 6-9 wrzesień 1983, Stuttgart (R.F.N.) (str. 489-491)
- [46] A. NAPIERALSKI: "Digital integrated circuits macromodelling with application to NAP2". Proc.of International 83 AMSE Summer Conference "Modelling and Simulation", str.3-40, Nice, "Côte d'Azur", (Francja) (str. 3-40)
- [47] A. NAPIERALSKI: "Integrated circuits operational amplifiers macro-modelling with application to NAP2". International Journal AMSE Review, vol.1, n°2; 1984, (Francja), (str. 43-60).
- [48] A. NAPIERALSKI, T. KACPRZAK: "Model stałoprądowy tranzystora VMOS". VII-ma Krajowa Konferencja pt. "Teoria Obwodów i Układy Elektroniczne", KKTOiUE'84. (str. 237-240).
- [49] NAPIERALSKI A.: "Modèles de composants à semiconducteurs", Cours polycopié pour la V^{ème} Année AEI. Institut National des Sciences Appliquées, Toulouse, France, troisième édition, revue et augmentée (Edition 1990), (242 pages).
- [50] NAPIERALSKI A.: "Komputerowe projektowanie układów elektronicznych". Politechnika Łódzka, Łódź, Polska, 1990r., (235 stron).
- [51] NAPIERALSKI A.: "Pratique de SPICE2, Le modèle de la diode et du transistor bipolaire implantés dans SPICE, La description condensée de PSPICE", Notes de cours pour D.E.A. MICROELECTRONIQUE (UPS, ENSEEIHT, INSA), Institut National des Sciences Appliquées, Toulouse, France, Edition 1991, (54 strony).



- [52] A. NAPIERALSKI, J.L. NOULLET, Z. CIOTA: "CAD of CMOS operational amplifier (ASIC) using SPICE software.", XV KKTOiUE, SZCZYRK, 20-23 X 1992
- [53] PEDERSON D.O.: "A historical review of circuit simulation", IEEE Transactions on Circuits and Systems, vol. CAS-31, N° 1, January 1984, s. 103-111
- [54] POON H.C., GUMMEL H.K., SCHARFETTER D.L.: " High injection in epitaxial transistors", IEEE Transactions on Electron Devices, vol. ED-16, N° 5, May 1969, s. 455-457
- [55] POON H.C., GUMMEL H.K.: "Modeling of emitter capacitance", Proc. IEEE, 1969, N° 12, s. 2181-2182
- [56] POON H.C., MECKWOOD J.C.: "Modeling of avalanche effect in integral charge-control model", IEEE Transactions on Electron Devices, vol. ED-19, N° 1, January 1972, s. 90-97
- [57] POON H.C.: "Modeling of bipolar transistor using integral charge-control model with application to third-order distortion studies", IEEE Transactions on Electron Devices, vol. ED-19, N° 6, June 1972, s. 719-731
- [58] RASHID M.H.: "Spice for circuits and Electronics using Spice", Pretince-Hall International Englewood Clifs, N.J., 1990
- [59] RÜBNER-PETERSEN T. : NAP2 a Nonlinear Analysis Program for electronics circuits, Users Manual, Report 16/5-73, Inst. of Circuit Theory and Telecommunications, Technical University of Denmark
- [60] RÜBNER-PETERSEN T. : NAP2 - Application Examples, Technical University of Denmark, Report 30/8-1973. Inst. of Circuit Theory and Telecommunications, Technical University of Denmark
- [61] SANCHEZ-SINENCIO, MAJEWSKI M.: "A nonlinear macromodel of operational amplifiers in the frequency domain", IEEE Trans. on Circuits and Systems, vol. CAS-26, N° 6, June, 1979
- [62] SCHARFETTER D.L., GUMMEL H.K.: "Large-signal analysis of a silicon Read diode oscilator", IEEE Trans. Electron Dev., 1969, Vol. ED-16, No. 1, pp. 64-77



- [63] SHOCKLEY W.: "The theory of p-n junctions in semiconductors and p-n junction transistors", Bell Syst. Tech. J., 1949, Vol. 28, No. 3, p. 435
- [64] SHOCKLEY W., READ Jr. W.T.: "Statistics of the recombination of holes and electrons", Phys. Rev., 1952, Vol. 87, pp. 835-842
- [65] WEBSTER W.M.: "On the variation of junction transistor current gain amplification factor with emitter current.", Proc. Inst. Radio Eng., 1954, vol. 42, N° 6, s. 914-920
- [66] WOLF H.F.: "Półprzewodniki", Warszawa, WNT 1975
- [67] ZAMLYŃSKI K.: "Modelowanie i analiza elektrotermiczna monolitycznych układów scalonych", Rozprawa doktorska, Politechnika Warszawska, 1982

