

POLITECHNIKA ŁÓDZKA

WYDZIAŁ ELEKTRYCZNY

mgr inż. Andrzej Materka

MODEL ŁADUNKOWY TRANZYSTORA BIPOLARNEGO DO
ANALIZY ZNIEKSZTAŁCEN NIELINIOWYCH W UKŁA-
DACH ELEKTRONICZNYCH

Rozprawa doktorska

Promotor:

doc.dr hab. Zdzisław Korzec

Łódź 1972



Czyt. g $\bar{u}$. 186/El.



R-694 / + Supl.

91-440/24



Autor zaciągnął dług wdzięczności wobec wielu osób, dzięki którym było możliwe przygotowanie tej pracy do publicznej obrony. Szczególnie gorące podziękowania zechce przyjąć:

Pan doc. Zdzisław Korzec za pomoc, opiekę i stałe zainteresowanie,

Pan prof. Edward Kącki oraz pracownicy Ośrodka Obliczeniowego P.Ł. za pomocą w realizacji programów,

Pan dr Tomasz Kacprzak i inni pracownicy Instytutu Elektroniki P.Ł. za dyskusje nad treścią i formą pracy,

Pan mgr Włodzimierz Górnisiewicz oraz Pan inż. Marian Moraczewski za pomoc w opracowywaniu wyników pomiarów i obliczeń.



SPIS TRESCI

	Strona
Wykaz ważniejszych oznaczeń	
1. Wstęp	1
1.1. Uzasadnienie problemu	1
1.2. Temy i cele pracy	17
2. Model ładunkowy tranzystora bipolarnego	21
2.1. Założenia. Składowa główna prądu kolektora	21
2.2. Równania modelu w stanie aktywnym normalnym	28
2.3. Modelowanie właściwości tranzystora w stanie quasi-nasyśnienia	39
3. Charakterystyki tranzystora rzeczywistego ...	55
3.1. Charakterystyki stażoprądowe	58
3.2. Parametry makosygnałowe	64
4. Identyfikacja parametrów modelu	88
4.1. Pomiary charakterystyk tranzystora	89
4.2. Obliczanie wartości parametrów modelu ..	92
4.3. Przykłady	101
5. Przykłady zastosowań modelu do analizy zniekształceń nieliniowych	118
5.1. Metody numeryczne analizy zniekształceń	118
5.2. Zniekształcenia w wybranych układach elektronicznych	135

A. Wzmacniacz w konfiguracji wspólnego emitera	135
B. Wzmacniacz ze sprzężeniem zwrotnym	149
C. Wzmacniacz rezonansowy	157
D. Wzmacniacz hybrydowy typu: tranzystor polowy MOS - tranzystor bipolarny	165
6. Podsumowanie wyników i wnioski	170
7. Wykaz literatury	174
Dodatki	
D1 - Wyprowadzenie wzoru opisującego zależność ładunku Q_{CIB} od I_C oraz V_{BC}	189
D2 - Równania wyprowadzonego w pracy modelu tranzystora	195
D3 - Parametry wyprowadzonego w pracy modelu tranzystora	197
D4 - Wyprowadzenie zależności współczynników f_T oraz β_0 tranzystora od składowych stałych napięć i prądów	199
D5 - Parametry admitancyjne tranzystora w konfiguracji WE	205

1. WSTEP

1.1. Uzasadnienie problemu

Jednym z głównych czynników decydujących o jakości systemów kontrolno-pomiarowych, telekomunikacyjnych, a także aparatury elektronicznej powszechnego użytku są zniekształcenia nieliniowe sygnałów powstające w układach elektronicznych. Przyczyną istnienia takich zniekształceń są nieliniowe właściwości elektryczne elementów aktywnych, głównie tranzystorów i diod użytych do konstrukcji układów. Zniekształcenia w systemach kontrolno-pomiarowych są źródłem uchybów pomiarowych i w decydujący sposób ograniczają zakres stosowalności takich przyrządów jak analizatory widma [1], testery parametrów wzmacniaczy elektroakustycznych [2] czy selektywne mierniki poziomu [3]. Zniekształcenia sygnałów w układach telewizyjnych są przyczyną zmian stosunku jasności poszczególnych elementów obrazu, a także nieprawidłowego odtwarzania barwy i nasycenia kolorów [4]. Poziom zakłóceń intermodulacyjnych w wielokrotnych systemach telekomunikacyjnych jest istotnym czynnikiem ograniczającym liczbę kanałów systemu, co decyduje o koszcie transmisji [5, 6], a niepożądane zniekształcenia nieliniowe powstające w odbiornikach radiowych i wzmacniaczach elektroakustycznych obniżają walory odtwarzanego dźwięku. Istnienie zniekształceń jest w każdym przypadku przyczyną niepożądanych zmian informacji przesyła-

nych bądź przetwarzanych. Wynika stąd, że minimalizacja zniekształceń nieliniowych sygnału w układach elektronicznych jest jednym z podstawowych zagadnień, którego rozwiązanie jest warunkiem prawidłowego działania aparatury różnego przeznaczenia.

Nie jest to przedsięwzięcie łatwe do wykonania. Często stosowana w praktyce konstruktorskiej metoda polegająca na ograniczeniu pasma częstotliwości układu zarówno w celu stłumienia niepożądanych sygnałów wejściowych jak i wyjściowych rozwiązuje problem tylko w niektórych przypadkach. Sposób ten zawodzi w przypadku pobudzenia układu kilkoma sygnałami, kiedy to sygnał użyteczny może zostać zmodulowany sygnałem odpowiadającym obwiedni innego sygnału wejściowego /modulacja skrośna/, bądź też na wyjściu układu mogą się pojawić zakłócenia o częstotliwości zbliżonej do częstotliwości sygnału użytecznego będące wynikiem wzajemnego oddziaływania sygnałów wejściowych /zniekształcenia intermodulacyjne/. Jedynym sposobem minimalizacji zniekształceń jest wówczas usunięcie ich przyczyny, a więc:

- stosowanie elementów o małych zniekształceniach własnych,
- stosowanie ujemnego sprzężenia zwrotnego w celu linearyzacji charakterystyk układu [■]/,

[■]/ Sposób ten może być w pewnych przypadkach zawoorny. Na przykład tzw. przejściowe zniekształcenia intermodulacyjne /ang. "transient intermodulation distortion"/ mogą wystąpić wyłącznie w układach ze sprzężeniem zwrotnym [7]. Innym przykładem są zniekształcenia we wzmacniaczu z tranzystorem



- kompensacja zniekształceń za pomocą elementów nieliniowych o odpowiednio dobranych charakterystykach.

W konsekwencji zasadniczym elementem procesu projektowania wielu rodzajów analogowych układów elektronicznych staje się analiza zniekształceń sygnału w obwodach nieliniowych, w szczególności w obwodach zawierających tranzystory bipolarne. Jednakże w większości przypadków analiza taka jest przeprowadzana przy użyciu uproszczonych modeli tranzystora z niezadowalającą dla potrzeb praktyki dokładnością, czego przyczyną jest złożoność procesów fizycznych rządzących działaniem tego przyrządu, ich zależność od wielu parametrów technologicznych niełatwych do określenia w gotowym elemencie i trudności natury obliczeniowej. Zagadnieniem szczególnie trudnym jest analiza tzw. małych zniekształceń decydujących o jakości systemów pomiarowych i telekomunikacyjnych, gdzie dopuszczalny poziom zakłóceń harmonicznych czy intermodulacyjnych wynosi -80 ± -100 dB względem poziomu sygnału użytecznego. Jedynie dla prostych układów z niewielką liczbą tranzystorów można uformułować przybliżone wzory algebraiczne uzależniające amplitudy sygnałów harmonicznych czy intermodulacyjnych od elementów układu, parametrów modelu tranzystora

polowym złączowym o kwadratowej charakterystyce przejściowej. Widmo sygnału wyjściowego takiego wzmacniacza zawiera tylko pierwszą i drugą harmoniczną pobudzenia sinusoidalnego. Po wprowadzeniu obwodu ujemnego sprzężenia zwrotnego do układu tego wzmacniacza widmo sygnału wyjściowego zawiera wszystkie harmoniczne pobudzenia [8].

i częstotliwości [9-12]. W większości przypadków prawidłowe zaprojektowanie układu o małych zniekształceniach nie jest możliwe bez użycia maszyny cyfrowej przy wykorzystaniu właściwych metod numerycznych i odpowiednio dokładnego modelu tranzystora.

Zagadnienie zniekształceń sygnałów w układach z tranzystorami bipolarnymi było przedmiotem badań wielu autorów [9-36].

W pierwszych pracach [14, 23, 26, 31] zakładano, że o zniekształceniach w tranzystorze decyduje eksponencjalna zależność prądu kolektora i bazy od napięcia baza - emiter, co jest założeniem słusznym dla przypadku pobudzenia źródłem napięciowym i w zakresie małych częstotliwości. Akgün i Strutt [14] badali zniekształcenia tranzystora w układzie wspólnego emitera i wspólnej bazy przy założeniu zerowych rezystancji generatora i obciążenia. Mallinckrodt i Gardner [26] rozszerzyli tę pracę uwzględniając nieszerowe wartości rezystancji zewnętrznych. Reynolds [31] wykazał możliwość minimalizacji zniekształceń drogą odpowiedniego doboru wartości tych rezystancji. W pracy [23] zbadano wpływ pojemności dyfuzyjnej emitera na zniekształcenia w zakresie wyższych częstotliwości oraz przedyskutowano możliwość eliminacji zniekształceń we wzmacniaczu w konfiguracji WE za pomocą dodatkowego obwodu z diodą półprzewodnikową włączoną równolegle do wejścia.

Riva i inni [30] zaproponowali do celów analizy niekstażeń harmonicznych model tranzystora planarnego uwzględniający, oprócz wspomnianej zależności eksponencjalnej, empiryczną zależność współczynnika wzmocnienia prądowego od prądu kolektora i napięcia baza-kolektor przy pracy w stanach nasycenia aktywnym normalnym i powielania lawinowego. Model ten jest modelem stałoprądowym, a zatem może służyć do analizy niekstażeń w zakresie małych częstotliwości.

W pracy [24] przedstawiono dokładniejszy model tranzystora mający postać czwórnik typu [h] o parametrach rozwiniętych w szereg Taylora względem prądu emitera i napięcia baza-emiter. Słuszność modelu potwierdzono pomiarami niekstażeń w układzie z tranzystorem stopowym dla prądów kolektora mniejszych od 20 mA i częstotliwości do 100 kHz.

Thomas [33] i Narayanan [9, 10, 11] zaproponowali model słuszny w szerokim zakresie częstotliwości z uwzględnieniem nieliniowej pojemności szlęsa kolektor-baza, rezystancji emiter-baza i opisanej empirycznie zależności h_{21E} od prądu kolektora i napięcia baza-kolektor w obszarze aktywnym normalnym i powielania lawinowego. W pracy [33] przedstawiono wyniki analizy zjawiska interakcji niekstażeń różnego pochodzenia. Na uwagę zasługuje metoda analizy niekstażeń [9, 10, 11] wykorzystująca rozwinięcia potencjałów węzłowych badanego układu w szereg Volterry względem napięcia wejściowego, co pozwala na algebraiczne ujęcie związków między amplitudami

sygnałów harmonicznych i intermodulacyjnych a częstotliwością, wartościami elementów układu i parametrów tranzystora. W [10] wykazano, że niektóre układy tranzystorowe o małych zniekształceniach mogą być źródłem dużych zniekształceń w połączeniach kaskadowych. Model Thomasa i Narayanan'a uzupełniono w [19] nieliniową pojemnością dyfuzyjną emitera. Ten sam model wykorzystano w [15] do badania odporności odbiorników radiowych na zakłócenia.

Prace [6, 17, 22, 28, 29] dowodzą dużej dokładności modelu Gummela-Poona [37] w zastosowaniu do analizy nieliniowych właściwości tranzystora w szerokim zakresie zmian prądu kolektora i częstotliwości. Prace [6, 22] poświęcono zagadnieniu analizy małych zniekształceń w układach o dużej liczbie elementów. Model tranzystora użyty do analizy wyprowadzono z równań Gummela-Poona metodą małego parametru. Wyniki prac [27, 29] posłużyły do optymalizacji konstrukcji i geometrii tranzystorów z punktu widzenia minimalizacji zniekształceń II i III rzędu.

Duża liczba opublikowanych prac na temat zniekształceń nieliniowych sygnałów w obwodach z tranzystorami bipolarnymi jest dowodem szczególnej wagi tego zagadnienia. Biorąc jednakże pod uwagę różnorodność konstrukcji i technologii tranzystorów będących przedmiotem badań w cytowanych pracach można stwierdzić, że problem modelowania właściwości tranzystora planarnego, najczęściej stosowanego we współczesnych układach elektronicznych nie jest w pełni rozwiązany. Istnieje potrzeba opracowania



do celów numerycznej analizy zniekształceń modelu tranzystora uwzględniającego charakterystyczne właściwości przyrządów planarnych.

Podstawowym stanem pracy tranzystorów w układach analogowych jest stan aktywny normalny, w którym złącze baza-emiter jest spolaryzowane w kierunku przewodzenia, a złącze baza-kolektor w kierunku zaporowym. Do analizy zniekształceń sygnałów w omawianych układach potrzebny jest zatem model tranzystora słuszny dla takiego obszaru pracy. Istnieją jednak tranzystory, w których złącze baza-kolektor może być spolaryzowane w kierunku przewodzenia, mimo iż kierunek napięcia między zaciskami bazy i kolektora wskazuje na zaporową polaryzację tego złącza. Przyczyną tego zjawiska jest stosunkowo duża szerokość i słabe domieszkowanie obszaru kolektora takich tranzystorów, a w konsekwencji duża wartość zastępczej rezystancji szeregowej kolektora R_C - rzędu kilkuset omów. Ze wzrostem prądu kolektora I_C przy stałym zewnętrznym napięciu baza-kolektor V_{BC} rośnie spadek napięcia na rezystancji R_C , a przy $I_C = \frac{V_{BC}}{R_C}$ napięcie V_{BC} na złączu kolektorowym staje się równe zero. Dalszy wzrost prądu odpowiada przepustowej polaryzacji złącza B-C, czemu towarzyszy wprowadzanie nośników większościowych bazy do kolektora oraz maleńie współczynników h_{21E} i f_T tranzystora. Efekt ten, zwany zjawiskiem quasi-nasylenia, można zaobserwować w tranzystorach wysokonapięciowych oraz tranzystorach specjalnych - przeznaczonych do pracy w układach automatycznej regulacji wzmocnienia. Wartość krytyczna prądu kolektora, przy któ-

rej rozpoczyna się omawiane zjawisko jest rzędu kilku miliamperów w tranzystorach o $R_{CO} \approx 1000 \Omega$ /np. BF180, BF196/ i rośnie proporcjonalnie do wzrostu napięcia V_{BC} . Ponieważ w obszarze aktywnym normalnym wzmocnienie prądowe większości tranzystorów małej mocy rośnie ze wzrostem prądu kolektora, a w obszarze quasi-nasyceń maleje, to wspomniana zależność prądu krytycznego od V_{BC} daje możliwość regulacji zniekształceń sygnału. Właściwość ta pozwala na minimalizację zniekształceń w układzie z pojedynczym tranzystorem, a także na aktywną kompensację zniekształceń powstających w innych elementach układu. Tę cechę tranzystorów bipolarnych wykorzystano w pracy [38] do minimalizacji zniekształceń harmonicznych w układach hybrydowych typu tranzystor polowy MOS - tranzystor bipolarny ^{2/}. Jednym z celów niniejszej rozprawy jest opracowanie modelu tranzystora uwzględniającego zjawisko quasi-nasyceń przydatnego do analizy zniekształceń w układach elektronicznych.

Wymagania jakie winien spełniać model przeznaczony do analizy zniekształceń można sformułować następująco:

- duża dokładność odwzorowania charakterystyk tranzystora w przewidywanym zakresie zmian prądów, napięć i częstotliwości,
- ciągłość opisu wynikająca z warunku wielokrotnej różniczkowalności zależności funkcyjnych modelu, niezbędnej do

^{2/} Praca prowadzona w Instytucie Elektroniki Politechniki Łódzkiej w ramach problemu resortowego nr I.8 pt. "Teoria obwodów i układy elektroniczne".

stosowania przybliżonych metod analizy /modele wykorzystujące aproksymację odcinkami funkcji [39, 40] nie są odpowiednie do tego celu/,

- równania modelu winny być wyprowadzone w oparciu o analizę zjawisk fizycznych zachodzących w strukturze przyrządu, co pozwala na odzwierciedlenie związków między elektrycznymi i konstrukcyjno-technologicznymi parametrami tranzystora. Znajomość takich związków daje możliwości uwzględnienia wpływu temperatury na właściwości tranzystora,
- liczba parametrów modelu winna być jak najmniejsza, a wartości parametrów łatwe do wyznaczenia z prostych pomiarów i obliczeń,
- model winien być przydatny do analizy zniekształceń przy użyciu istniejących uniwersalnych programów analizy układów elektronicznych.

Wymagania te, charakteryzujące idealny model tranzystora, są trudne do jednoczesnego spełnienia i w większości przypadków niezbędny jest kompromis między dokładnością modelu a jego złożonością, zależnie od celów analizy [41, 42].

Spośród wielu znanych modeli tranzystora bipolarnego najczęściej stosowanymi do opisu jego właściwości wielkosygnałowych są [43]: model Ebersa-Molla, ładunkowy model Beaufoy'a-Sparkes'a i jednosekowy skupiony model Linvill'a, równoważne z punktu widzenia dokładności obliczeń numerycznych [44]. Zasadnicze różnice w sposobie wyprowadzania równań tych modeli wynikają z rodzaju założeń upraszczających przyjętych do analitycznego

ujęcia równań transportu. Najczęściej używanym w maszynowej analizie układów jest model Ebersa-Molla [45] zapewniający prostą obwodową reprezentującą tranzystora w połączeniu z niewielką liczbą łatwych do wyznaczenia parametrów. Model Beaufoy'a-Sparkes'a jest szczególnie przydatny do analizy stanów przejściowych [46, 47, 48], natomiast użyteczność modelu Linvilla jest ograniczona ze względu na konieczność posługiwania się wielkościami nieobwodowymi i wynikające stąd trudności ich bezpośredniego pomiaru. Silny związek z fizycznymi właściwościami tranzystora powoduje, że model Linvilla jest wykorzystywany do wyprowadzania innych modeli [40, 49].

Omawiane modele wyprowadzono w oparciu o zasadę działania tranzystorów stopowych - najbardziej rozpowszechnionych w początkowym okresie rozwoju techniki półprzewodnikowej. Przy analizie własności tranzystorów tego rodzaju zwykle zakładano [44, 50]:

- jednakowe powierzchnie złączy emiter-baza i kolektor-baza,
- równomierne domieszkowanie obszaru bazy,
- jednakowe gęstości domieszkowania obszarów emitera i kolektora,
- dyfuzyjny charakter prądu nośników mniejszościowych w obszarze bazy,
- niewielkie gęstości prądów /tzw. mały poziom wstrzykiwania nośników/,

- pomijalny wpływ zjawiska modulacji szerokości bazy na przebieg charakterystyk przyrządu.

Struktura, parametry fizyczne i obszary pracy tranzystorów planarnych znacznie się różnią od analogicznych właściwości tranzystorów stopowych. Zasadniczymi cechami tranzystora epiplanarnego są:

- niesymetryczna struktura geometryczna,
- nierównomierne domieszkowanie obszaru bazy,
- znacznie silniejsze domieszkowanie obszaru emitera w porównaniu z domieszkowaniem bazy i bazy w porównaniu z domieszkowaniem kolektora,
- duży wpływ prądów generacji i rekombinacji nośników w obszarach przejściowych złączy oraz na powierzchni elementu na wartość prądu bazy.

Model tranzystora planarnego przeznaczony do analizy zniekształceń winien nadto uwzględniać, zależnie od zastosowań, takie zjawiska jak:

- modulacja szerokości quasi-neutralnego obszaru bazy [51-53],
- zjawisko poszerzania bazy /efekt Kirka, ang.: "base widening", "base push-out"/ [54-59],
- zjawisko quasi-nasyceń /ang.: "quasi-saturation"/ [60-66],
- modulacja przewodności bazy /efekt Webstera/ [67, 68],
- nierównomierny rozkład gęstości prądu między przekrojem emitera /ang. "emitter current-crowding"/ [59, 69, 70],

- powielanie lawinowe nośników w obszarach dużych natężeń pola elektrycznego,
- zależność parametrów fizycznych półprzewodnika od koncentracji nośników [62, 71, 72].

Wyjaśnia to przyczynę, dla której modele wyprowadzone na podstawie teorii tranzystora stopowego nie są odpowiednie do opisu tranzystorów planarnych. Znanych jest wiele modyfikacji modelu Ebers'a-Moll'a i Beaufoy'a-Sparkes'a mających na celu przystosowanie ich do analizy współczesnych układów elektronicznych [73], często jednak są to modele formalne, w których zależności parametrów zaciskowych przyrządu od prądów, napięć i temperatury opisano za pomocą odpowiednio dobranych funkcji matematycznych [15, 19, 30, 74]. Ze względu na brak odpowiedniości między parametrami rzeczonych funkcji a fizycznymi parametrami tranzystora modele takie nie ułatwiają zrozumienia związków między zjawiskami zachodzącymi w przyrządzie, a jego właściwościami elektrycznymi. Istnieje zatem konieczność opracowania modeli opisujących w sposób bardziej naturalny charakterystyczne cechy tranzystorów epiplanarnych, często z uwzględnieniem przestrzennego charakteru procesów fizycznych [75]. Spośród takich modeli w świetle powyższych wymagań na uwagę zasługują jednowymiarowe modele: Fossuma [49] oraz Gummela-Poona [37].

Model Fossuma został wyprowadzony przy założeniu podziału prądów zaciskowych tranzystora na składowe reprezentujące poszczególne elementarne zjawiska fizyczne. Każde ze zjawisk pod-



stawowych jest symulowane oddzielnie za pomocą odpowiedniej zależności funkcyjnej /zależnego prądowo lub napięciowo źródła prądowego/. Po zsumowaniu wydajności poszczególnych źródeł prądowych otrzymuje się prądy zaciskowe przyrzędu. Model ten pozwala na dostatecznie dokładne odwzorowanie właściwości tranzystora przez włączenie bądź wyłączenie właściwych dla danych warunków pracy generatorów prądowych. Uwzględnienie nowych zjawisk, które mogą stać się ważne w miarę rozwoju technologii jest proste i polega na rozszerzeniu zbioru elementów modelu o dodatkowy generator prądowy reprezentujący odpowiednią składową prądu kolektora osy emitera /ang.: "expandable modeling"/.

W swojej koncepcji modelowania tranzystorów bipolarnych Fossum wykorzystał zasadnicze założenia przyjęte przy wyprowadzaniu modeli Ebersa-Molla, jednosekcyjnego modelu Linvilla i Gummela-Poona, przy czym koncepcja podziału prądów zaciskowych na składowe została zaproponowana przez Gummela i Poona [63].

Ładunkowy model Gummela-Poona wyprowadzono w oparciu o sformułowany w pracy [76] wzór:

$$I_{CC} = \text{const} \times \frac{\exp / \frac{V_{BE}}{U_T} / - \exp / \frac{V_{BC'}}{U_T} /}{Q_B}, \quad /1.1/$$

uzależniający tzw. składową główną prądu kolektora I_{CC} od napięć V_{BE} , V_{BC} na złączach i całkowitego ładunku Q_B nośników większościowych zmagazynowanych w obszarze bazy. Przy założeniu pomijalnej rekombinacji nośników w tym obszarze wzór /1.1/

opisuje prąd kolektora I_C zarówno w zakresie małych jak i dużych gęstości wstrzykiwanych nośników nadmiarowych.

Z punktu widzenia dokładności modelowania nieliniowych zależności między prądami i napięciami w tranzystorze równanie /1.1/ ma dwie korzystne cechy. Po pierwsze argumenty funkcji eksponencjalnych w liczniku wyrażenia po prawej stronie równania zależą w warunkach ustalonej temperatury wyłącznie od napięć na złączach. Zatem silnie nieliniowa zależność eksponencjalna prądu kolektora od napięć jest, dla danych V_{BE} i V_{BC} , określona dokładnie^{m/}. Po drugie, prąd kolektora jest odwrotnie proporcjonalny do ładunku Q_B , co spowodowało problem modelowania właściwości tranzystora do odwzorowania słabo nieliniowej zależności ładunku Q_B od prądu kolektora i napięć na złączach. Droga odpowiedniego modelowania poszczególnych składowych tego ładunku model Gummela-Poona pozwala na uwzględnienie takich zjawisk nieliniowych jak efekt Early'ego czy zjawisko poszerzania bazy - za pomocą niewielkiej liczby parametrów modelu. Dokładność modelu Gummela-Poona jest, jak to zostanie wykazane w dalszej części pracy, dostateczna do analizy małych zniekształceń nieliniowych. Większość parametrów modelu ma interpretację fizyczną, a ich identyfikacja wymaga prostych pomiarów i obliczeń.

^{m/} W zmodyfikowanych wersjach modelu Ebersa-Molla, między innymi w modelu Fossuma napięcie U_T jest pomnożone przez tzw. współczynnik emisji, którego wartość trzeba wyznaczać doświadczalnie

Należy jednak stwierdzić, że niektóre z założeń przyjętych przy wyprowadzaniu modelu Gummela-Poona wymagają weryfikacji w odniesieniu do pewnych typów tranzystorów planarnych. Jednym z takich problemów jest zagadnienie odwzorowania zjawisk decydujących o maleniu wartości współczynnika wzmocnienia prądowego h_{21E} i pola wzmocnienia f_T w zakresie dużych prądów kolektora. Zjawiska te są reprezentowane w omawianym modelu współczynnikiem B /ang.: "base push-out coefficient"/ zwiększającym efektywny czas przelotu nośników z emitera do kolektora dla dużych prądów i równym jedności dla prądów małych. Wyprowadzenie zależności B od prądu kolektora i napięcia baza-kolektor oparte na aproksymacji wyników analizy teoretycznej zjawiska poszerzania bazy [56] oraz wynikach analizy numerycznej [57]. Konsekwencją przyjętych założeń upraszczających mogły być trudności z wyznaczeniem wartości parametrów modelu, jakie można zauważyć w pracy Poona [28]. Autor tej pracy był zmuszony do wprowadzenia dodatkowego parametru $/x_{p2}/$ do zależności funkcyjnej $B = f/I_C \cdot V_{BC}/$ w celu uzyskania zgodności charakterystyk teoretycznych z wynikami pomiarów. Parametru tego nie można uzależnić od technologicznych danych tranzystora, a zmodyfikowany w taki sposób opis zjawiska poszerzania bazy w znacznym stopniu odbiega od wyników analizy Kirka [56].

Innym zagadnieniem wymagającym sprawdzenia jest wpływ zjawiska dużych poziomów wstrzykiwania w bazie /zjawisko Webstera [68]/ na przebieg charakterystyk tranzystora, w szczególności zależności prądu kolektora od napięcia baza-emiter. Zjawisko to



jest reprezentowane w modelu Gummela-Poona tzw. "parametrami kolana" i prądem I_K i napięciem V_K . Istnieje szeroka klasa tranzystorów, w których procesy zachodzące przy dużych gęstościach prądu w bazie są maskowane innymi zjawiskami. Z uwagi na słabe domieszkowanie warstwy epitakujalnej kolektora tranzystorów planarnych najwcześniej, w miarę wzrostu prądu kolektora, uwidaczniają się w nich zjawiska związane z dużymi gęstościami prądu w obszarze kolektora [77]. Towarzyszący tym procesom spadek h_{21E} i f_T tranzystora jest wykorzystywany w przyrządach przeznaczonych do pracy w układach automatycznej regulacji wzmożenia [60]. Efekty te obserwuje się w tranzystorach wysokonapięciowych /ang.: "two-stage saturation phenomenon"/[46, 65, 66], są też istotne z punktu widzenia projektowania układów o jak najmniejszej mocy pobieranej z zasilacza, gdzie niektóre z tranzystorów pracują w obszarze silnej zależności h_{21E} i f_T od prądu kolektora [78]. Wynikają stąd trudności związane z wyznaczeniem wartości parametrów V_K oraz I_K modelu Gummela-Poona dla wielu typów tranzystorów, co zmusza do ponownego zbadania zagadnienia reprezentacji zjawiska Webstera w omawianym modelu.

Z powyższej dyskusji wyników prac opublikowanych w dostępnej literaturze wynika, że zagadnienie opracowania dokładnego opisu nieliniowych właściwości statycznych i dynamicznych tranzystora bipolarnego w oparciu o analizę procesów fizycznych zachodzących w strukturze przyrządu jest dalekie od pełnego rozwiązania. W rozprawie niniejszej opracowano taki opis, słuszny dla tranzystorów planarnych małej mocy pracujących w obszarze aktywnym

normalnym i/lub obciążeniu quasi-nasyconia.

1.2. Tezy i cele pracy

Tezy niniejszej pracy można przedstawić jak niżej:

1. Model Gummela-Poona tranzystora bipolarnego można uprościć z zachowaniem wystarczającej do celów analizy zniekształceń nieliniowych w analogowych układach elektronicznych dokładności odwzorowania statycznych i dynamicznych właściwości tranzystora.
2. Model Gummela-Poona można zmodyfikować tak, aby uwzględniał zjawisko quasi-nasyconia, przy czym parametry modelu odwzorowujące to zjawisko można wyrazić w funkcji konstrukcyjno-technologicznych danych tranzystora.

Dla udowodnienia tez sformułowano następujące cele pracy:

1. Opracowanie zmodyfikowanego modelu Gummela-Poona tranzystora krzemowego małej mocy w stanach: aktywnym normalnym i quasi-nasyconia przy założeniu pomijalności zjawiska Webstera.
2. Opracowanie metody identyfikacji parametrów modelu.
3. Przygotowanie algorytmów identyfikacji parametrów i programów na maszynę cyfrową.
4. Opracowanie metod analizy zniekształceń nieliniowych w układach elektronicznych przy użyciu równań modelu.



5. Opracowanie algorytmów i programów analizy niestacjonarnych w wybranych układach elektronicznych.
6. Przeprowadzenie pomiarów charakterystyk statycznych i dynamicznych tranzystorów oraz niestacjonarnych nieliniowych w wybranych układach.

W rozdziale 2 niniejszej pracy wyprowadzono na podstawie podanego przez Gummela [76] wzoru /1.1/ równania stałoprądowego modelu tranzystora wewnętrznego. Równania te odwzorowują zależności prądu kolektora I_C , prądu bazy I_B oraz całkowitego ładunku Q_B swobodnych nośników większościowych zmagazynowanych w bazie od prądu kolektora i przyłożonych napięć. Usystematyzowano niezbędny do dalszej analizy opis zjawisk związanych z dużymi gęstościami prądu w obszarze kolektora, z którego wynika, że ładunek Q_B nośników swobodnych w bazie ulega zwiększeniu w stanie quasi-nasylenia o dodatkową wartość Q_{CIB} . Wykorzystując założenia przyjęte przez Beale'a i Slater'a w pracy [60] wyprowadzono zależność ładunku Q_{CIB} od prądu kolektora i napięcia baza-kolektor. Pozwoliło to na sformułowanie równań modelu skutecznego zarówno w stanie aktywnym normalnym, jak i stanie quasi-nasylenia spełniającego postulat ciągłości opisu na granicy obu omawianych stanów pracy.

W rozdziale 3 zaproponowano nieliniowy schemat zastępczy tranzystora planarnego małej mocy złożony z tranzystora wewnętrznego opisanego wzorami wyprowadzonymi w rozdziale 2 oraz z pojemności nieczynnej części złącza baza-kolektor. W oparciu o taki schemat wyprowadzono równania wybranych charakterystyk stałoprądowych oraz małosygnałowych rzeczywistego tranzystora planarnego.

Przeprowadzoną w rozdziale 3 analizę elektrycznych właściwości tranzystora zilustrowano wynikami pomiarów charakterystyk tranzystorów typu BF 258. Na przykładzie zależności współczynnika β_0 od prądu kolektora zmierzonych dla dziesięciu przypadkowo wybranych tranzystorów wykazano, że dobierając odpowiednio wartości parametrów proponowanego w pracy modelu można uzyskać zgodność charakterystyk zmierzonych i obliczonych. Doświadczenie to jest jednym z dowodów przydatności modelu do opisu rzeczywistych tranzystorów.

Rozdział 4 zawiera algorytm wyznaczania wartości parametrów modelu tranzystorów planarnych. Opracowana metoda identyfikacji wymaga prostych pomiarów, możliwych do wykonania za pomocą uniwersalnej aparatury. Obliczenia wartości parametrów są wykonywane na maszynie wyfrowej według przygotowanych programów, zamieszczonych w Dodatku. Rozdział 4 kończą przykłady identyfikacji parametrów modelu tranzystorów typu BF458 oraz BF167 produkcji krajowej. Rozbieżności między zmierzonymi oraz obliczonymi na podstawie równań modelu wartościami parametrów zaciskowych badanych tranzystorów nie przekraczają w większości przypadków kilku procentów i są wynikiem skończonej dokładności użytych metod pomiarowych.

W rozdziale 5 podano przykłady zastosowań modelu do analizy zniekształceń w czterech wybranych układach: wzmacniacza w konfiguracji WE, wzmacniacza ze sprzężeniem zwrotnym, wzmacniacza rezonansowego oraz wzmacniacza hybrydowego z tranzystorem poleowym MOS i tranzystorem bipolarnym.

kształceń w tych układach metodą małego parametru oraz metodą bilansu harmonicznych. Przeprowadzono pomiary zniekształceń harmonicznych, oraz intermodulacyjnych w rzeczywistych układach stwierdzając dobrą zgodność wyników obliczeń z wynikami pomiarów.

W dodatkach D1-D14 zamieszczono wyprowadzenia ważniejszych wzorów, a także programy napisane w języku FORTRAN 1900 dla maszyn serii ODRA 1300.

7. WYKAZ LITERATURY

1. Holdaway S.N., Humpherys M.D.: The next generation RF spectrum analyzer. Hewlett-Packard Journal, June 1978, 2-8.
2. Praca zbiorowa: Tester parametrów wzmacniaczy elektroakustycznych. Instytut Elektroniki, Politechnika Łódzka, Łódź, 1978. Praca badawcza wykonana na zlecenie ZZR UNITRA-FONISIA.
3. Walker H.P.: Designing precision into a selective level measuring set. Hewlett-Packard Journal, Jan. 1976, 8-12.
4. Podemski A.: Zniekształcenia sygnałów w telewizyjnych układach przesyłowych. WKiŁ, Warszawa 1978.
5. Arnold B.: Third order intermodulation products in a CATV system. IEEE Trans. on Cable Television, CATV-2, April 1977, 67-80.
6. Kuo Y.L.: Distortion analysis of bipolar transistor circuits. IEEE Trans. on Circuits Theory, CT-20, Nov. 1973, 709-716.
7. Otala M., Leinonen A.: The theory of transient intermodulation distortion. IEEE Trans. on Acoustic., speech and Signal Processing, Feb. 1977.
8. Barandal P.V.: Audio power amplifier design - 5. Wireless World, Dec. 1978, 53-56.

9. Narayanan S.: Transistor distortion analysis using Volterra series representation. Bell System Technical Journal, vol. 46, May-June 1967, 991-1024.
10. Narayanan S.: Intermodulation distortion of cascaded transistors. IEEE Journal of Solid-State Circuits, SC-4, June 1969, 97-106.
11. Narayanan S.: Application of Volterra series to intermodulation distortion analysis of transistor feedback amplifiers. IEEE Trans on Circuit Theory, CT-17, Nov. 1970, 512-527.
12. Suen C.Y.: Harmonic distortion of the Darlington composite transistor. Int. J. Electronics, 36, 1974, 465-477.
13. Abraham H.E., Meyer R.G.: Transistor Design for low distortion at high frequencies. IEEE Trans. on Electron Devices, ED-23, Dec. 1976, 1290-1297.
14. Akgun M., Strutt M.J.O.: Cross modulation and nonlinear distortion in RF transistors amplifiers. IEEE Trans. on Electron Devices, ED-6, Oct. 1959, 457-467.
15. Buechang J.J., Ehrman L., Graham J.V.: Analysis of nonlinear systems with multiple inputs. Proc. IEEE, 62, April 1974, 1083-1119.
16. Chisholm S.E., Nagel L.W.: Efficient computer simulation of distortion in electronic circuits. IEEE Trans. on Circuits Theory, CT-20, Nov. 1973, 742-745.

17. Duff D.G., Poon H.C.: An analysis of low-frequency second-order distortion in bipolar transistors applied to an amplifier. *IEEE J. of Solid-State Circuits*, SC-8, Dec. 1973, 447-453.
18. El-Bayoumi F., Talkhan E.A., El-Said M.A.: Nonlinear distortion cancellation in wideband junction transistor amplifiers. *Proc. 1973 IEEE Int.Symp. on Circuit Theory*, 239-243.
19. Eachus J.: Distortion in ultralinear solid-state devices. *IEEE J. of Solid-State Circuits*, SC-10, Dec. 1975, 487-497.
20. Glasford G.M.: Nonlinear distortion models for bipolar junction transistors. *7th Asilomar Conf. on Circuits, Systems and Computers*, Pacific Grove, Nov. 1973, North Hollywood, Cal., 548-552.
21. Gopal K., Nakhle M.S., Singhal K., Vlach J.: Distortion analysis of transistor networks. *IEEE Trans. on Circuits Systems*, CAS-25, Feb. 1978, 99-106.
22. Kuo Y.L., Witkowski J.D.: Computer-aided distortion analysis of bipolar transistor circuits. *Proc. 1972 IEEE Symp. on Circuit Theory*, April 1972, 298-302.
23. Lotsch H.: Third order distortion and cross modulation in a grounded emitter transistor amplifier. *IEEE Trans. on Audio*, AU-9, March-April 1961, 49-58.

24. Meyer N.I.: Non-linear distortion in transistor class-A amplifiers at low and medium frequencies.
Proc.IEE, 106 part B, may 1959, 481-489.
25. Meyer R.G., Shensa M.J., Eschenbach R.: Cross modulation and intermodulation in amplifiers at high frequencies. IEEE J. of Solid-State Circuits, SC-7, Jan. 1972, 16-23.
26. Mallinckrodt A.J.M., Gardner F.M.: Distortion in transistor amplifiers. IEEE Trans. on Electron Devices, ED-10, July 1963, 268-269.
27. Narayanan S., Poon H.C.: An analysis of distortion in bipolar transistors using integral charge control model and Volterra series. IEEE Trans. on Circuit Theory, CT-20, July 1973, 341-351.
28. Poon H.C.: Modeling of bipolar transistor using integral charge-control model with application to third-order distortion studies. IEEE Trans. on Electro Devices, ED-19, June 1972, 719-731.
29. Poon H.C.: Implication of transistor frequency dependence on intermodulation distortion. IEEE Trans. on Electron Devices, ED-21, Jan. 1974, 110-112.
30. Riva G.M., Beneteau P.J., Dalla Volta E.: Amplitude distortion in transistor amplifier. Proc. IEE, 111, March 1964, 481-490.
31. Reynolds J.: Nonlinear distortions and their cancellation in transistors, IEEE Trans. on Electron Devices,

ED-16, Nov. 1965, 595-599.

32. Sansen W.M.C., Meyer R.G.: Distortion in bipolar transistor variable gain amplifiers. IEEE J. of Solid-State Circuits, SC-8, August 1973, 275-282.
33. Thomas L.C.: Eliminating broadband distortion in transistor amplifiers. BSTJ, 47, March 1968, 315-342.
34. Toshitada Doi: On large signal frequency domain analysis of circuits containing junction diodes and bipolar transistors. IEEE Trans. on Circuits and Systems, CAS-24, June 1977, 329-341.
35. Wilson B., Radley P., Urquhart D.: Accurate distortion modeling of bipolar transistor - a new approach. Modeling Semiconductor Devices, Lozanna 1977, 195-206.
36. te Winkel J., Bouma B.C.: An investigation into transistor cross-modulation at VHF under AGC conditions. IEEE Trans. on Electron Devices, ED-14, July 1967, 374-381
37. Gummel H.K., Poon H.C.: An integral charge control model of bipolar transistors. BSTJ, May-June 1970, 827-852.
38. Kacprzak T., Materka A.: Analiz nieliniowych искажений в усилителях с МОП-транзисторами и биполярными транзисторами. Konferencja "Dni Radia", Moskwa, maj 1979
39. Chua L.O., Pen-Min Lin: Computer-aided analysis of electronic circuits. Prentice Hall, Englewood Cliffs, N.J., 1975.
40. Napieralski A.: Modelowanie półprzewodnikowych struktur heterostrukturów do celów analizy numerycznej. Rozprawa doktorska, Politechnika Łódzka, Łódź, 1977



41. de Man H.: Adequacy of models to simulation programs and introduction to macromodeling. Modeling Semiconductor Devices, Poznań 1977, 389-402.
42. Lindholm P.A., Director S.W., Bowler D.L.: Assessing model adequacy and selecting model complexity in integrated-circuitssimulation. IEEE J. Solid-State Circuits, SC-6, August 1971, 213-222.
43. Kornec Z.: Układy półprzewodnikowe - metody analizy i projektowania za pomocą maszyn cyfrowych, WNT, Warszawa 1979.
44. Hamilton D.J., Lindholm P.A., Harad J.A.: Comparison of large signal models of junction transistors. Proc.IEEE, 53, March 1964, 239-248.
45. Jensen R.W., McNamee L.P.: Handbook of Circuits analysis languages and techniques. Prentice-Hall Inc., Englewood Cliffs N.J., 1976.
46. Hower P.L.: Application of a charge-control model to high-voltage power transistors. IEEE Trans. on Electron Devices, ED-23, August 1976, 865-867.
47. Phillips A.D.: Transistor Engineering. McGraw-Hill, 1962.
48. Sparkes J.J., Beaufoy R.: The junction transistor as a charge controlled device. Proc.IRE, Dec. 1957, 1740-1742.
49. Fossum J.G.: A bipolar device modeling technique applicable to computer-aided circuit analysis and design. IEEE Trans. on Electron Devices, ED-20, June 1973, 582-593.



50. Čakmačasjan E.A., Barnakov J.H., Goldenberg A.E.: Mašinnyj analiz integralnyh schiem. Sovetskoje Radio, 1974.
51. Lindholm F.A., Hamilton D.J.: Incorporation of the Early effect in the Ebers-Moll model. Proc.IEEE, Sept.1972, 1377-1378.
52. Malens F.D.: The Early voltage of a bipolar transistor. IEEE Trans.on Electron Devices, ED-24, Feb. 1977, 167-168.
53. van der Ziel A.: A sufficient condition for an Early voltage. Solid-State Electronics, 17, 1974, 108-110.
54. Bowler D.L., Lindholm F.A.: High Current regimes in transistor collector regions. IEEE Trans. on Electron Devices, ED-20, March 1973, 257-263.
55. de Graaf H.C.: Collector models for bipolar transistors. Solid-State Electronics, 16, 1973, 587-600.
56. Kirk G.T.: A theory of transistor cutoff frequency f_T falloff at high current densities. IEEE Trans.on Electron Devices, ED-9, March 1962, 164-174.
57. Poon H.C., Gummel H.K., Scharfetter D.L.: High injection in epitaxial transistors. IEEE Trans. on Electron Devices, ED-16, May 1969, 455-457.
58. Rey G., Bailbe J.P.: Some aspects of current gain variations in bipolar transistors. Solid-State Electronics, 17, 1974, 1045-1057.
59. Rey G., Dupuy F., Bailbe J.P.: A unified approach to the base widening mechanisms in bipolar transistors.

Solid-State Electronics, 18, 1975, 863-866.

60. Beale J.R.A, Slatter J.A.G.: The equivalent circuit of a transistor with a lightly doped collector operating in saturation. **Solid-State Electronics, 11, 1968, 241-252.**
61. Clark L.E.: Characteristics of two-region saturation phenomena. **IEEE Trans, on Electron. Devices, ED-16, Jan.1969, 113-116.**
62. Clark L.E.: High current-density beta diminution. **IEEE Trans. on Electron Devices, ED-17, Sept. 1970, 661-666.**
63. Chudobiak W.J.: On the static collector-emitter saturation voltage of a transistor with a lightly doped collector. **Proc.IEEE, 57, April, 718-720.**
64. Chudobiak W.J.: The saturation characteristics of n-p-n power transistors. **IEEE Trans. on Electron Devices, ED-17, Oct. 1970, 843-853.**
65. Gaur S.P.: Quasisaturation-region operation of n-p-n-n power transistors. **Electronics Letters, 11, 4th Sept. 1975.**
66. Hahn L.A.: The saturation characteristics of high-voltage transistors. **Proc. IEEE, 55, August, 1967, 1384-1388.**
67. Swit A., Pułtorak J.: **Przyrządy półprzewodnikowe. WNT, Warszawa, 1976.**
68. Webster W.M.: On the variation of junction - transistor current-amplification factor with emitter current. **Proc.IRE, 42, June 1954, 914-920.**

69. Freendijk H.: Modeling base crowding in a bipolar transistor. IEEE Trans. on Electron Devices, ED-20, March 1973, 329-330.
70. Hower P.J., Einthoven W.G.: Emitter current-crowding in high-voltage transistors. IEEE Trans. on Electron Devices, ED-25, April 1978, 466-471.
71. Daw A.H., Chondbury H.K.D., Sinha T.: On the variation of cut-off frequency at high injection level with emitter and concentration of a diffused base transistor. Solid-State Electronics, 17, 1974, 1108-1110.
72. McGrath E.J., Nayon D.H.: Factors limiting current gain in power transistors. IEEE Trans. on Electron Devices, ED-24, Oct. 1977, 1255-1259.
73. Agajanian A.H.: A bibliography on semiconductor device modeling. Solid-State Electronics, 18, 1975, 917-929.
74. Giacoletto L.J.: A model for d.c. characterisation of bipolar transistor. Int. J. Electronics, 36, 1974, 719-736.
75. Nosov J.R., Petrosianc K.O., Silin B.A.: Matematicheskiye modeli elementov integralnoj elektroniki. Sovetskoye Radio, Moskva 1976.
76. Gummel H.K.: A charge control relation for bipolar transistors. PSTJ, 49, Jan. 1970, 115-120.
77. Lavin F.: Radiation Effects on semiconductor devices. Wiley, New York, 1968.
78. Choma J.: A process-oriented model for the simulation of base pushout in integrated bipolar devices. IEEE

Trans. on Electron Devices, ED-22, Dec.1975, 1079-1086.

73. Bhattacharyya A.B., Srivastava A., Kumar R.: Switching properties of epitaxial planar transistors operating in saturation. Solid-State Electronics, 18, 1975, 277-285.
80. Jain L.G., Garud G.N.: Modeling the base resistance of a bipolar junction transistor. Archiv.Elekt. Übertr., 32, 1978, 450-452.
81. Kumar R., Hunter L.P.: Collector capacitance and high-level injection effects in bipolar transistors. IEEE Trans. on Electron Devices, ED-22, Feb. 1975, 51-60.
82. Wolf H.: Półprzewodniki. WNT, Warszawa 1975.
83. Moll J.L., Ross I.M.: The dependence of transistor parameters on the distribution of base layer resistivity. Proc.IRE, Jan. 1956, 72-78
84. Iwersen J.E., Bray A.R., Kleinack J.J.: Low-current alpha in silicon transistors. IRE Trans. on Electron Devices, ED-9, Nov. 1962, 474-478.
85. Martinelli R.U.: The temperature dependence of the DC base and collector currents in silicon bipolar transistors. IEEE Trans. on Electron. Devices, ED-23, Nov.1976, 1218-1224
86. Sah C.T., Noyce R.N., Shockley W.: Carrier generation and recombination in p-n junctions and p-n junctions characteristics. Proc.IRE, 45, Sept., 1957, 1228-1243.
87. Rosiński W.: Zasady działania tranzystorów. WNT, Warszawa 1977.

88. Lindmayer J., Wrigley G.Y.: **Fundamentals of semiconductor devices.** Van Nostrand, Princeton N.J., 1965.
89. Vaughan R., Getren I.E., Kwok C.Y.: A modification of the Gummel-Poon charge-control equations. **IEEE Trans. on Electron Devices**, ED-24, Oct. 1977, 1259-1261.
90. Poon H.C., Gummel H.K.: Modeling of emitter capacitance. **Proc. IEEE**, Dec. 1969, 2181-2182.
91. Chawla B.R., Gummel H.K.: Transition region capacitance of diffused p-n junction. **IEEE Trans. on Electron Devices**, ED-18, March 1971, 178-195.
92. Sirsi R.M., Boothroyd A.R.: Characterization of space-charge properties of a linearly graded p-n junction by an approximate "regional" approach. **IEEE Trans. on Electron Devices**, ED-23, March 1976, 348-353.
93. Kumar R., Hunter L.P.: Prediction of β_F and h_{FE} at high collector currents. **IEEE Trans. on Electron Devices**, ED-22, Nov. 1975, 1031-1037.
94. van der Ziel A., Agouridis D.: The cutoff frequency falloff in UHF transistors at high currents. **Proc. IEEE**, 54, March 1966, 411-412.
95. Whittier R.J., Tremore D.A.: Current gain and cutoff frequency falloff at high currents. **IEEE Trans. on Electron Devices** ED-16, Jan. 1969, 39-57.
96. Filipkowski A.: **Układy elektroniczne analogowe i cyfrowe.** WNT, Warszawa 1978.

97. Gaur S.P., Nayon D.H.: Two-dimensional carrier flow in a transistor structure under nonisothermal conditions. IEEE Trans. on Electron Devices, ED-23, Jan. 1976, 50-57.
98. Hahn L.A., Ashley K.L.: Quantitative model for epitaxial-transistor collector characteristics. Electronics Letters, 6, July 1970, 485-487.
99. Getreu I.: Modeling of bipolar transistor. Electronics, 1974, Sept. 19 /part 1/, Oct.31 /part 2/, Nov.14 /part 3/.
100. Gray P.E., Searle C.L.: Podstawy elektroniki. PWN, W-wa 1974.
101. Baker A.N.: Charge analysis of transistor operation. Proc. IRE, May 1960, 949-950.
102. Sokal N.O., Sierakowski J.J., Sirota J.J.: Assign the proper numerical values to transistor model... El.Design, 1967, June 21, 60-66.
103. Herskowitz G.J.: Maksimyj raschet integralnykh schem. Izd. Mir, Moskwa, 1971.
104. Logan J.: Characterization and modeling for statistical design. BSTJ, 50, April 1971
105. Rush J.G.: Modeling bipolar transistors. Modeling Semiconductor Devices, Losanna, 1977, 89-118.
106. Il'in W.N.: Projektowanie układów elektronicznych przy użyciu maszyn cyfrowych. WNT, Warszawa 1975.
107. Polska Norma PN-74, T-01504, arkusz 24. Transystory - pomiar modułu h_{21E} w zakresie w.c.s. i częstotliwości f_m

108. Paul R.: Technika pomiarów tranzystorów. WKiŁ, Warszawa 1973.
109. Stolarski E.: Miernictwo tranzystorowe. WNT, W-wa 1972.
110. Rumszyski L.Z.: Matematyczne opracowywanie wyników pomiarów.
WNT, Warszawa 1975.
111. Schweppe F.C.: Układy dynamiczne w warunkach losowych.
WNT, Warszawa 1978.
112. Findeisen W., Szymanowski J., Wierszicki B.: Teoria i metody
obliczeniowe optymalizacji. PWN, Warszawa 1977.
113. Materka A., Żywno M.: Identyfikacja parametrów modelu
Gummela-Poona tranzystora bipolarnego w aktywnym
normalnym obszarze pracy. II KKTOiUE, Trzebie szo-
wice, 1978. Prace Nauk. Instytutu Telekom.
i Akustyki Pol. Wrocław., 40, seria: Konferencje,
nr 10, 230-235.
114. Roszkiewicz J., Borys A.: Małosygnałowa komputerowa ana-
liza nieliniowa układów analogowych. Rozprawy
elektrotechniczne, 25, 1979, z.1, 199-212.
115. Hower P.L.: Optimum design of power transistor switches.
IEEE Trans. on Electron. Devices, ED-20, April
1973, 426-435.
116. Vygodsky M.: Mathematical handbook. Mir Publishers, Moscow,
1975.
117. Cunningham W.J.: Analiza układów nieliniowych. WNT,
Warszawa 1962.
118. Meyer R.G., Eschenbach R., Chin R.: A wide-band ultralinear
amplifier from 3 to 300 MHz. IEEE Journal of
Solid-State Circuits, SC-9, August 1974, 167-175.

119. Calahan D.A.: Projektowanie układów elektronicznych za pomocą maszyny cyfrowej. WNT, Warszawa 1978.
120. Aprille T.J., Trick T.N.: Steady-state analysis of nonlinear circuits with periodic inputs. Proc.IEEE, 60, Jan. 1972, 108-114.
121. Colon F.R., Trick T.N.: Fast periodic steady-state analysis for large-signal electronic circuits. IEEE Journal of Solid-State Circuits, SC-8, August 1973, 260-269.
122. Neil T.B.M., Stefani J.: Self-regulating Picard-type iteration for computing the periodic response of a nearly linear circuit to a periodic input. Electronics Letters, 11, 21st August 1975, 413-415.
123. Nakhla M.S., Vlach J.: A piecewise harmonic balance technique for determination of periodic response of nonlinear systems. IEEE Trans. Circuits and Systems, CAS-23, Feb. 1976, 85-91.
124. Palmer J.R.: An improved procedure for orthogonalising the search vectors in Rosenbrock's and Swann's direct search optimisation methods. The Computer Journal, 12, 1969, 69-71.
125. Stewart G.W.: A modification of Davidon's minimisation method to accept difference approximations of derivatives. Journal of the Association for Computing Machinery, 14, Jan. 1967, 72-83.
126. PHILLIPS. Data handbook. Semiconductors and integrated circuits, part 3, April 1976



**127. Korzec Z.: Transystory polowe. Technologia, konstrukcja,
zastosowania. WNT, Warszawa 1973.**